



(12) 发明专利

(10) 授权公告号 CN 101405858 B

(45) 授权公告日 2010.08.25

(21) 申请号 200480023405.1

(22) 申请日 2004.06.29

(30) 优先权数据

10/604,912 2003.08.26 US

(85) PCT申请进入国家阶段日

2006.02.15

(86) PCT申请的申请数据

PCT/US2004/020850 2004.06.29

(87) PCT申请的公布数据

W02005/024899 EN 2005.03.17

(73) 专利权人 国际商业机器公司

地址 美国纽约阿芒克

(72) 发明人 希姆扬·帕克 保罗·D·阿格尼洛

珀西·V·吉尔伯特 布扬·H·李

帕特里夏·A·奥尼尔

格瓦姆·G·沙希迪

杰弗里·J·韦尔泽

(74) 专利代理机构 北京市金杜律师事务所

11256

代理人 朱海波

(51) Int. Cl.

H01L 21/8234(2006.01)

H01L 21/336(2006.01)

H01L 21/425(2006.01)

H01L 21/4763(2006.01)

(56) 对比文件

US 6248637 B1, 2001.06.19, 全文.

US 6429084B1, 2002.08.06, 第1栏第50行 - 第2栏第60行.

US 6372589 B1, 2002.04.16, 全文.

US 5770507 A, 1998.06.23, 全文.

全文.

审查员 陈彬

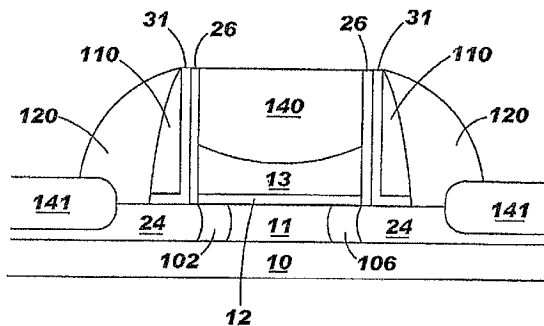
权利要求书 2 页 说明书 7 页 附图 6 页

(54) 发明名称

制造具有较小的栅极高度的晶体管的制造方法

(57) 摘要

本发明公开了一种形成具有较小的栅极高度的集成电路晶体管的方法和系统。本方法形成层状结构,该层状结构具有衬底、该衬底之上的栅极导体(13)、该栅极导体(13)之上的至少一个牺牲层(14-16)。该工艺将该层状结构构图为至少一个从该衬底上延伸的栅极叠层,形成与该栅极相邻的隔离垫(60),对不受隔离垫保护的衬底的区域进行掺杂以形成与该栅极叠层相邻的源漏区(71),并且去除隔离垫(60)和牺牲层(14-16)。



CN 101405858 B

1. 一种形成具有较小的栅极高度的集成电路晶体管的方法,所述方法包括:
形成层状结构,该结构具有衬底、所述衬底之上的栅极导体 (13) 以及所述栅极导体 (13) 之上的至少一个牺牲层 (14-16);
将所述层状结构构图为至少一个从所述衬底上延伸的栅极叠层;
形成与所述栅极叠层相邻的隔离垫 (60);
对不受所述隔离垫 (60) 保护的所述衬底的区域进行掺杂,以形成与所述栅极叠层相邻的源漏区 (71);并且
去除所述隔离垫 (60) 和所述牺牲层 (14-16);
其中所述隔离垫 (60) 的尺寸由所述栅极导体 (13) 和所述牺牲层 (14-16) 的组合高度来控制,从而与仅仅达到所述栅极导体 (13) 的高度的情况相比,达到所述组合高度的所述隔离垫 (60) 提供更大的间隔。
2. 根据权利要求 1 所述的方法,其中所述栅极导体 (13) 的高度小于与由所述隔离垫 (60) 所产生的所述源漏区 (71) 的间隔相关的栅极高度。
3. 根据权利要求 1 所述的方法,其中与由仅仅形成到所述栅极导体 (13) 的所述高度的隔离垫所形成的源漏区相比,所述更大的间隔将所述源漏区 (71) 定位在距离所述栅极导体 (13) 更远的位置。
4. 根据权利要求 1 所述的方法,其中在所述栅极导体 (13) 之上形成所述牺牲层 (14-16) 的处理包括:
在所述栅极导体 (13) 之上形成牺牲氧化物层 (14);并且
在所述氧化物层 (14) 之上形成附加牺牲层 (15-16)。
5. 根据权利要求 1 所述的方法,其中所述层状结构在所述栅极导体 (13) 下面包括硅层 (11),并且
所述方法还包括:
在所述构图处理之后,在自对准注入中对源 / 漏极 (71) 和所述栅极导体 (13) 一起进行掺杂,
其中所述栅极导体 (13) 和所述牺牲层 (14-16) 的组合高度阻止所述杂质到达所述硅层 (11);并且
反之,如果没有所述牺牲层 (14-16),所述掺杂处理将会通过所述栅极导体 (13) 和栅极介电层 (12) 向所述硅层 (11) 注入杂质。
6. 根据权利要求 1 所述的方法,其中所述层状结构在所述栅极导体 (13) 下面包括硅层 (11),并且
所述方法还包括:
第一掺杂处理,其在所述构图处理之后,在自对准注入中对源 / 漏极 (71) 和所述栅极导体 (13) 一起进行掺杂;以及
第二掺杂处理,其在所述第一掺杂处理之后,在自对准注入中用与在所述第一掺杂处理中所用的杂质极性相反的杂质对所述栅极导体 (13) 下面的晕圈区 (102, 106) 进行掺杂,
其中所述栅极导体 (13) 和所述牺牲层 (14-16) 的组合高度阻止杂质到达所述硅层 (11);并且
反之,如果没有所述牺牲层 (14-16),所述掺杂处理将会通过所述栅极导体 (13) 和栅

极介电层 (12) 向所述硅层 (11) 注入杂质。

7. 根据权利要求 1 所述的方法,在形成所述隔离垫 (60) 之后还包括:

在邻近所述栅极叠层 (13) 的所述衬底上外延生长凸起的源漏区 (71);并且将杂质 (72) 注入到所述凸起的源漏区 (71) 和所述衬底中。

8. 一种制造集成电路晶体管的方法,包括:

形成叠层淀积,其中形成所述叠层淀积的处理包括:

在衬底之上形成硅层 (11);

在所述硅层 (11) 之上形成栅极氧化物层 (12);

在所述栅极氧化物层 (12) 之上形成栅极导体 (13);以及

在所述栅极导体 (13) 之上形成至少一种牺牲材料 (14-16),

将所述栅极氧化物层 (12)、所述栅极导体 (13) 以及所述牺牲材料 (14-16) 构图为至少一个栅极叠层;

形成与所述栅极叠层相邻的临时隔离垫 (60);

在邻近所述临时隔离垫 (60) 的所述衬底之上外延生长凸起的源漏区 (71),以便所述临时隔离垫 (60) 将所述凸起的源漏区 (71) 与所述栅极叠层隔开;

在所述凸起的源漏区 (71) 之上生长附加介电层 (80);

去除所述临时隔离垫 (60),而不去除所述牺牲材料 (14-16);

在所述凸起的源漏区 (71) 中和所述硅层 (11) 的暴露区中进行晕圈注入 (100,104);

形成与所述栅极叠层相邻的永久隔离垫 (110),其中所述永久隔离垫 (110) 比所述临时隔离垫 (60) 更薄;

将杂质 (112,114) 注入到所述凸起的源漏区 (71) 和所述硅层 (11) 的暴露区中;

形成填充所述永久隔离垫 (110) 与所述凸起的源漏区 (71) 之间的所述硅层 (11) 的所述暴露区的最终隔离垫 (120);

将附加杂质注入所述凸起的源漏区 (71) 和所述硅层 (11) 的暴露区中;

退火以激活所有的杂质;

对所述凸起的源漏区 (71) 上的所述附加介电层 (80) 进行回蚀;并且

同时对所述栅极导体 (13) 和所述凸起的源漏区 (71) 进行硅化。

9. 根据权利要求 8 所述的方法,其中在不掺杂杂质的情况下进行外延生长所述凸起的源漏区 (71) 的所述处理。

10. 根据权利要求 8 所述的方法,其中相对于与由所述临时隔离垫 (60) 产生的所述源漏区 (71) 的间隔相关的栅极高度,去除所述牺牲层 (14-16) 减小了所述栅极导体 (13) 的高度。

11. 根据权利要求 8 所述的方法,其中在所述栅极导体 (13) 之上形成所述牺牲材料 (14-16) 还包括:

在所述栅极导体 (13) 之上形成牺牲氧化物层 (14);

在所述氧化物层 (14) 之上形成牺牲氮化物层 (15);并且

在所述氮化物层 (15) 之上形成牺牲硬绝缘材料 (16)。

制造具有较小的栅极高度的晶体管的方法

技术领域

[0001] 本发明一般地涉及集成电路晶体管,并且更特别地涉及一种改进的结构和方法,其减小了栅极的高度并且同时限定了每个电极内的活性掺杂剂的范围,由此使集成电路性能最大化。

背景技术

[0002] 在高性能互补金属氧化物半导体 (CMOS) 器件的传统工艺过程中遇到了很多难题。由于晶体管的特征尺寸按比例缩小,因此不仅电极(源极、漏极和栅极)的尺寸变小,而且由于将电极制造得彼此更加接近,电极之间的距离也变小了。在器件的工作期间,靠得更紧密增大了电极之间的电场。因此,对于整个集成电路的性能来说,越来越关键的是使电极之间的寄生电容最小化,并且与此同时,在不增大器件的截止态漏电流(off-state leakage)的情况下使驱动电流最大化。

[0003] 多晶硅栅极堆的高度影响栅极与源漏(S/D)接触结构及其电扩展(诸如与栅极和金属化接点相重叠的扩展掺杂)之间的寄生电容。多晶硅高度减小,即多晶硅栅极线的侧壁区域较小,会减小在多晶硅栅极线与源/漏极及其关联接触结构之间的外围组件的外缘电容。栅极到源/漏极扩展之间的电容除了对电流驱动能力和功率具有影响之外,还对集成电路在逻辑应用上的整体速度具有大的影响。因此,希望减小栅极的高度。

[0004] 利用自对准源极/漏极/栅极注入的传统 CMOS 工艺限制了栅极高度能够减小的量。由于减小了栅极高度,以充足的能量注入掺杂剂以对源漏区进行掺杂以及为了形成晕圈而将多晶硅栅极用作自对准掩模可能会使得掺杂剂通过多晶硅栅极和栅极电介质渗入到沟道中。因此,随着栅极高度的减小,栅极杂质污染下层栅极氧化物的风险也增大了。为避免这种风险,一些传统的工艺减小了制造过程的总的整个热预算。然而,减小总的热预算会导致其他电极中的掺杂剂活化不充分,并且有可能因此而限制驱动电流。作为替代,可以显著减小自对准源极/漏极/栅极和晕圈的注入能量以减轻掺杂剂的渗透;然而,自对准源极/漏极和晕圈的较低的注入能量会引起较高的源/漏寄生电阻并使得沟道中的晕圈掺杂不充分,减小驱动电流并使短沟道滚降(rolloff)特性下降。

[0005] 此外,采用高度较小的栅极限制了可获得的最大侧壁隔离垫长度。随着栅极高度变短,由于用于具有给定厚度的淀积隔离垫材料的 RIE(反应离子刻蚀)的步进高度减小,因此减小了隔离垫的最大尺寸,引起 S/D 掺杂剂的横向侵蚀,并且使得在栅极与 S/D 之间发生硅化物桥接的概率更高。当采用外延生长的凸起的源漏结构时,由于在具有较小高度的栅极之上发生外延过度生长,这种问题变得更加严重。栅极上的不期望的过度生长的外延多晶硅还会受到硅化,其将在栅极与凸起的源漏区之间形成导电路径,引起晶体管功能故障。

[0006] 除了上述关于缩短栅极高度的问题之外,采用 RSD(凸起的源极/漏极)的传统 CMOS 工艺还受到不必要的暂态加速扩散(TED)的影响。更具体而言,在 RSD 处理期间,诸如硼之类的杂质有可能由于对 N 型场效应晶体管(NFET)的晕圈注入以及对 P 型场效应晶体

管 (PFET) 的扩展注入和源极 / 漏极注入而扩散到沟道中。更具体而言, 通常在大约 700°C 到 900°C 的温度下执行超过几分钟的延长热循环的硅选择性外延处理以在薄 SOI (绝缘体上硅) 结构上构造 RSD。通常已知这种热条件会引起最显著的主掺杂剂 (特别是硼) 的 TED, 对短沟道器件造成有害影响, 诸如增大门限电压的滚降。

发明内容

[0007] 本发明提供了一种用于形成具有减小的栅极高度的集成电路晶体管的方法。本发明提供了一种形成层状结构的方法, 该结构具有衬底、衬底之上的栅极导体以及栅极导体之上的至少一个牺牲层 (sacrificial layer)。通过形成与栅极叠层相邻的隔离垫并对不受隔离垫保护的衬底区域进行掺杂以在栅极叠层附近形成源漏区, 将该层状结构构图为至少一个从衬底上延伸的栅极叠层。然后, 去除隔离垫和牺牲层。

[0008] 栅极导体的高度小于与由隔离垫创建的源漏区的间隔相关的栅极高度。隔离垫的尺寸由栅极导体和牺牲层的组合高度来控制, 从而与仅仅达到所述栅极导体的高度的情况相比, 达到所述组合高度的所述隔离垫提供更大的间隔。与由只形成到栅极导体高度的隔离垫所形成的源漏区相比, 更大的间隔将源漏区定位在距离栅极导体更远的位置。

[0009] 通过在栅极导体之上形成牺牲氧化物层并在氧化物层之上形成附加牺牲层, 可在栅极导体之上形成牺牲层。牺牲氧化物层保护栅极导体。该层状结构在栅极导体下面具有硅层, 并且还在构图处理之后, 在自对准注入中对源 / 漏极和栅极导体一起进行掺杂。

[0010] 栅极导体和牺牲层的组合高度阻止杂质到达硅层, 并且如果没有牺牲层, 掺杂处理将会通过栅极导体和栅极介电层向硅层注入杂质。该层状结构在栅极导体下面具有硅层。在构图处理之后, 在自对准注入中对源 / 漏极和栅极导体一起进行掺杂。本发明还提供第二掺杂处理, 在自对准注入中用与在第一掺杂处理中所用的杂质极性相反的杂质对栅极导体下面的晕圈区进行掺杂。栅极导体和牺牲层的组合高度阻止杂质到达硅层, 并且如果没有牺牲层, 掺杂处理将会通过栅极导体和栅极介电层向硅层注入杂质。

[0011] 本发明还提供了一种方法, 其在邻近临时隔离垫的衬底层上外延生长凸起的源漏区, 以便使临时隔离垫将凸起的源漏区与栅极叠层隔开。然后, 在凸起的源漏区上生长附加的介电层, 在不去除牺牲材料的情况下去除临时隔离垫, 在凸起的源漏区和硅层的暴露区中执行晕圈注入, 并且在栅极叠层附近形成永久隔离垫。永久隔离垫比临时隔离垫更薄。接下来, 将杂质注入到凸起的源漏区和硅层的暴露区中, 并且形成填充永久隔离垫与凸起的源漏区之间的硅层的暴露区的最终隔离垫。在此之后, 将附加杂质注入凸起的源漏区和硅层的暴露区中, 进行退火以激活所有的杂质, 对凸起的源漏区上的附加介电层进行回蚀 (etch back), 并且同时对栅极导体和凸起的源漏区进行硅化。

[0012] 在栅极叠层上采用牺牲层而人为地增加栅极高度可以形成更大的可去除隔离垫。本发明采用两步隔离垫形成工艺来进行隔离垫宽度调整 (牺牲隔离垫和永久隔离垫)。采用较大的隔离垫, 本发明还避免了当减小的栅极高度限制和减小了可获得的隔离垫尺寸时可能会发生的掺杂剂侵蚀以及硅化物桥接问题。

附图说明

[0013] 根据以下参考附图对优选实施例的详细描述, 可以更好地理解本发明, 其中:

- [0014] 图 1A 和图 1B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0015] 图 2A 和图 2B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0016] 图 3A 和图 3B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0017] 图 4A 和图 4B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0018] 图 5A 和图 5B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0019] 图 6A 和图 6B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0020] 图 7A 和图 7B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0021] 图 8A 和图 8B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0022] 图 9A 和图 9B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0023] 图 10A 和图 10B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0024] 图 11A 和图 11B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0025] 图 12A 和图 12B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0026] 图 13A 和图 13B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；
- [0027] 图 14A 和图 14B 是部分完成的 N 型晶体管和 P 型晶体管的示意图；以及
- [0028] 图 15A 和图 15B 是部分完成的 N 型晶体管和 P 型晶体管的示意图。

具体实施方式

[0029] 本发明提供了一种新颖的方法,其按比例减小了 SOI 上的 CMOS 器件中的所有电极的尺寸,包括栅极高度。本发明通过多晶硅栅极之上提供牺牲层而解决了与栅极高度减小相关联的问题。多晶硅栅极之上的缓冲层人为地增大了随后的处理集成期间的栅极高度,从而使得可以以足够高的能量进行源极、漏极和晕圈注入,以对源漏区和沟道区进行充分的掺杂,而不会引起硼通过多晶硅栅极和栅极介电层而渗透的问题(如上所述)。换言之,由于缓冲层的厚度,使得在包括源极/漏极和晕圈节(halo junctions)以及侧壁隔离垫尺寸的本发明的器件结构内,可以将杂质注入到与采用传统的较高的栅极结构时的注入深度相同的深度,因此采用本发明可以利用传统的自对准注入工艺。

[0030] 在栅极叠层上采用牺牲层而人为地增加栅极高度可以形成较大的可去除隔离垫。本发明采用两步隔离垫形成工艺来进行隔离垫宽度调整(牺牲隔离垫和永久隔离垫)。采用较大的隔离垫,本发明还避免了当减小的栅极高度限制和减小了可获得的隔离垫尺寸时可能会发生的掺杂剂侵蚀以及硅化物桥接问题(如上所述)。为了避免上述硼扩散问题,本发明在形成凸起的源/漏区之后为 N- 晕圈、P- 扩展和 P 型源漏极注入硼。这一工艺还使得可以在 RSD 处理之前引入扩散较慢的掺杂剂,诸如砷。此外,用于 PFET 的硼/BF₂ 源极/漏极注入的隔离垫宽度相对于用于 NFET 的砷注入的隔离垫宽度更大,以便为 PFET 源漏极中的硼扩散让出更多的空间。

[0031] 本发明消除了 NFET 和 PFET 掺杂剂种类之间的相互影响。更具体而言,本发明采用较大的可去除隔离垫以在 RSD 选择性外延处理期间使硼的横向侵蚀的任何影响最小化,从而减弱了硼注入的影响。图 1A- 图 15B 以示意性截面视图示出了本发明的一个例子。本发明并不限于这些例子,而是同样可以应用于所有的类似结构。选择这些例子作为本发明的代表,然而,本发明显然并非仅限于这些例子。

[0032] 图“A”表示 N 型器件,而图“B”表示 P 型器件。另外,为了简化附图,在图 1A- 图

14B 中只示出了每个结构的一半（例如左边的一半）。每个结构的右边一半（未示出）是所示出的左边一半的镜像。图 15A 和图 15B 示出了完整（包括左边的一半和右边的一半）的晶体管结构。在一个实施例中，本发明拟在同一衬底或芯片上同时制造 N 型器件和 P 型器件。因此，不同的图“A”和图“B”表示制造过程中的相同处理步骤。

[0033] 在图 1A 和图 1B 中，已经通过按照次序淀积 / 形成各层材料而形成了层状结构。可以采用任意公知的淀积 / 形成工艺来淀积 / 形成这些层，这些工艺包括化学气相淀积 (CVD)、液相淀积 (LPD)、气相淀积 (VPD)、溅射、氧化生长、外延生长等。第一层包括绝缘体（氧化物）10 和硅层 11。

[0034] 氧化物 10 使硅层 11 不与底层的衬底（未示出）电接触。由于硅层 11 在绝缘体（在本例中为氧化物 10）之上，因此这种类型的结构称为绝缘体上硅 (SOI) 结构。在这样一种结构中，氧化物 10 称为掩埋氧化物 (BOX)。掩埋氧化物 10 将晶体管与任何底层结构隔开。下面描述的本发明显示了其对于这种 SOI 结构的特殊应用。然而，本发明在 SOI 和体硅 (bulk Si) 衬底技术上的应用具有相同的适用性和重要性。

[0035] 标号 12 表示栅极氧化物，标号 13 表示栅极导体。栅极导体 13 可以是任意导电材料，诸如金属、合金、导电氧化物、多晶硅等。栅极导体层 13 的厚度决定栅极导体的最终高度。

[0036] 标号 14-16 是可以从最终的结构中去除的牺牲绝缘材料，并且只在制造过程期间使用这些牺牲绝缘材料。在本例中，标号 14 是氧化物，标号 15 是氮化物，并且标号 16 是硬绝缘材料（例如四乙基原硅酸盐 (TEOS)）。然而，在创建与可去除隔离垫材料和最终隔离垫材料以及对应的刻蚀选择性相关联而制造的器件时，可以根据设计者的特定需要使用任意数目和类型的牺牲材料。标号 14-16 人为地增加了后续处理步骤期间的栅极高度。这样可以减小栅极高度而不会受到如上所述的有害副作用的影响。栅极导体高度与牺牲层高度的优选比率由诸如硅化物厚度、目标隔离垫宽度、RSD 厚度之类的设计元素和用于衬底类型的源极 / 漏极 / 晕圈注入能量以及用于采用该技术的目标栅极长度的栅极叠层 RIE 处理决定。

[0037] 在图 2A 和图 2B 中，例如采用诸如反应离子刻蚀 (RIE) 之类的刻蚀处理将上面的层（层 12-16）构图为栅极叠层（每幅图中示出其中一半）。在栅极叠层上生长附加氧化物 26 以在后续处理期间保护栅极氧化物、多晶硅栅极以及扩展区。对于图 2A 中示出的 N 型器件，进行扩展注入 22（例如砷等）以在硅层 11 中创建 N 型扩展区 24。如下面更详细地描述的那样，由于砷相对于其他的杂质来说扩散得相对较慢，因此在该阶段注入砷将不会导致不期望的杂质扩散。在该处理期间使用掩模（未示出）来保护图 2B 中示出的 P 型器件以避免注入 N 型扩展杂质。另外，栅极叠层将扩展注入 22 精确对准栅极的边缘。

[0038] 在图 3A 和图 3B 中，在该结构之上形成保护帽 30、31。保护帽 31 包括低温氧化 (LTO) 帽，而材料 30 例如包括在快速热化学气相淀积 (RTCVD) 处理中形成的氮化物层。在图 4 中，在该结构之上形成保护氧化物 44。在过刻蚀处理 (over etching process) 中采用化学机械抛光 (CMP) 来减小氧化物 44 的高度，以便使该氧化物不会阻塞栅极叠层的顶部。然后，在单独的栅极后期掺杂处理步骤中为 N 型器件和 P 型器件注入单独的杂质。更具体而言，用掩模（未示出）保护图 4B 中示出的 P 型器件，同时对栅极导体 13 进行 N 型栅极注入（磷或砷）40，然后进行可选的快速热退火 (RTA)。随后，再一次使用掩模（未示出）来保

护图 4A 中示出的 N 型器件,同时可以向栅极导体 13 中进行 P 型栅极注入(硼、 BF_2 等)41。作为上述栅极后期掺杂方案的替代,还可以在形成牺牲缓冲层 14、15 和 16 之前、在对高度较小的多晶硅层 13 进行淀积之后立刻通过掺杂剂的较低能量注入对栅极进行预掺杂。

[0039] 牺牲层 14-16 所提供的附加厚度使得可以利用充足的高能量注入(例如,硼高于 5keV、砷高于 10keV、磷高于 8keV) 不仅对栅极还对源极、漏极和晕圈区进行掺杂,而杂质不会通过栅极氧化物层 12 渗入硅层 11 的沟道区中。换言之,由于缓冲层的厚度使得在本发明的栅极结构内可以将杂质注入到与采用传统的较高的栅极结构时的注入深度相同的深度,因此采用本发明可以利用与栅极叠层自对准的传统注入工艺。因此,本发明可以利用公知的注入技术,从而简化和减小了器件制造成本。另外,本发明可以采用这种传统的工艺,还通过在实际栅极导体 13 之上提供牺牲层 14-16 而避免了出现不期望的杂质渗透的风险。

[0040] 然后,如图 5A 和图 5B 所示,例如通过使用稀释的 HF(氢氟酸)溶液的湿法蚀刻来去除保护氧化物层 44。然后,在例如各向异性干法蚀刻或 RIE 中淀积隔离垫材料并形成临时隔离垫 60。如图 6A 和图 6B 所示,RIE 处理和附加的蚀刻(如在传统的复合隔离垫形成技术中那样)还可以去除栅极上氧化物帽 31 之上的氮化物 30 的不受隔离垫 60 保护的部分。

[0041] 在图 7A 和图 7B 中,在外延处理中生长凸起的源漏区 71。由于牺牲缓冲层 14-16 的存在,在多晶硅栅极上阻止了不必要的外延过度生长。此外,如上所述,外延处理使该结构暴露于温度范围大约从 750°C 到 900°C 的热循环下超过几分钟。这种热处理使 N 型杂质 40 和 P 型杂质 41 扩散到整个栅极导体 13 中。

[0042] 如图 7A 和图 7B 所示,用掩模(未示出)保护 N 型器件,并对 P 型器件进行 P 型注入处理 72(例如硼、 BF_2 等),P 型注入处理 72 对 P 型晶体管的凸起的源漏区 71 进行掺杂并同时硅层 11 中创建了 P 型源漏极 73。如前所述,由于是在生长凸起的源漏区之后执行这种注入的,所以这样做避免了与生长凸起的源漏区的外延处理相关联的高热循环。因此,通过在高热外延凸起的源/漏处理之后执行这种注入和其他的后续注入,本发明在外延生长期间避免了硼的有害的暂态加速扩散。

[0043] 在图 8A 和图 8B 中,在蚀刻处理中去除氧化物隔离垫和顶部氧化物 16 以及部分氧化物 26 和氧化物帽 31。在这一阶段,本发明减小了多晶硅栅极高度。此外,本发明可选地在较低的温度下生长薄氧化物层 80(仅在图 8A 和图 8B 中示出)以保护掺杂后的凸起的源漏区 71 的表面。这种可选的处理还有助于重新生长有可能已经在去除隔离垫 60 的蚀刻期间从栅极导体 13 的拐角处去除的任意氧化物 26。

[0044] 在图 9A 和图 9B 中,在蚀刻处理中去除氮化物衬垫 30。接下来,如图 10A 和图 10B 所示,进行用于 NFET 100 的 N-晕圈注入(硼、 BF_2)和用于 PFET 104 的 P 晕圈注入(砷、磷)以创建晕圈注入区 102、106。在处理中单独地进行这些晕圈注入,其中保护一种类型的晶体管,同时对另一种类型的晶体管进行适当的注入,反之亦然。如上所述,由于是在高的热预算的外延凸起的源/漏形成处理之后进行晕圈注入的,因此本发明避免了硼 N-晕圈的暂态加速扩散的有害影响。

[0045] 在图 11A 和图 11B 中,使用公知的淀积和蚀刻/成形技术(例如 RTCVD)来形成永久的氮化物隔离垫 110。随后,执行 N 型源极/漏极注入(砷或磷),同时用掩模保护 P 型器件;以及执行 P 型扩展注入 114(硼、 BF_2 等),同时用不同的掩模保护 N 型器件。这些注

入在凸起的源漏区 71、24 和 71、73 中引入掺杂,并且还对相关联的扩展区的部分 116、118 进行掺杂。

[0046] 在图 12A 和图 12B 中,采用传统技术淀积并形成最终的永久隔离垫 120(氮化物)。永久隔离垫 110 小于牺牲隔离垫 60,而最终隔离垫 120 大于永久隔离垫 110 和牺牲隔离垫 60。实际上,如图 12A 和图 12B 所示,最终的永久隔离垫 120 延伸到覆盖住具有多个面的凸起的源漏区 71 的各个拐角。

[0047] 在图 13A 和图 13B 中,应用高温快速热退火 (RTA) 来激活不同的掺杂剂。因此,到目前为止已注入的掺杂剂在整个凸起的源漏区 71 以及其扩展区 24、73 中重新分布,并在整个多晶硅栅极 13 中重新分布。应当注意,这是晕圈 102、106 中的掺杂剂第一次参与高温热循环。如上所述,由于在形成凸起的源漏区的高热预算处理之后注入了大量硼和其他的快速移动的杂质,因此这些杂质在其余的处理中只接收最小的必需的热预算(诸如图 13A 和图 13B 中示出的快速热退火)。这又一次使得本发明可以避免不必要的暂态加速扩散问题。图 11A 示出了使用较薄的氮化物隔离垫的 NSD (NFET 源极/漏极),而图 7B 示出了与较大的可去除隔离垫对准的 PSD (PFET 源极/漏极) 注入。作为一个不同的实施例,可以在较大的最终隔离垫形成之后进行这些注入(例如,参见图 13A 和图 13B)。

[0048] 图 14A 和图 14B 示出了传统的硅化处理在栅极导体 13 之上创建了硅化物区 140、141 之后的结构,并且其中在此之前凸起的源漏区 71 已经存在。图 15A 和图 15B 示出的结构基本上与图 14A 和图 14B 中所示的结构相同,图 15A 和图 15B 示出了该结构的两个侧面,而不是像图 14A 和图 14B 那样示出一半的视图。

[0049] 因此,如上所示,本发明通过在处理期间在栅极之上提供牺牲层而解决了与栅极高度减小相关联的问题。通过减小多晶硅高度而不产生各种传统问题,本发明实现了减小硅化栅极与源/漏极及其电连接金属/接触结构之间的寄生电容的最终目标。结合了凸起的源/漏区的高度较小的多晶硅栅极还实现了更高的驱动电流,而不必付出增大栅极到源/漏极之间的寄生电容和降低整个电路性能的代价。在处理期间多晶硅栅极之上的缓冲层人为地增加了栅极高度,从而使得可以使用足够高的能量对 PFET 源/漏极和栅极进行注入,而不会产生传统的硼渗透问题。这一实施例的其他变型可以包括在如图 7A 中去除缓冲层 16 之前而不是在如图 11A 中去除缓冲层 16 之后使用磷或砷对 NFET 源漏和栅极进行注入。

[0050] 在栅极叠层之上采用牺牲层而人为地增加栅极高度可以形成较大的可去除隔离垫。如果没有牺牲缓冲层 14-16,只减小栅极高度将难以形成足够大的可去除隔离垫以将凸起的源/漏区与图 6A 和图 6B 中的栅极侧壁隔开。本发明使用两步隔离垫形成工艺进行隔离垫宽度调整。采用较大的隔离垫,可以避免当减小栅极高度减小了隔离垫尺寸时可能会发生的掺杂剂侵蚀和硅化物桥接问题。

[0051] 为了避免上述硼扩散问题,在形成凸起的源/漏区之后为 N- 晕圈、P- 扩展和 P 型源漏极注入硼。这一处理还使得可以在 RSD 处理之前引入扩散得较慢的掺杂剂,诸如砷。此外,使用于 PFET 的最终隔离垫宽度相对于用于 NFET 的最终隔离垫宽度更大,以便为 PFET 源漏极中的硼扩散让出更多的空间。

[0052] 作为对该优选实施例的扩展,下面描述本发明的另一个实施例。在图 6A 和图 6B 中,在氮化物衬垫上形成氮化物可去除隔离垫而不是氧化物隔离垫。因此,在这种结构中,

栅极之上的可去除隔离垫的材料不同于牺牲缓冲材料（在本例中是氧化物）。在图 8A 和图 8B 中进行外延生长以形成 RSD（以及可选的深层源极 / 漏极注入）之后，在 RSD 层 71 的表面上生长较厚的氧化物以使这种 RSD 表面的氧化物的厚度大约等于缓冲氧化物层 16 的厚度。之后，通过热磷酸只选择性地去除氮化物可去除隔离垫，而不将氧化物缓冲层 16 和 RSD 表面氧化物蚀刻掉。然后，以足够高的能量和剂量执行晕圈注入，以控制 SOI 和体硅 CMOS 技术中的短沟道滚降。由于本实施例中的多晶硅栅极上的缓冲层 16，这种以相对较高的能量进行的晕圈注入不会通过多晶硅栅极渗入沟道中，这种渗入是必须要避免的。在该阶段中还执行源极 / 漏极扩展注入。可选地，如同采用图 11A 和图 11B 的优选实施例那样，可以在晕圈注入和扩展注入之前或之后采用较薄的永久隔离垫 110。然而，在本实施例中，较薄的隔离垫材料应当是氧化物而不是氮化物。然后，采用 RIE 形成填充 RSD 层与栅极叠层侧壁之间的间隔的最终的较大的氧化隔离垫，RIE 还通过过度蚀刻来各向异性地蚀刻掉缓冲层 16 和 RSD 表面氧化物层。作为替代，可以通过将所淀积的氧化物各向同性地回蚀到足以同时覆盖多晶硅栅极缓冲层和 RSD 层的厚度而执行对间隔的填充。作为结果，这一步骤在类似于图 13A 和图 13B 的结构中实现较小的多晶硅栅极高度，多晶硅栅极高度大大减小。在本阶段中以较低的能量进行对源 / 漏极和多晶硅栅极的附加注入，以防止掺杂剂渗入沟道中。最终的 RTA 激活所有的掺杂剂，并且硅化处理形成具有较小的多晶硅栅极和 RSD 的最终源 / 漏极和栅极。因此，该第二种实施例也通过减小多晶硅栅极高度减小了栅极到源 / 漏极的寄生电容，通过形成 RSD 层使驱动电流最大化，并且通过以足够高的能量在沟道中进行最佳的晕圈 / 扩展注入来实现短沟道滚降而不引起掺杂剂通过多晶硅栅极而渗透。

[0053] 在栅极叠层上采用牺牲层而人为地增加栅极高度可以形成较大的可去除隔离垫。本发明采用两步隔离垫形成工艺来进行隔离垫宽度调整（牺牲隔离垫和永久隔离垫）。采用较大的隔离垫，可以避免当减小的栅极高度限制和减小了可获得的隔离垫尺寸时可能会发生的掺杂剂侵蚀以及硅化物桥接问题。

[0054] 尽管已经根据优选实施例对本发明进行了描述，但是本领域的普通技术人员应当认识到，在实现本发明时可以在所附的权利要求的原理和范围之内对本发明进行修改。

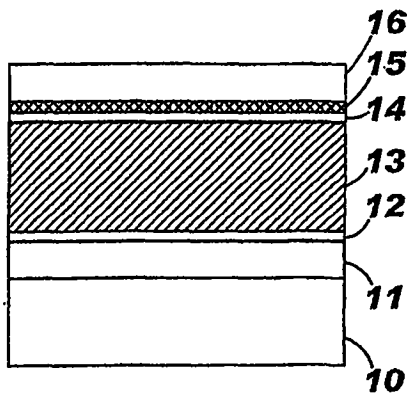


图 1A

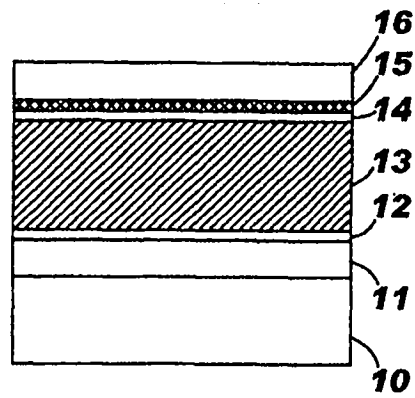


图 1B

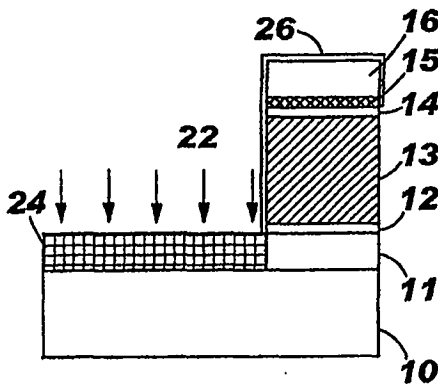


图 2A

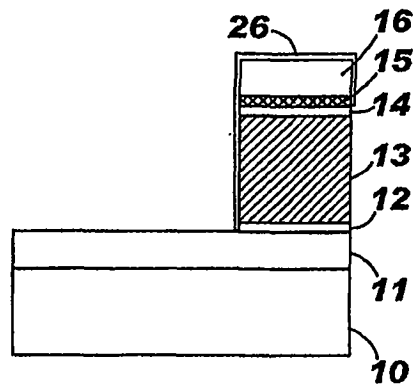


图 2B

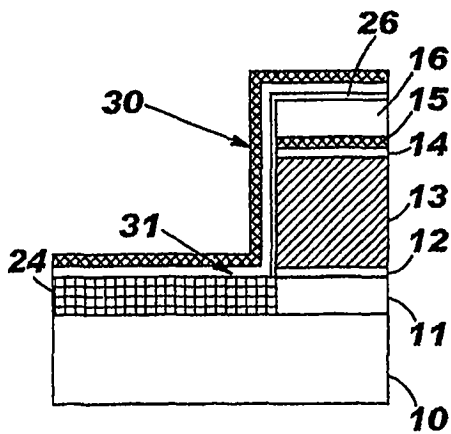


图 3A

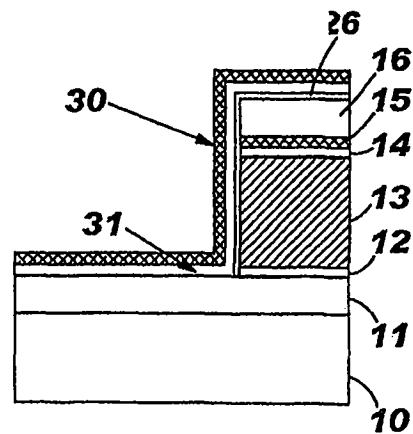


图 3B

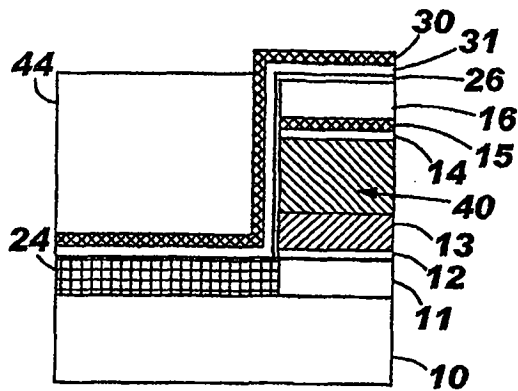


图 4A

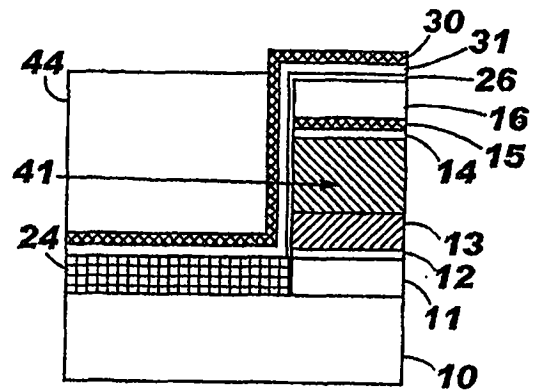


图 4B

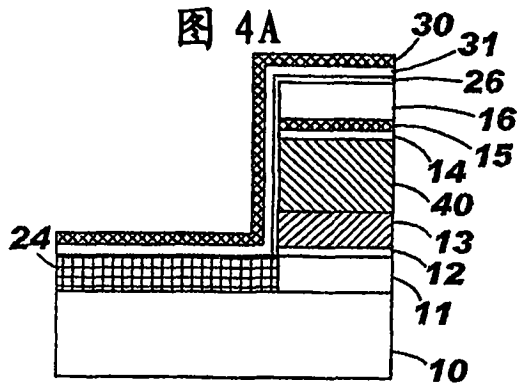


图 5A

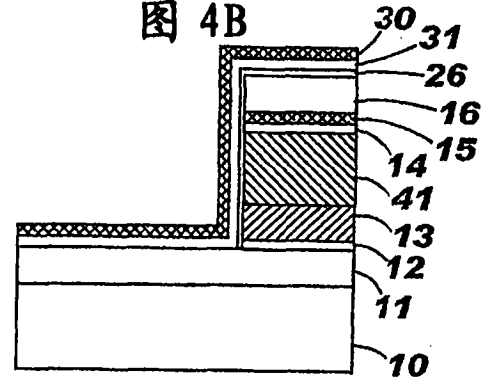


图 5B

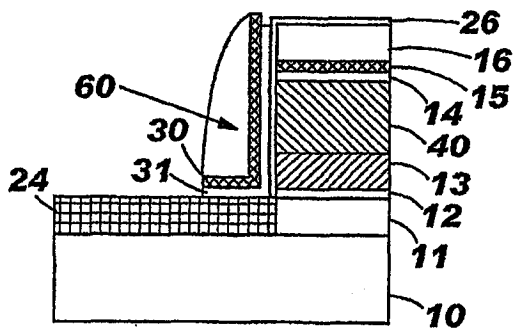


图 6A

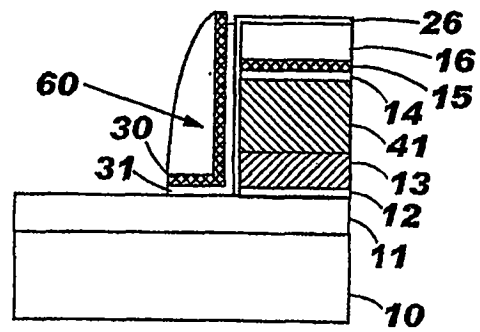


图 6B

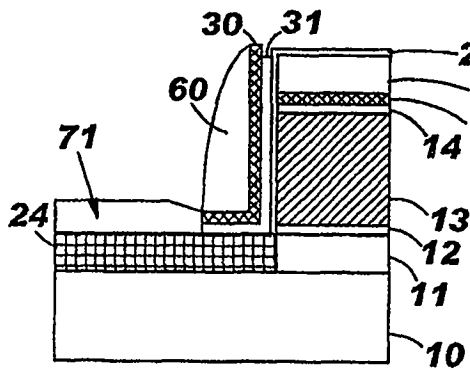


图 7A

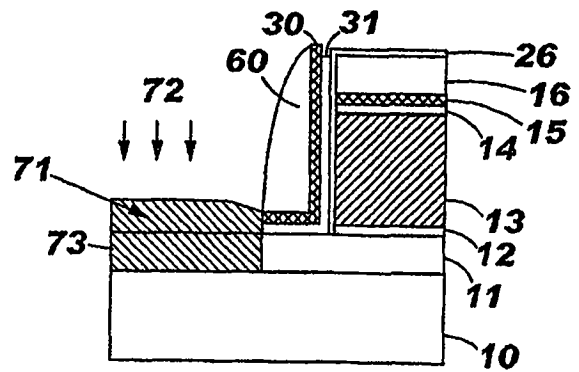


图 7B

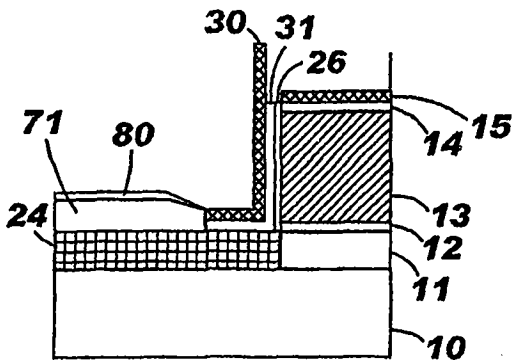


图 8A

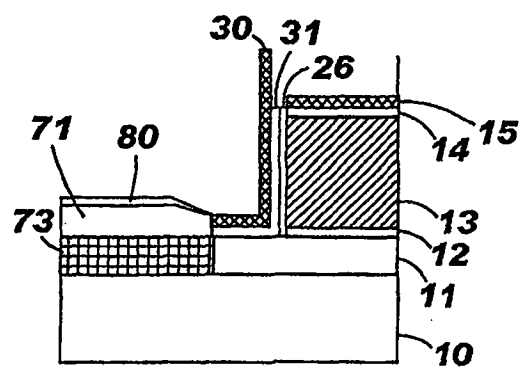


图 8B

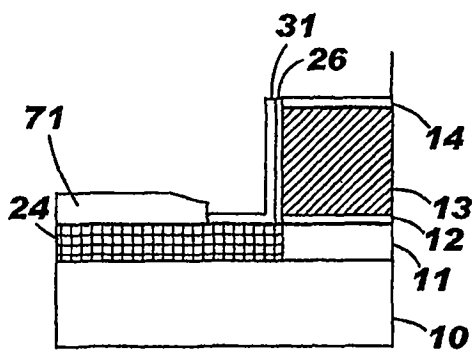


图 9A

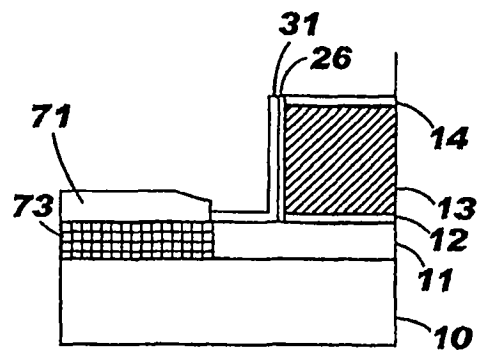


图 9B

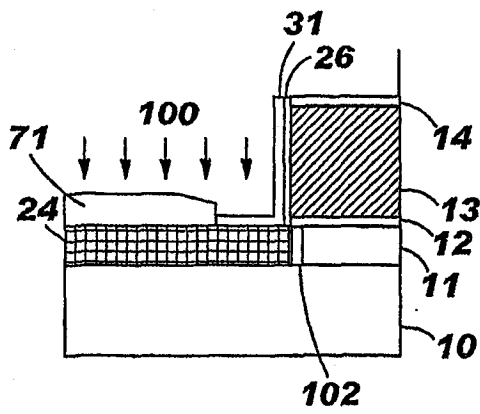


图 10A

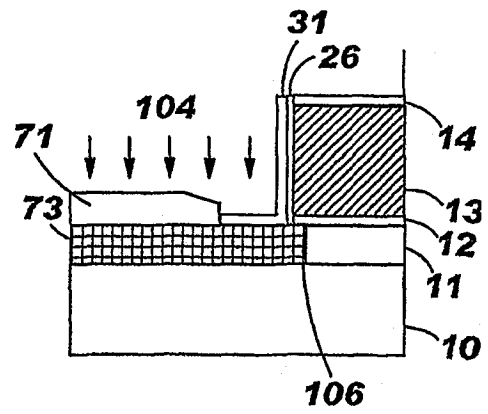


图 10B

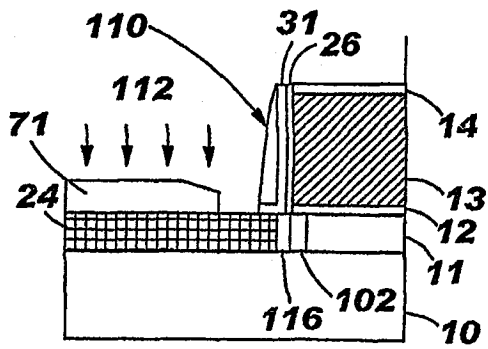


图 11A

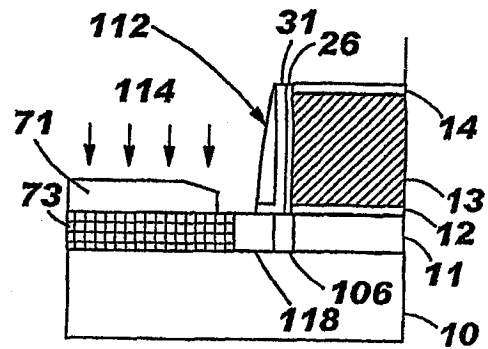


图 11B

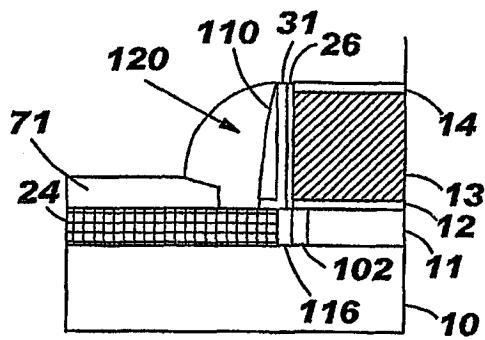


图 12A

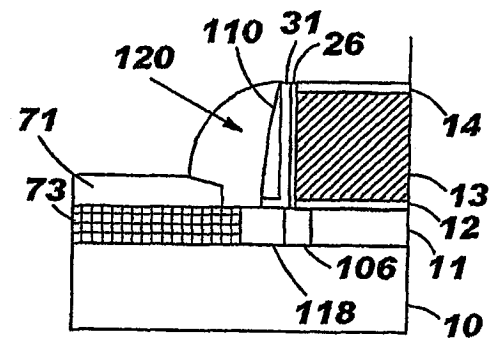


图 12B

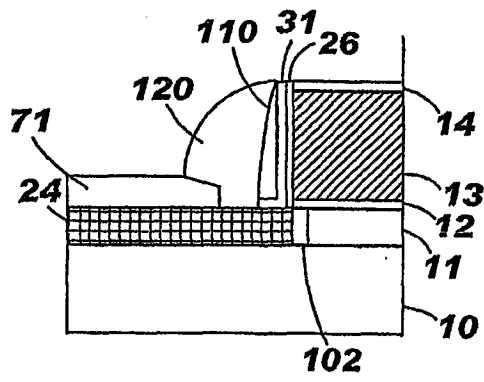


图 13A

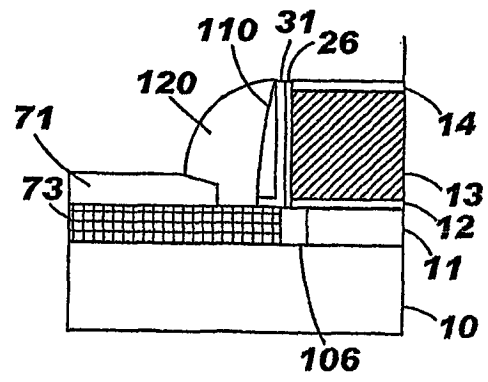


图 13B

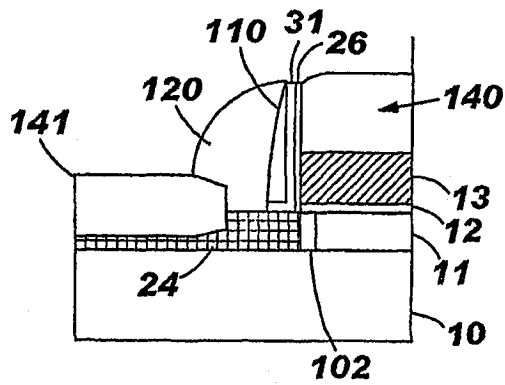


图 14A

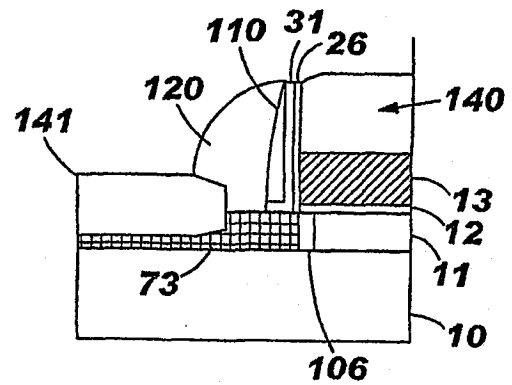


图 14B

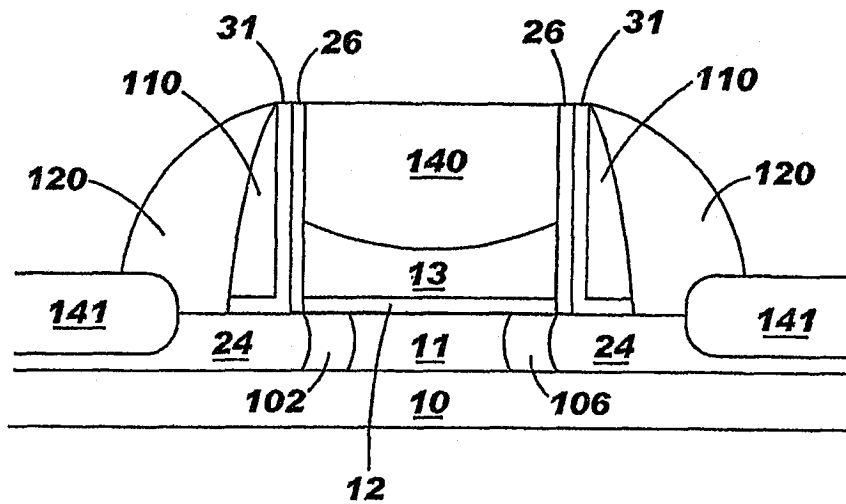


图 15A

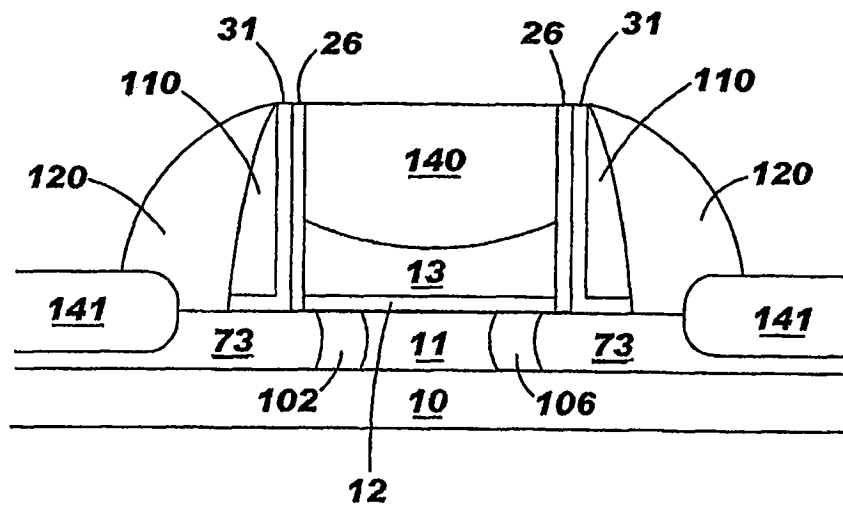


图 15B