



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0081399
(43) 공개일자 2024년06월07일

(51) 국제특허분류(Int. Cl.)
H03K 17/06 (2006.01) H03K 17/693 (2006.01)
H03M 1/12 (2006.01)
(52) CPC특허분류
H03K 17/063 (2013.01)
H03K 17/693 (2013.01)
(21) 출원번호 10-2023-0168254
(22) 출원일자 2023년11월28일
심사청구일자 2023년11월28일
(30) 우선권주장
1020220164935 2022년11월30일 대한민국(KR)

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김철우
서울특별시 강남구 선릉로 221
김창주
서울특별시 양천구 목동서로 400(신정동, 목동신시가지아파트10단지)
(74) 대리인
특허법인주연케이알피
(뒷면에 계속)

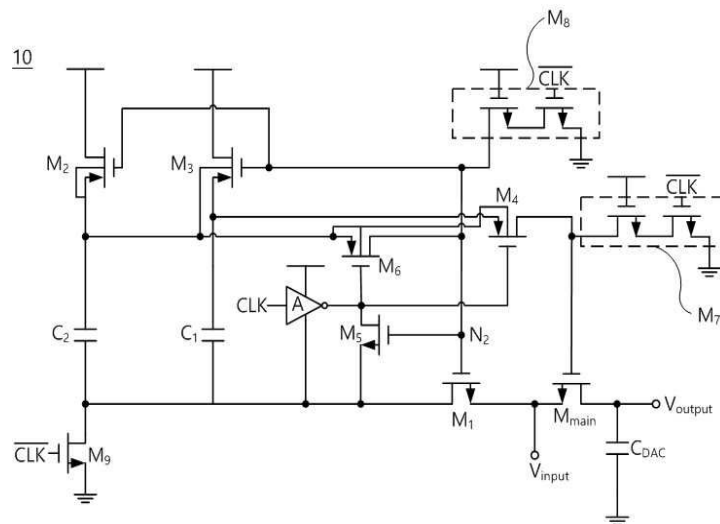
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 이중 경로를 가지는 부트스트랩 스위치 회로 및 이를 포함하는 아날로그 디지털 컨버터

(57) 요약

본 발명은 이중 경로를 가지는 부트스트랩 스위치 회로 및 그 동작 방법에 관한 것으로서, 본 발명에 따르면, 온 또는 오프하는 스위칭 동작에 따라 입력 전압이 인가되는 메인 스위치, 상기 메인 스위치가 온되는 경우에 제1 경로 및 제2 경로를 형성하는 복수 개의 트랜지스터, 일단에 연결된 상기 복수 개의 트랜지스터의 드레인 전압이 각각 충전되는 제1 및 제2 캐패시터 및 클럭 신호가 입력되고, 상기 복수 개의 트랜지스터 중에서 적어도 하나 이상에 출력 신호를 인가하는 증폭기를 포함하고, 상기 제1 경로는 상기 메인 스위치를 포함하는 스위칭 신호 경로이고, 상기 제2 경로는 상기 복수 개의 트랜지스터에서 발생하는 기생 용량을 제1 경로로부터 분리하는 경로인 부트스트랩 스위치 회로를 제공한다.

대표도 - 도2



(52) CPC특허분류

H03M 1/1245 (2013.01)

(72) 발명자

박수호

서울특별시 성북구 고려대로17가길 64(안암동1가,
래미안 안암)

최요한

서울특별시 성북구 화랑로37길 7(장위동, 모아 뉴
캐슬)

장석원

경기도 과천시 송학길 42-24(야당동, 자연애가)

명세서

청구범위

청구항 1

스위칭 동작에 따라 입력 전압이 인가되는 메인 스위치;
 상기 메인 스위치가 온되는 경우에 제1 경로 및 제2 경로를 형성하는 복수 개의 트랜지스터;
 일단에 연결된 상기 복수 개의 트랜지스터의 드레인 전압이 각각 충전되는 제1 및 제2 캐패시터; 및
 클럭 신호가 입력되고, 상기 복수 개의 트랜지스터 중에서 적어도 하나 이상에 출력 신호를 인가하는 증폭기를 포함하고,
 상기 제1 경로는 상기 메인 스위치를 포함하는 스위칭 신호 경로이고,
 상기 제2 경로는 상기 복수 개의 트랜지스터에서 발생하는 기생 용량을 제1 경로로부터 분리하는 경로인, 부트스트랩 스위치 회로.

청구항 2

제1항에 있어서,
 상기 복수 개의 트랜지스터는,
 일단에 상기 메인 스위치가 연결되고, 타단에 상기 제1 캐패시터가 연결되는 제1 트랜지스터;
 상기 적어도 하나 이상의 캐패시터의 일단에 연결되는 제2 트랜지스터;
 상기 적어도 하나 이상의 캐패시터의 일단에 연결되는 제3 트랜지스터;
 일단에 상기 제3 트랜지스터의 일단과 상기 제1 캐패시터의 일단 사이의 노드에 연결되고, 타단에 상기 메인 스위치가 연결되는 제4 트랜지스터;
 상기 제1 트랜지스터의 타단에 연결되는 제5 트랜지스터;
 일단에 상기 제2 트랜지스터의 일단과 상기 제2 캐패시터의 일단 사이의 노드에 연결되고, 타단에 제1 트랜지스터가 연결되는 제6 트랜지스터를 포함하는, 부트스트랩 스위치 회로.

청구항 3

제2항에 있어서,
 상기 제1 캐패시터는 상기 제3 트랜지스터의 드레인 전압이 충전되고,
 상기 제2 캐패시터는 상기 제2 트랜지스터의 드레인 전압이 충전되는, 부트스트랩 스위치 회로.

청구항 4

제2항에 있어서,
 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제6 트랜지스터는 PMOS(P-channel Metal Oxide Semiconductor)이고,
 상기 제2 트랜지스터, 상기 제3 트랜지스터 및 상기 제6 트랜지스터 각각의 소스 단자와 바디 단자가 연결되어 기생 용량을 생성하고,
 상기 제4 트랜지스터의 바디 단자는 상기 제6 트랜지스터의 소스 단자에 연결되어 기생 용량을 생성하는, 부트스트랩 스위치 회로.

청구항 5

제2항에 있어서,

상기 메인 스위치, 상기 제1 트랜지스터 및 상기 제5 트랜지스터는 NMOS(N-channel Metal Oxide Semiconductor)이고,

상기 메인 스위치의 게이트-소스 전압은 상기 제1 캐패시터의 충전 전압과 동일하게 유지되는, 부트스트랩 스위치 회로.

청구항 6

제2항에 있어서,

상기 복수 개의 트랜지스터는,

상기 메인 스위치의 게이트 단자에 연결되는 제7 트랜지스터;

상기 제1 트랜지스터의 게이트 단자에 연결되는 제8 트랜지스터; 및

상기 제2 캐패시터의 타단에 연결되는 제9 트랜지스터를 더 포함하는, 부트스트랩 스위치 회로.

청구항 7

제6항에 있어서,

상기 메인 스위치가 오프되는 경우에

상기 제7 내지 제9 트랜지스터는 온되고,

상기 제7 내지 제9 트랜지스터 각각에 상기 클럭 신호가 인가되는, 부트스트랩 스위치 회로.

청구항 8

제2항에 있어서,

상기 제1 경로는,

상기 메인 스위치, 상기 제1 트랜지스터, 상기 제1 캐패시터 및 상기 제4 트랜지스터를 포함하는, 부트스트랩 스위치 회로.

청구항 9

제2항에 있어서,

상기 제2 경로는,

상기 제2 캐패시터, 상기 제2 트랜지스터, 상기 제3 트랜지스터, 상기 제4 트랜지스터 및 상기 제6 트랜지스터를 포함하는, 부트스트랩 스위치 회로.

청구항 10

제2항에 있어서,

상기 증폭기의 출력 신호는,

상기 제4 트랜지스터의 게이트 단자, 상기 제5 트랜지스터의 드레인 단자 및 상기 제6 트랜지스터의 게이트 단자에 인가되는, 부트스트랩 스위치 회로.

청구항 11

아날로그 신호를 수신하여 샘플앰홀드(Sample and Hold) 동작을 통해 샘플 신호를 생성하고, 부트스트랩 스위치 회로를 포함하는 샘플앰홀드 회로; 및

상기 샘플앰홀드 회로로부터 생성된 샘플 신호를 디지털 신호로 변환시키는 신호 변환기를 포함하고,

상기 부트스트랩 스위치 회로는,

스위칭 동작에 따라 입력 전압이 인가되는 메인 스위치;

상기 메인 스위치가 온되는 경우에 제1 경로 및 제2 경로를 형성하는 복수 개의 트랜지스터;

일단에 연결된 상기 복수 개의 트랜지스터의 드레인 전압이 각각 충전되는 제1 및 제2 캐패시터; 및

클럭 신호가 입력되고, 상기 복수 개의 트랜지스터 중에서 적어도 하나 이상에 출력 신호를 인가하는 증폭기를 포함하고,

상기 제1 경로는 상기 메인 스위치를 포함하는 스위칭 신호 경로이고,

상기 제2 경로는 상기 복수 개의 트랜지스터에서 발생하는 기생 용량을 제1 경로로부터 분리하는 경로인, 아날로그 디지털 컨버터.

발명의 설명

기술 분야

[0001] 본 발명은 기생 용량(parasitic capacitance)을 분리하기 위하여 이중 경로를 가지는 부트스트랩 스위치 회로 및 이를 포함하는 아날로그 디지털 컨버터에 관한 것이다.

배경 기술

[0002] 아날로그 스위치는 아날로그 디지털 컨버터, 샘플앰플리퍼 증폭기(SHA, Sample and Hold Amplifier), 아날로그 멀티플렉서(Multiplexer) 등 다양한 아날로그 회로에서 사용된다. 아날로그 신호를 처리하기 위하여, 아날로그 스위치의 선형성을 향상시키는 것이 매우 중요하다.

[0003] 부트스트랩 스위치(Bootstrapped Switch) 회로는 아날로그 스위치 회로의 선형성을 개선하기 위해 사용되는 회로이다. 아날로그 스위치용 MOS펫(MOSFET)에 있어서, 부트스트랩 회로는 MOS펫의 게이트-소스 전압 V_{GS} 을 일정하게 유지시켜 온-저항(on-resistance) 변화를 최소화함으로써, MOS펫의 선형성을 향상시킨다. 그러나 MOS펫 스위치가 온(on)되면, 스위치 저항 R_{on} 이 발생하고, 스위치 저항 R_{on} 은 게이트-소스 전압 V_{GS} 값에 의존된다. 이에 따라, 스위치 저항 R_{on} 은 스위치의 입력 전압에 의존되는데, 스위치의 출력 전압도 입력 전압에 의존된다. 이에 따라, MOS펫 스위치는 회로의 선형성을 감소시키는 데에 한계가 있다. 더불어, 종래의 부트스트랩 스위치 회로는 선형성을 제거하더라도 비선형 성분 및 기생 용량이 여전히 존재하는 문제가 있었다. 상술한 문제를 해결하기 위해 개선된 부트스트랩 스위치 회로가 필요한 실정이다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 목적은 기생 용량을 분리하기 위하여 이중 경로를 가지는 부트스트랩 스위치 회로 및 이를 포함하는 아날로그 디지털 컨버터를 제공함에 있다.

과제의 해결 수단

[0005] 본 발명에 따른 부트스트랩 스위치 회로는 스위칭 동작에 따라 입력 전압이 인가되는 메인 스위치, 상기 메인 스위치가 온되는 경우에 제1 경로 및 제2 경로를 형성하는 복수 개의 트랜지스터, 일단에 연결된 상기 복수 개의 트랜지스터의 드레인 전압이 각각 충전되는 제1 및 제2 캐패시터 및 클럭 신호가 입력되고, 상기 복수 개의 트랜지스터 중에서 적어도 하나 이상에 출력 신호를 인가하는 증폭기를 포함할 수 있고, 상기 제1 경로는 상기 메인 스위치를 포함하는 스위칭 신호 경로일 수 있고, 상기 제2 경로는 상기 복수 개의 트랜지스터에서 발생하는 기생 용량을 제1 경로로부터 분리하는 경로일 수 있다.

[0006] 본 발명에 따른 아날로그 디지털 컨버터는 아날로그 신호를 수신하여 샘플앰플리퍼(Sample and Hold) 동작을 통해 샘플 신호를 생성하고, 부트스트랩 스위치 회로를 포함하는 샘플앰플리퍼 회로 및 상기 샘플앰플리퍼 회로로부터 생성된 샘플 신호를 디지털 신호로 변환시키는 신호 변환기를 포함할 수 있다. 그리고 상기 부트스트랩 스위치 회로는 스위칭 동작에 따라 입력 전압이 인가되는 메인 스위치, 상기 메인 스위치가 온되는 경우에 제1 경로 및

제2 경로를 형성하는 복수 개의 트랜지스터, 일단에 연결된 상기 복수 개의 트랜지스터의 드레인 전압이 각각 충전되는 제1 및 제2 캐패시터 및 클럭 신호가 입력되고, 상기 복수 개의 트랜지스터 중에서 적어도 하나 이상에 출력 신호를 인가하는 증폭기를 포함할 수 있고, 상기 제1 경로는 상기 메인 스위치를 포함하는 스위칭 신호 경로일 수 있고, 상기 제2 경로는 상기 복수 개의 트랜지스터에서 발생하는 기생 용량을 제1 경로로부터 분리하는 경로일 수 있다.

발명의 효과

[0007] 본 발명의 실시예에 따른 이중 경로를 가지는 부트스트랩 스위치 회로는 기생 용량 성분을 분리함으로써, 부트스트랩 스위치 회로가 출력하는 신호의 선형성을 향상시켜 성능을 향상시킬 수 있다.

도면의 간단한 설명

[0008] 도 1a 내지 도 1c는 종래 기술에 따른 스위치 회로의 예시이다.
 도 2는 본 발명의 실시예에 따른 부트스트랩 스위치 회로의 예시이다.
 도 3a 및 도 3b는 본 발명의 실시예에 따른 부트스트랩 스위치 회로의 동작 예시이다.
 도 4는 본 발명의 실시예에 따른 부트스트랩 스위치 회로의 입력 전압 및 출력 전압의 그래프이다.
 도 5a 및 도 5b는 종래 기술과 본 발명의 실시예에 따른 부트스트랩 스위치 회로의 출력 신호에 대한 비교 예시이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하에서는 본 발명의 기술사상을 본 발명의 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예들이 첨부된 도면을 참조하여 설명될 것이다.

[0010] 도 1a 내지 도 1b는 종래 기술에 따른 CMOS 스위치 회로의 예시이다.

[0011] 도 1a 및 도 1b를 참조하면, CMOS(complementary metal-oxide semiconductor) 스위치(S_{CMOS})의 일단에는 전압 V_{IN}이 입력되고, 타단에는 전압 V_{OUT}이 출력된다. 그리고 전압 V_{OUT} 출력단에 캐패시터 C_H의 상단(top plate)이 연결되고, 캐패시터 C_H의 하단(bottom plate)은 접지된다.

[0012] CMOS 스위치(S_{CMOS})가 온되면, 입력 전압(V_{IN})이 CMOS 스위치(S_{CMOS})에 인가될 수 있다. 그리고 CMOS 스위치(S_{CMOS})가 오프되면, CMOS 스위치(S_{CMOS})의 출력 전압(V_{OUT})은 캐패시터 C_H로 저장될 수 있다. 이러한 방식으로 CMOS 스위치(S_{CMOS})를 이용하여 샘플앰홀드 동작을 수행할 수 있다. 이때, CMOS 스위치(S_{CMOS})에는 저항 R_{on}이 발생하는데, 저항 R_{on}은 하기의 식으로 나타낼 수 있다.

$$G_{on,eq} = \mu_n C_{ox} \frac{W_n}{L_n} (V_{DD} - V_{in} - V_{TH}) + \mu_p C_{ox} \frac{W_p}{L_p} (V_{in} - V_{SS} - |V_{THp}|)$$

[0013] 여기서, 저항 R_{on}은 CMOS 스위치(S_{CMOS})의 게이트-소스 전압에 의존하므로, 저항 R_{on}은 CMOS 스위치(S_{CMOS})의 입력 전압(V_{IN})에 의존한다. CMOS 스위치(S_{CMOS})의 구조는 간단하지만, 상술한 이유로 비선형성을 초래할 수 있다. 이러한 비선형성은 CMOS 스위치의 성능을 저하시킨다.

[0015] 이러한 문제를 해결하기 위하여 부트스트랩 스위치를 사용함으로써, 스위치 회로의 선형성을 향상시킬 수 있다.

[0016] 도 1c는 종래의 부트스트랩 스위치 회로이다. 부트스트랩 스위치 회로는 모스펫 스위치의 게이트-소스 전압(V_{gs})을 드레인 전압(V_{DD})으로 고정시켜 스위치 회로의 선형성을 개선하는 회로이다. 종래의 부트스트랩 스위치 회로는 모스펫 스위치(M_{SW})의 온/오프 동작에 의해 구동될 수 있다.

[0017] 도 1c를 참조하면, 모스펫 스위치(M_{SW})가 오프이면, 캐패시터 C_{bt}가 모스펫 M₁의 드레인 전압(V_{DD})으로 충전될 수 있다. 즉, 클럭 신호(CLK)가 게이트 단자로 입력되는 모스펫 및 모스펫 M₁은 온 동작일 수 있다. 이후, 모스펫

스위치(M_{SW})가 온이면, MOS펫 M_1 의 드레인 전압(V_{DD})으로 충전된 캐패시터 C_{bt} 의 타단에는 입력 전압(V_{in})이 인가될 수 있고, 일단에는 입력 전압(V_{in})과 드레인 전압(V_{DD})을 합한 전압이 인가될 수 있다. 도 1c에 도시된 빨간 선이 MOS펫 스위치(M_{SW})가 온 동작한 경우의 경로이다. 이에 따라, MOS펫 스위치(M_{SW})의 게이트-소스 전압(V_{GS})은 입력 전압(V_{in})의 크기에 상관없이 드레인 전압(V_{DD})으로 유지될 수 있다. 게이트-소스 전압(V_{GS})이 드레인 전압(V_{DD})으로 유지됨으로써, MOS펫 스위치(M_{SW})의 선형성이 향상될 수 있다.

[0018] 그러나 종래의 부트스트랩 스위치 회로의 선형성을 제한하는 요소는 여전히 존재할 수 있다. 예를 들어, 커패시터 C_{bt} 의 일단의 전압인 V_X 에는 입력 전압(V_{in})보다 더 큰 전압이 인가되므로, MOS펫 스위치(M_{SW})의 게이트-소스 전압(V_{GS})이 PMOS(P-channel Metal Oxide Semiconductor)인 M_1 및 M_2 각각의 바디 단자는 소스 단자와 연결되어야 한다. 이때, PMOS인 M_1 및 M_2 의 N-웰(N-well)에서 기생 용량(parasitic capacitance) 성분이 발생할 수 있다. 여기에서, MOS펫 M_1 과 MOS펫 M_2 에서 발생한 기생 용량은 부트스트랩 스위치 회로의 비선형(nonlinear) 성분일 수 있다. MOS펫 스위치(M_{SW})의 스위칭 신호 경로에 영향을 주어 부트스트랩 스위치 회로의 선형성을 제한할 수 있다.

[0019] 종래의 부트스트랩 스위치 회로의 상술한 문제점을 해결하기 위하여, 본 발명에 따른 부트스트랩 스위치 회로(10)를 도 2의 설명에서 후술하기로 한다.

[0021] 도 2는 본 발명의 실시예에 따른 부트스트랩 스위치 회로(10)의 예시이다.

[0022] 도 2를 참조하면, 부트스트랩 스위치 회로(10)는 메인 스위치(M_{main}), 복수 개의 트랜지스터, 제1 및 제2 캐패시터(C_1 , C_2) 및 증폭기(A)를 포함한다.

[0023] 메인 스위치(M_{main})는 온 또는 오프되는 스위칭 동작에 따라 입력 전압(V_{input})이 인가될 수 있다. 예를 들어, 메인 스위치(M_{main})는 NMOS(N-channel Metal Oxide Semiconductor) 구조일 수 있고, 소스 단자에 입력 전압(V_{input})이 인가될 있고, 드레인 단자에 샘플앰플드용 캐패시터(C_{DAC})가 연결될 수 있다. 메인 스위치(M_{main})의 드레인 단자는 출력 전압(V_{output})이 출력될 수 있고, 게이트-소스 전압(V_{GS})은 제1 및 제2 캐패시터(C_1 , C_2)에 충전된 전압(V_{DD})과 동일하게 유지할 수 있다.

[0024] 복수 개의 MOS펫은 메인 스위치(M_{main})가 온되는 경우에 제1 경로 및 제2 경로를 형성할 수 있다. 여기에서, 제1 경로는 메인 스위치(M_{main})를 포함하는 스위칭 신호 경로일 수 있다. 제2 경로는 복수 개의 트랜지스터에서 발생하는 기생 용량을 제1 경로로부터 분리하는 경로일 수 있다.

[0025] 제1 경로 및 제2경로는 도 3a 및 도 3b의 설명에서 구체적으로 후술하기로 한다.

[0026] 복수 개의 MOS펫은 제1 내지 제9 트랜지스터를 포함한다.

[0027] 메인 스위치(M_{main}), 제1 트랜지스터(M_1) 및 제5 트랜지스터(M_5)는 NMOS일 수 있다.

[0028] 제2 트랜지스터(M_2), 제3 트랜지스터(M_3), 제4 트랜지스터(M_4) 및 제6 트랜지스터(M_6)는 PMOS일 수 있다.

[0029] 메인 스위치(M_{main})의 게이트-소스 전압(V_{GS})을 제1 캐패시터(C_1)의 충전 전압(V_{DD})보다 큰 전압이 인가될 수 있는데, 이는 부트스트랩 스위치 회로(10)의 비선형성을 향상시킬 수 있다. 그러므로 메인 스위치(M_{main})의 게이트-소스 전압(V_{GS})을 제1 캐패시터(C_1)의 충전 전압(V_{DD})으로 유지하기 위하여 제2 트랜지스터(M_2), 제3 트랜지스터(M_3) 및 제6 트랜지스터(M_6) 각각의 소스 단자와 바디 단자가 연결될 수 있다. 그리고 제4 트랜지스터(M_4)의 바디 단자는 제6 트랜지스터(M_6)의 소스 단자에 연결될 수 있다. 이러한 연결은 제2 트랜지스터(M_2), 제3 트랜지스터(M_3), 제4 트랜지스터(M_4) 및 제6 트랜지스터(M_6)의 N-웰에 기생 용량을 생성할 수 있다.

[0030] 제1 트랜지스터(M_1)의 소스 단자는 메인 스위치(M_{main})의 소스 단자와 연결될 수 있고, 제1 트랜지스터(M_1)의 드

레인 단자는 제1 및 제2 캐패시터(C_1 , C_2)의 타단에 연결될 수 있다. 그리고 제1 트랜지스터(M_1)의 게이트 단자는 제2 및 제3 트랜지스터(M_2 , M_3)의 게이트 단자와 제5 트랜지스터(M_5)의 게이트 단자와 연결될 수 있다.

[0031] 제2 트랜지스터(M_2)의 소스 단자는 제2 캐패시터(C_2)의 일단에 연결될 수 있다. 제2 트랜지스터(M_2)의 드레인 단자는 전압(V_{DD})이 인가될 수 있고, 게이트 단자는 제3 트랜지스터(M_3)의 게이트 단자 및 제1 트랜지스터(M_1)의 게이트 단자와 연결될 수 있다. 제3 트랜지스터(M_3)의 소스 단자는 제1 캐패시터(C_1)의 일단에 연결될 수 있다. 이에 따라, 제1 및 제2 캐패시터(C_1 , C_2) 각각에는 제2 및 제3 트랜지스터(M_2 , M_3)의 드레인 전압(V_{DD})이 충전될 수 있다.

[0032] 제4 트랜지스터(M_4)의 소스 단자는 제1 캐패시터(C_1)의 일단이 연결될 수 있고, 드레인 단자는 메인 스위치(M_{main})의 게이트 단자가 연결될 수 있다. 제4 트랜지스터(M_4)의 바디 단자는 제6 트랜지스터(M_6)의 소스 단자가 연결될 수 있고, 게이트 단자는 증폭기(A)의 출력단이 연결될 수 있다.

[0033] 제5 트랜지스터(M_5)의 소스 단자는 제1 트랜지스터(M_1)의 드레인 단자가 연결될 수 있고, 드레인 단자는 제6 트랜지스터(M_6)의 게이트 단자 및 증폭기(A)의 출력단이 연결될 수 있다. 제5 트랜지스터(M_5)의 게이트 단자는 제1 트랜지스터(M_1)의 게이트 단자와 연결될 수 있다.

[0034] 제6 트랜지스터(M_6)의 게이트 단자는 제5 트랜지스터(M_5)의 드레인 단자가 연결될 수 있고, 드레인 단자는 제1 트랜지스터(M_1)의 게이트 단자가 연결될 수 있다. 제6 트랜지스터(M_6)의 소스 단자는 제2 캐패시터(C_2)의 일단에 연결될 수 있고, 바디 단자는 소스 단자와 연결될 수 있다.

[0035] 제7 내지 제9 트랜지스터(M_7 , M_8 , M_9)는 메인 스위치(M_{main})가 오프되는 경우에 온될 수 있다. 그리고 증폭기(A)에 입력되는 클럭 신호(CLK)와 반대되는 위상의 클럭 신호($\overline{CLK}$)가 제1 내지 제3 트랜지스터(M_7 , M_8 , M_9)의 게이트 단자 각각에 입력될 수 있다.

[0036] 제7 트랜지스터(M_7)는 두 개의 NMOS로 구성될 수 있고, 제7 트랜지스터(M_7)의 일단 즉, 하나의 NMOS의 드레인 단자에 메인 스위치(M_{main})의 게이트 단자가 연결될 수 있다. 제7 트랜지스터(M_7)의 타단은 접지될 수 있다.

[0037] 제8 트랜지스터(M_8)는 두 개의 NMOS로 구성될 수 있고, 제8 트랜지스터(M_8)의 일단 즉, 하나의 NMOS의 드레인 단자에 제1 트랜지스터(M_1)의 게이트 단자가 연결될 수 있다. 이와 동시에, 제3 및 제5 트랜지스터(M_3 , M_5)의 게이트 단자와 제6 트랜지스터(M_6)의 드레인 단자가 제8 트랜지스터(M_8)의 일단에 연결될 수 있다. 제8 트랜지스터(M_8)의 타단은 접지될 수 있다.

[0038] 제9 트랜지스터(M_9)는 하나의 NMOS로 구성될 수 있고, 게이트 단자에는 클럭 신호($\overline{CLK}$)가 인가될 수 있다. 제9 트랜지스터(M_9)의 NMOS 드레인 단자는 제2 캐패시터(C_2)의 타단이 연결될 수 있고, 소스 단자는 접지될 수 있다.

[0039] 증폭기(A)는 클럭 신호(CLK)가 입력될 수 있다. 그리고 증폭기(A)는 제4 트랜지스터(M_4)의 게이트 단자, 제5 트랜지스터(M_5)의 드레인 단자 및 제6 트랜지스터(M_6)의 게이트 단자에 출력 신호를 인가할 수 있다.

[0040] 도 3a 및 도 3b는 본 발명의 실시예에 따른 부트스트랩 스위치 회로(10)의 동작 예시이다.

[0041] 도 3a는 제1 경로를 설명하는 도면이다. 도 3a를 참조하면, 메인 스위치(M_{main})가 온되는 경우에, 메인 스위치(M_{main})에 입력 전압(V_{input})이 입력될 수 있고, 제1 경로로 스위칭 신호가 경유할 수 있다.

[0042] 제1 경로는 메인 스위치(M_{main})에서 시작하여 NMOS인 제1 트랜지스터(M_1), 제1 캐패시터(C_1) 및 PMOS인 제4 트랜지스터(M_4)를 포함하는 경로일 수 있다. 이때, 제1 경로를 통해 메인 스위치(M_{main})에 게이트-소스 전압(V_{GS})이 인가될 수 있다. 여기에서, 게이트-소스 전압(V_{GS})은 제1 및 제2 캐패시터(C_1 , C_2)의 충전 전압(V_{DD})으로 유지될 수 있다.

[0043] 일반적으로 게이트 단자에 발생하는 기생 용량은 소스 단자 또는 드레인 단자에서 발생하는 기생 용량보다 일반

적으로 크다. 본 발명에 따른 부트스트랩 스위치 회로(10)는 메인 스위치(M_{main})의 게이트 단자에 연결되는 노드를 단순화하여 기생 용량의 발생을 감소시켰다. 이에 따라, 부트스트랩 스위치 회로(10)는 선형성을 향상시킬 수 있다.

[0044] 도 3b는 제2 경로를 설명하는 도면이다. 도 3b를 참조하면, 메인 스위치(M_{main})가 온되는 경우에, 제2 경로가 생성될 수 있고, 제2 경로는 제1 경로에서 N-웰의 기생 용량 성분들을 분리할 수 있다.

[0045] 제 2경로는 제2 캐패시터(C_2)를 지나 PMOS인 제2 트랜지스터(M_2), 제3 트랜지스터(M_3), 제4 트랜지스터(M_4) 및 제6 트랜지스터(M_6)를 포함하는 경로일 수 있다. 메인 스위치(M_{main})의 게이트-소스 전압(V_{GS})을 제1 캐패시터(C_1)의 충전 전압(V_{DD})으로 유지하기 위하여 제2 트랜지스터(M_2), 제3 트랜지스터(M_3) 및 제6 트랜지스터(M_6) 각각의 소스 단자와 바디 단자가 연결될 수 있다. 그리고 제4 트랜지스터(M_4)의 바디 단자는 제6 트랜지스터(M_6)의 소스 단자에 연결될 수 있다. 이러한 연결은 제2 트랜지스터(M_2), 제3 트랜지스터(M_3), 제4 트랜지스터(M_4) 및 제6 트랜지스터(M_6)의 N-웰에 기생 용량을 생성할 수 있다. 본 발명에 따른 부트스트랩 스위치 회로(10)는 이러한 기생 용량 성분을 분리하기 위하여 제2 경로를 생성할 수 있고, 제1 경로의 선형성을 향상시킬 수 있다.

[0046] 상술한 바와 같이, 본 발명에 따른 부트스트랩 스위치 회로(10)는 PMOS 트랜지스터의 기생 용량 성분을 제1 경로에서 분리하므로, 부트스트랩 스위치 회로(10)의 선형성을 향상시킬 수 있다. 즉, 본 발명에 따른 부트스트랩 스위치 회로(10)는 성능을 향상시킬 수 있다.

[0048] 도 4는 도 2의 부트스트랩 스위치 회로(10)의 입력 전압 및 출력 전압의 그래프이다.

[0049] 도 4를 참조하면, 부트스트랩 스위치 회로(10)에 인가되는 클럭 신호(CLK)가 하이(high) 레벨인 경우에는, 메인 스위치(M_{main})는 온 상태이고, 입력 전압(V_{input})을 출력단에 충전할 수 있다. 도 4의 그래프와 같이, 클럭 신호가 하이(high) 레벨인 경우에는, 출력 전압(V_{output})에 입력 전압(V_{input})이 샘플링됨을 알 수 있다. 반면에, 클럭 신호(CLK)가 로우(low) 레벨인 경우에는, 메인 스위치(M_{main})는 오프 상태이고, 입력 전압(V_{input})이 인가되지 않을 수 있다. 이에 따라, 출력 전압(V_{output})이 입력 전압(V_{input})에 상관없이 이전 출력 전압(V_{output})이 유지될 수 있음을 확인할 수 있다. 즉, 입력 신호에 대한 출력 전압(V_{output})의 그래프를 통해 본 발명에 따른 부트스트랩 스위치 회로(10)의 선형성을 향상됨을 확인할 수 있다.

[0050] 도 5a 및 도 5b는 종래 기술과 도 2의 부트스트랩 스위치 회로(10)의 출력 신호에 대한 비교 예시이다.

[0051] 도 5a는 종래 기술과 도 2의 부트스트랩 스위치 회로(10)의 FET 스펙트럼을 비교한 그래프이다. 더불어, 종래 기술과 본 발명인 부트스트랩 스위치 회로(10)의 선형성을 비교하기 위하여 성능 지표인 SNDR(Signal-to-Noise-and-Distortion Ratio) 및 SFDR(Spurious Free Dynamic Range)를 비교하였다. SNDR 및 SFDR이 클수록 선형성이 더 좋은 것으로 판단할 수 있다.

[0052] 도 5a를 참조하면, 종래 기술과 본 발명인 부트스트랩 스위치 회로(10)는 동일한 입력 전압을 인가하였고, 복수 개의 트랜지스터는 동일한 크기의 MOS펄스(NMOS, PMOS)를 사용하였다. 종래 기술과 본 발명인 부트스트랩 스위치 회로(10)에 입력 전압인 사인파 신호를 500MHz로 입력하였다. 메인 스위치(M_{main})의 크기는 $4\mu/0.03\mu$, NMOS의 크기는 $0.2\mu/0.03\mu$, PMOS의 크기는 $0.36\mu/0.03\mu$ 이다.

[0053] 도 5a에 도시된 바와 같이, 종래 기술과 부트스트랩 스위치 회로(10)에 입력 전압의 주파수 대역 이외의 대역에서 비선형성 성분이 발생하는 것을 알 수 있다. 이때, 종래 기술에 비교하여 본 발명인 부트스트랩 스위치 회로(10)의 비선형성 성분이 적은 것을 알 수 있다. 또한, 그래프 수치의 결과와 같이, 종래 기술의 SNDR은 65.75dB이고, SFDR은 65.91dB으로 확인되었다. 본 발명인 부트스트랩 스위치 회로(10)의 SNDR은 72.62dB, SFDR은 73.09dB으로 확인되었다. 이에 따라, 종래 기술에 비교하여 본 발명인 부트스트랩 스위치 회로(10)의 선형성이 더 좋으므로, 종래 기술에 비해 성능이 향상된 것을 알 수 있었다.

[0054] 도 5b는 종래 기술과 도 2의 부트스트랩 스위치 회로(10)의 성능을 비교하기 위한 샘플 주파수-유효 비트 수(ENOB, Effective Number Of Bits) 그래프이다.

[0055] 도 5b를 참조하면, 종래 기술 및 본 발명인 부트스트랩 스위치 회로(10)의 출력단에 300fF인 샘플 앤홀드용 캐

패시터(C_{DAC})를 연결하고, 샘플 주파수를 증가시켰다. 샘플 주파수(F_s)가 증가하여도 종래 기술에 비교하여 본 발명인 부트스트랩 스위치 회로(10)의 유효 비트 수가(ENOB) 큰 것을 확인하였다. 그리고 종래 기술의 기생 용량은 213aF로 측정되었고, 본 발명인 부트스트랩 스위치 회로(10)의 기생 용량은 161aF로 측정되었다. 즉, 종래 기술에 비교하여 본 발명인 부트스트랩 스위치 회로(10)의 기생 용량은 감소하므로, 선형성이 향상되어 종래 기술에 비해 성능이 향상된 것을 알 수 있었다.

[0057] 또한, 본 발명인 부트스트랩 스위치 회로(10)를 적용하여 아날로그-디지털 컨버터를 구성할 수 있다. 아날로그-디지털 컨버터는 샘플앰홀드 회로 및 신호 변환기를 포함한다.

[0058] 샘플앰홀드 회로는 아날로그 신호를 수신하여 샘플앰홀드 동작을 통해 샘플 신호를 생성할 수 있다. 샘플앰홀드 회로는 도 2의 부트스트랩 스위치 회로(10)를 포함할 수 있다.

[0059] 신호 변환기는 샘플앰홀드 회로로부터 생성된 샘플 신호를 디지털 신호로 변환시킬 수 있다.

[0060] 상술한 바와 같이, 본 발명에 따른 아날로그 디지털 컨버터는 PMOS 트랜지스터의 기생 용량 성분을 제1 경로에서 분리하므로, 부트스트랩 스위치 회로(10)의 선형성을 향상시킬 수 있다. 즉, 본 발명에 따른 부트스트랩 스위치 회로(10)는 성능을 향상시킬 수 있다.

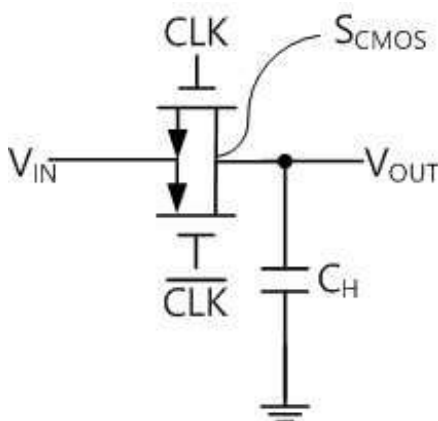
[0062] 상술한 내용은 본 발명을 실시하기 위한 구체적인 실시 예들이다. 본 발명은 상술한 실시 예들 이외에도, 단순히 설계 변경되거나 용이하게 변경할 수 있는 실시 예들도 포함될 것이다. 또한, 본 발명은 실시 예들을 이용하여 용이하게 변형하여 실시할 수 있는 기술들도 포함될 것이다. 따라서, 본 발명의 범위는 상술한 실시 예들에 국한되어 정해져서는 안되며, 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 할 것이다.

부호의 설명

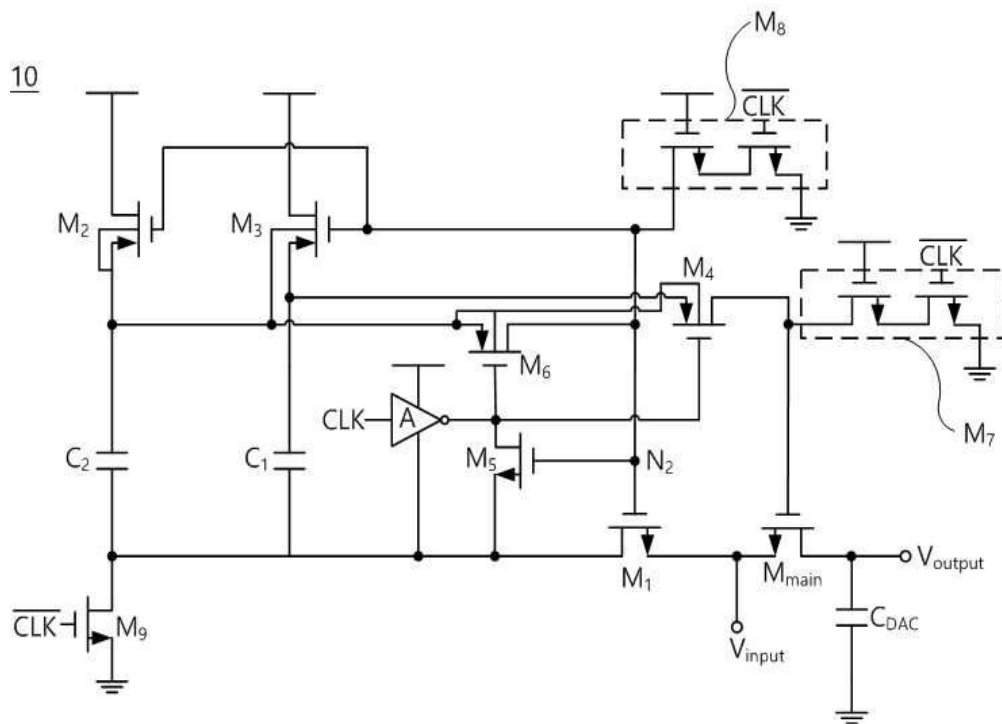
[0064] 10 : 부트스트랩 스위치 회로

도면

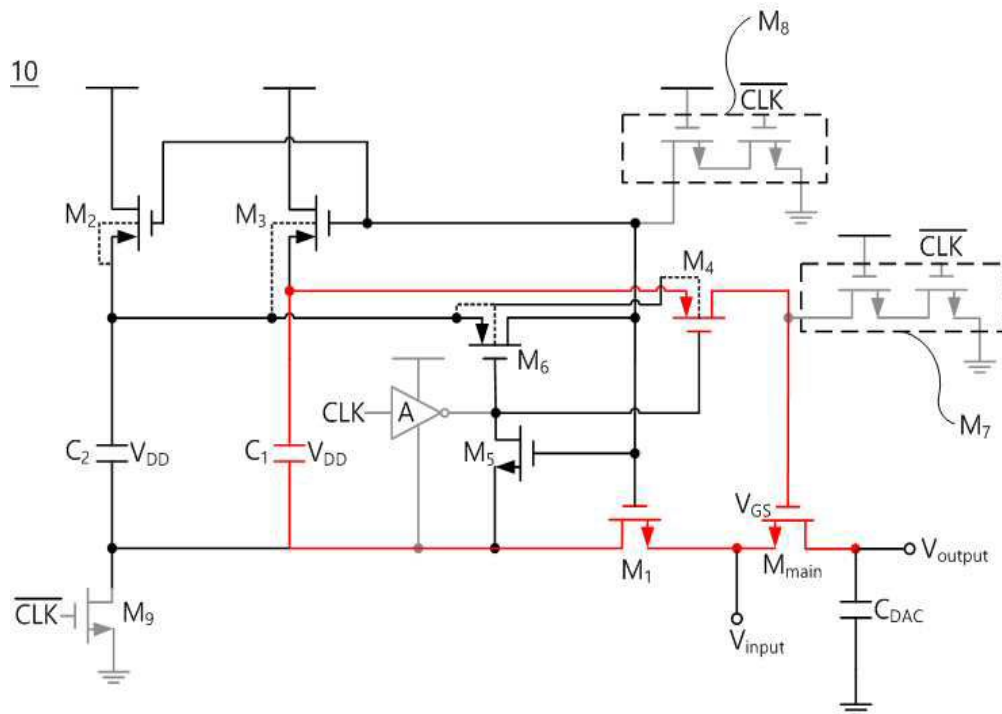
도면1a



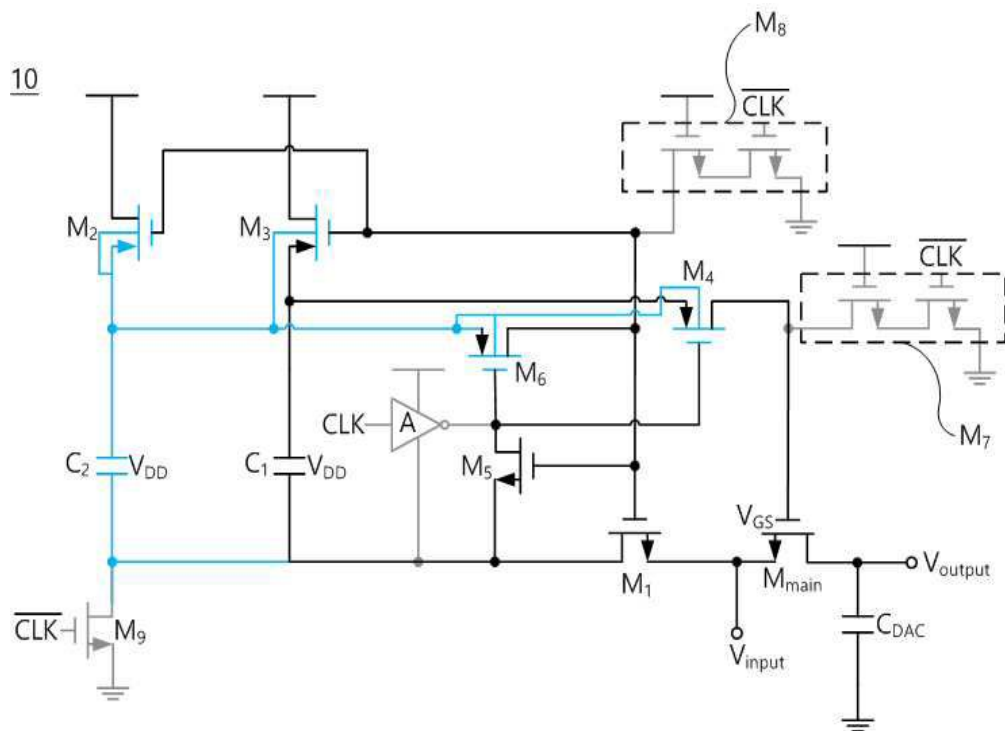
도면2



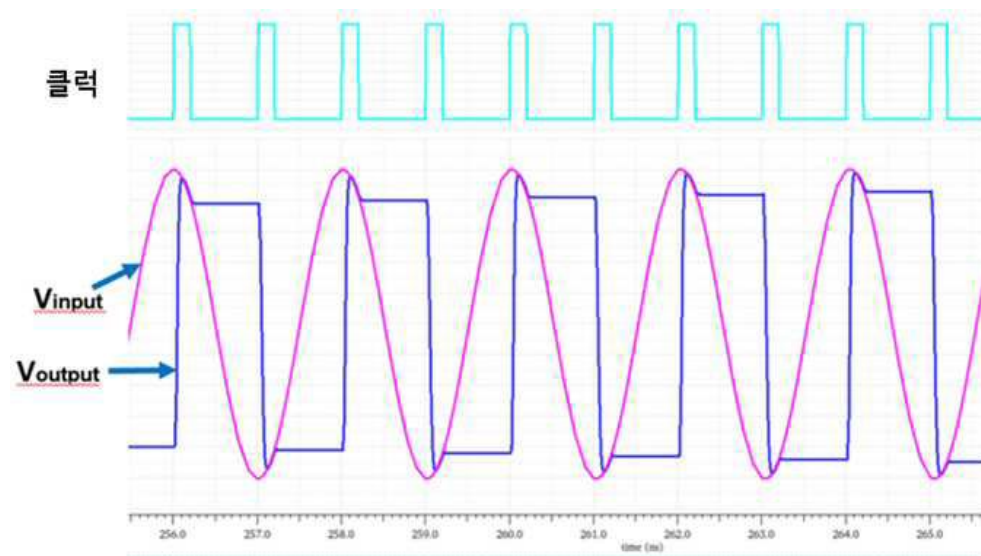
도면3a



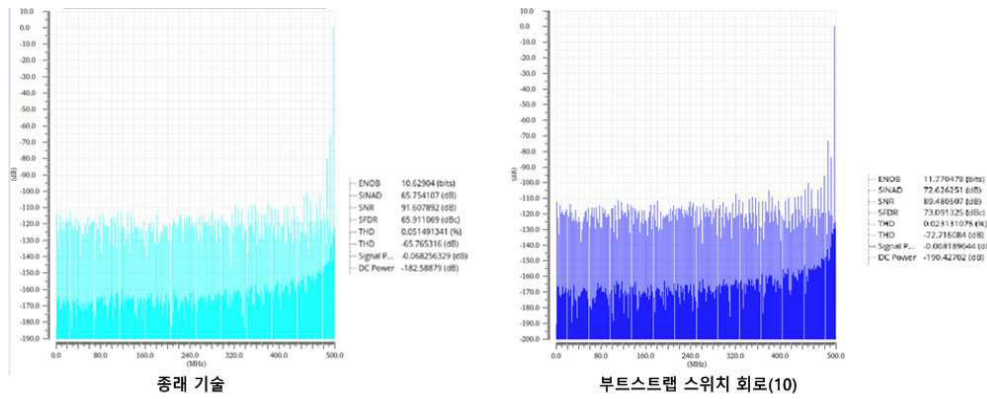
도면 3b



도면4



도면5a



도면5b

