

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁷
 G11C 11/15

(45) 공고일자 2005년10월05일
 (11) 등록번호 10-0518704
 (24) 등록일자 2005년09월26일

(21) 출원번호	10-2002-0046501	(65) 공개번호	10-2003-0014613
(22) 출원일자	2002년08월07일	(43) 공개일자	2003년02월19일

(30) 우선권주장	JP-P-2001-00241132	2001년08월08일	일본(JP)
------------	--------------------	-------------	--------

(73) 특허권자	가부시끼가이샤 도시바 일본국 도쿄도 미나토구 시바우라 1초메 1방 1고
-----------	--

(72) 발명자	호소따니케이지 일본가나가와쿄요꼬하마시이소고꾸신스기따즈8가부시끼가이샤도시바 요꼬하마퍼실리티어드미니스트레이션센터내
----------	---

(74) 대리인	장수길 구영창
----------	------------

심사관 : 오용기

(54) 자기 기억 장치

요약

자기 기억 장치는, 메모리 셀부에 설치된 제1 저항 소자와, 기준 셀부에 각각 적어도 하나 이상 설치된 제2 및 제3 저항 소자를 포함하며, 상기 제1, 제2 및 제3 저항 소자는 저항 변화에 의해 2치의 데이터를 기억하고, 상기 제2 저항 소자는 상기 2치의 데이터 중 한쪽의 데이터를 기억하며, 상기 제3 저항 소자는 상기 2치의 데이터 중 다른쪽의 데이터를 기억한다.

대표도

도 1

색인어

저항 소자, 정류 소자, 저항값, 기준 셀부, 자화 방향

명세서

도면의 간단한 설명

도 1은 본 발명의 제1 실시예에 따른 자기 기억 장치를 도시하는 회로도.

도 2는 본 발명의 제1 실시예에 따른 자기 기억 장치를 도시하는 개략적인 평면도.

도 3은 도 2의 III-III선을 따른 메모리 셀부에서의 자기 기억 장치를 도시하는 단면도.

도 4는 본 발명의 제1 실시예에 따른 메모리 셀부 및 기준 셀부를 도시하는 개략적인 회로도.

도 5는 본 발명의 제1 실시예에 따른 기준 셀의 저항 변동과 MR비와의 관계를 도시하는 도면.

도 6a는 본 발명의 제1 실시예에 따른 메모리 셀부 및 기준 셀부를 도시하는 다른 개략적인 회로도, 도 6b는 본 발명의 제1 실시예에 따른 TMR 소자 대신에 이용된 상변화 메모리 소자의 단면도.

도 7은 본 발명의 제2 실시예에 따른 자기 기억 장치를 도시하는 회로도.

도 8은 본 발명의 제2 실시예에 따른 메모리 셀부의 자기 기억 장치를 도시하는 단면도.

도 9는 본 발명의 제3 실시예에 따른 자기 기억 장치를 도시하는 회로도.

도 10은 본 발명의 제3 실시예에 따른 메모리 셀부의 자기 기억 장치를 도시하는 단면도.

도 11은 본 발명의 제4 실시예에 따른 자기 기억 장치를 도시하는 회로도.

도 12는 본 발명의 제4 실시예에 따른 자기 기억 장치를 도시하는 회로 패턴 도.

도 13은 본 발명의 제4 실시예에 따른 메모리 셀부 및 기준 셀부를 도시하는 개략적인 회로도.

도 14는 본 발명의 제4 실시예에 따른 자기 기억 장치를 도시하는 개략적인 평면도.

도 15는 본 발명의 제5 실시예에 따른 자기 기억 장치를 도시하는 회로도.

도 16은 본 발명의 제5 실시예에 따른 자기 기억 장치를 도시하는 회로 패턴 도.

도 17은 본 발명의 제6 실시예에 따른 자기 기억 장치를 도시하는 회로도.

도 18은 본 발명의 제6 실시예에 따른 자기 기억 장치를 도시하는 회로 패턴 도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 메모리 셀부

11 : 비트선

12 : 기입 워드선

13 : TMR 소자

23 : 선택 로우

24 : 선택 컬럼

30: 기준 셀부

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 특히 터널 자기 저항 효과(TMR : Tunneling Magneto Resistive) 소자를 기억 소자로서 이용한 자기 기억 장치(MRAM: Magnetic Random Access Memory)에 관한 것이다.

최근, 정보 기억 소자로서, 자기 저항 효과를 이용한 MRAM(Magnetic Random Access Memory) 셀이 제안되었다. 이 MRAM은 불휘발성, 고집적성, 고신뢰성, 고속 동작을 겸비한 메모리 디바이스로 발전하여, 잠재력을 가진 디바이스로서, 최근 급격히 기대가 높아지고 있다.

자기 저항 효과 소자에는, 주로, GMR(Giant Magneto Resistive) 소자와 TMR(Tunneling Magneto Resistive) 소자가 알려져 있다. GMR 소자는, 2개의 강자성층과 이를 강자성층 사이에 끼워진 도체로 이루어지고, 이 도체의 저항이 상하의 강자성층의 자화 방향에 따라 변화된다. 그러나, GMR 소자의 MR(Magneto Resistive)비는 10% 이하로 낮기 때문에, 판독 마진을 확보하는 것이 곤란하다. 이 때문에, GMR 소자는 특수한 용도로 한정되어, 널리 보급되지 않았다. 한편, TMR 소자는, 2개의 강자성층과 이를 강자성층 사이에 끼워진 절연체로 이루어지고, 이 절연체의 터널 저항이 상하의 강자성층의 자화 방향에 따라 변화된다. 이 TMR 소자에서는, 현재 50% 정도의 MR비를 확보하는 것이 가능해졌다. 이 때문에, 최근 수년동안 응용 디바이스를 목표로 한 연구 대상은, GMR 소자보다 TMR 소자쪽이 주류를 이루고 있다.

따라서, MRAM 메모리 셀에서는, TMR 소자를, 메모리 소자나 기준 소자로서 이용한다. 그리고, 데이터 판독 시에, 메모리 소자의 저항값과 기준 소자의 저항값을 비교하여, "1", "0" 데이터의 판정이 행해진다.

발명이 이루고자 하는 기술적 과제

그러나, 상기 종래 기술에서는, 기준 소자의 저항값의 변동에 의해 "1", "0" 데이터의 저항 변화가 적어진다고 하는 문제가 있었다. 따라서, 기준 소자의 저항값의 변동을 억제해야만 하였다.

발명의 구성 및 작용

본 발명의 하나의 시점에 의한 자기 기억 장치는, 메모리 셀부에 설치된 제1 저항 소자와, 기준 셀부에 각각 적어도 하나 이상 설치된 제2 및 제3 저항 소자를 포함하며, 상기 제1, 제2 및 제3 저항 소자는 저항 변화에 의해 2치의 데이터를 기억하고, 상기 제2 저항 소자는 상기 2치의 데이터 중 한쪽의 데이터를 기억하며, 상기 제3 저항 소자는 상기 2치의 데이터 중 다른쪽의 데이터를 기억하는 것을 특징으로 한다.

본 발명의 실시예는, 예를 들면 터널 자기 저항 효과(TMR: Tunneling Magneto Resistive) 소자를 기억 소자로서 이용한 자기 기억 장치(MRAM: Magnetic Random Access Memory)에 관한 것이다. 이 MRAM은, TMR 소자를 구비한 메모리 셀을 매트릭스 형상으로 복수개 배치한 메모리 셀 어레이 구조로 되어 있고, 이 메모리 셀 어레이의 주변에 디코더나 감지회로 등의 주변 회로부를 설치하여, 임의의 메모리 셀에 액세스함으로써, 정보의 기입·판독을 행하는 것이다.

본 발명의 실시예를 이하에 도면을 참조하면서 설명한다. 설명을 행할 때, 모든 도면에 걸쳐 공통되는 부분에는 공통되는 참조 부호를 붙인다.

[제1 실시예]

제1 실시예는, 1비트의 메모리 셀부가 1TMR 소자+ 1MOS 트랜지스터로 구성되며, 기준 셀부가 (1TMR 소자+ 1MOS 트랜지스터)×4로 구성되는 예이다. 또한, 기준 셀부란, 1비트의 메모리 셀과 동시에 선택되며, 데이터의 판독 시에 메모리 셀과 비교되는 셀을 말한다.

도 1은 본 발명의 제1 실시예에 따른 자기 기억 장치의 회로도를 도시한다. 도 1에 도시한 바와 같이, 제1 실시예에 따른 자기 기억 장치에서, 1비트당의 메모리 셀부(10)는 TMR 소자(13)와 MOS 트랜지스터(20)를 구비한다. 이 메모리 셀부(10)의 TMR 소자(13)에 기입된 정보를 판정하는 기준 셀부(30)는, TMR 소자와 MOS 트랜지스터와의 쌍을 4조 구비한다. 즉, 기준 셀부(30)는, "0" 데이터를 보유하는 제1 TMR 소자(31a)와 MOS 트랜지스터(33a)로 이루어지는 제1 쌍과, "1" 데이터를 보유하는 제2 TMR 소자(32a)와 MOS 트랜지스터(34a)로 이루어지는 제2 쌍과, "0" 데이터를 보유하는 제3 TMR 소자(31b)와 MOS 트랜지스터(33b)로 이루어지는 제3 쌍과, "1" 데이터를 보유하는 제4 TMR 소자(32b)와 MOS 트랜지스터(34b)로 이루어지는 제4 쌍을 갖는다.

또한, 기준 셀부(30)에서, "0" 데이터를 보유하는 TMR 소자와 "1" 데이터를 보유하는 TMR 소자는 2개로 1조가 되기 때문에, "0" 데이터를 보유하는 TMR 소자와 "1" 데이터를 보유하는 TMR 소자는 동일한 수만큼 설치되는 것이 바람직하다.

이러한 자기 기억 장치에서는, 비트선(11)과 기입 워드선(12)이 서로 직교하도록 매트릭스 형상으로 복수개 배치되고, 비트선(11)과 기입 워드선(12)의 각각의 교점 부근에 TMR 소자(13, 31a, 31b, 32a, 32b)가 각각 배치되어 있다. 그리고, 메모리 셀부(10)와 이 메모리 셀부(10)와 쌍을 이루는 기준 셀부(30)는 동일한 기입·판독 워드선(12, 22)을 이용한다. 즉, 메모리 셀부(10) 및 기준 셀부(30)에서의 TMR 소자(13, 31a, 31b, 32a, 32b)는, 동일한 기입 워드선(12)의 상방에 배치된다. 또한, 메모리 셀부(10) 및 기준 셀부(30)에서의 MOS 트랜지스터(20, 33a, 33b, 34a, 34b)는 동일한 판독 워드선(22)에 전기적으로 접속된다.

도 2는 제1 실시예에 따른 자기 기억 장치의 개략적인 평면도를 도시한다. 도 3은 도 2의 III-III선을 따른 메모리 셀부에서의 자기 기억 장치의 단면도를 도시한다.

도 2에 도시한 바와 같이, 기준 셀부(30)의 TMR 소자(31a, 31b, 32a, 32b)의 비트선(11)에 접하는 측의 면적 S₁은, 메모리 셀부(10)의 TMR 소자(13)의 비트선(11)에 접하는 측의 면적 S₂와 동일하다.

도 3에 도시한 바와 같이, 제1 실시예에 따른 메모리 셀부(10)는, 비트선(11)과 기입 워드선(12)의 각각의 교점 부근에 TMR 소자(13)가 배치되어 있다. 이 TMR 소자(13)는, 상부 전극(표시 생략)을 개재하여 비트선(11)에 접속되고, 하부 전극(14), 제1, 제2 배선층(18, 16), 제1, 제2, 제3 컨택트층(19, 17, 15)을 개재하여 MOS 트랜지스터(20)의 소스/드레인 확산층(21)에 접속되어 있다. 이 MOS 트랜지스터(20)는 TMR 소자(13)에 액세스하기 위한 판독용 스위칭 소자로, 이 MOS 트랜지스터(20)의 게이트 전극은 판독 워드선(22)으로 되어 있다.

여기서, TMR 소자(13)는, 하부 전극(14)에 접속하는 강자성층의 자기 기록층(26)과, 상부 전극을 개재하여 비트선(11)에 접속하는 강자성층의 자화 고착층(27)과, 이들 자기 기록층(26)과 자화 고착층(27) 사이에 끼워진 비자성층의 터널 접합층(28)으로 구성된다.

또한, TMR 소자(13)는, 상술하는 1중 터널 접합 구조에 한정되지 않고, 이하에 설명하는 2중 터널 접합 구조라도 된다. 즉, 제1 자화 고착층 상에 제1 터널 접합층이 배치되고, 이 제1 터널 접합층 상에 자기 기록층이 배치된다. 이 자기 기록층 상에 제2 터널 접합층이 배치되고, 이 제2 터널 접합층 상에 제2 자화 고착층이 배치된다. 이 2중 터널 접합 구조의 TMR 소자(13)의 경우, 1중 터널 접합 구조의 TMR 소자(13)와 비교하여, 동일한 외부 바이어스를 인가했을 때의 MR(Magneto Resistive)비의 열화가 적고, 보다 높은 바이어스에서 동작할 수 있다.

상기 1중 터널 접합 구조 또는 2중 터널 접합 구조의 TMR 소자(13)는, 예를 들면, 이하의 재료를 이용하여 형성된다.

자화 고착층(27) 및 자기 기록층(26)의 재료에는, 예를 들면, Fe, Co, Ni 또는 이들의 합금, 스판 분극율이 큰 마그네타이트, CrO₂, RXMnO_{3-y}(R; 희토류, X; Ca, Ba, Sr) 등의 산화물 외에, NiMnSb, PtMnSb 등의 휘슬러 합금 등을 이용하는 것이 바람직하다. 또한, 이들 자성체에는, 강자성을 잃어버리지 않는 한, Ag, Cu, Au, Al, Mg, Si, Bi, Ta, B, C, O, N, Pd, Pt, Zr, Ir, W, Mo, Nb 등의 비자성 원소가 다소 포함되어 있어도 된다.

터널 접합층(28)의 재료에는, Al₂O₃, SiO₂, MgO, AlN, Bi₂O₃, MgF₂, CaF₂, SrTiO₂, AlLaO₃ 등의 유전체를 사용해도 된다. 이들 유전체에는 산소, 질소, 불소 결손이 존재하고 있어도 된다.

도 4는 제1 실시예에 따른 메모리 셀부 및 기준 셀부의 개략적인 회로도를 도시한다. 또한, 도 4에서는, TMR 소자와 쌍을 이뤄 배치되는 MOS 트랜지스터는 생략한다.

도 4에 도시한 바와 같이, 제1 실시예에 따른 기준 셀부(30)에서는, "0" 데이터를 보유하는 제1 TMR 소자(31a)와, "1" 데이터를 보유하는 제2 TMR 소자(32a)가, MOS 트랜지스터(도시 생략)를 통해 직렬로 접속된다. 마찬가지로, "0" 데이터를 보유하는 제3 TMR 소자(31b)와, "1" 데이터를 보유하는 제4 TMR 소자(32b)가, MOS 트랜지스터(도시 생략)를 통해 직렬로 접속된다. 그리고, 직렬 접속된 제1 및 제2 TMR 소자(31a, 32a)와, 직렬 접속된 제3 및 제4 TMR 소자(31b, 32b)는 병렬로 접속된다.

여기서, "0" 데이터를 보유하는 제1, 제3 TMR 소자(31a, 31b)는, 자화 고착층(27)과 자기 기록층(26)의 자화 방향이 서로 반(反) 평행하게 되어 있다. 한편, "1" 데이터를 보유하는 제2, 제4 TMR 소자(32a, 32b)는, 자화 고착층(27)과 자기 기록층(26)의 자화 방향이 서로 평행하게 되어 있다.

또한, 제1 내지 제4 TMR 소자(31a, 32a, 31b, 32b)의 전체 저항값을 R_r , "0" 데이터를 보유하는 제1, 제3 TMR 소자(31a, 31b)의 저항값을 R_0 , "1" 데이터를 보유하는 제2, 제4 TMR 소자(32a, 32b)의 저항값을 R_1 로 하면, 이 기준 셀부(30)의 전체 저항 R_r 은, 수학식 1의 관계를 만족시킨다.

수학식 1

$$R_r = (R_0 + R_1)/2$$

이와 같이 하여, 기준 셀부(30)에서는, "0" 데이터를 보유하는 제1, 제3 TMR 소자(31a, 31b)의 저항 R_0 과, "1" 데이터를 보유하는 제2, 제4 TMR 소자(32a, 32b)의 저항 R_1 의 중간 값으로 되는 저항 R_r 이 형성되고, 이 저항 R_r 이 "1", "0" 판정의 기준 값으로 된다.

다음으로, 제1 실시예에 따른 MRAM 메모리 셀을 이용한 경우의 기입·판독 동작에 대하여 간단히 설명한다.

우선, 기입 동작 시에 있어서는, 선택 로우(23) 및 선택 컬럼(24)에 의해 선택된 비트선(11) 및 선택된 기입 워드선(12)에 기입 전류가 흘러, 각각의 선택 배선(11, 12)의 주위에 전류 자계가 발생한다. 그 결과, 2개의 선택 배선(11, 12)의 교점 부근에 위치하는 TMR 소자(13)에만, 2개의 선택 배선(11, 12)에 의한 전류 자계의 합성 자계가 인가된다. 여기서, 자화 고착층(27)의 자화 방향은 통상 한 방향으로 고정된다. 자기 기록층(26)은 일축 이방성을 갖고, 이 자기 기록층(26)은 자화 고착층(27)과 동일한 자화 방향을 향하도록 형성된다. 그리고, 자기 기록층(26)의 자화 방향이, 자화 고착층(27)의 자화 방향과 동일한 방향으로 향했을 때는 "1" 데이터가 기입되고, 반대 방향으로 향했을 때는 "0" 데이터가 기입된다. 이 자기 기록층(26)의 자화 방향을 반전시키기 위해, 이하의 수학식 2와 같은 관계를 갖는 임계값을 설정한다. 이에 의해, 선택한 1비트의 TMR 소자(13)에만 "1", "0" 데이터를 기입할 수 있다.

수학식 2

$$(1\text{개의 기입 배선에 의한 발생 자장}) < (\text{셀 기입 자장의 임계값}) \\ < (2\text{개의 기입 배선에 의한 합성 자장})$$

한편, 판독 동작 시에 있어서는, 선택된 메모리 셀부(10)에 대응하는 비트선(11)과 판독 워드선(22)이 각각 선택되고, 선택 비트선(11)~TMR 소자(13)~하부 전극(14)~제3 컨택트(15)~제2 배선층(16)~제2 컨택트(17)~제1 배선층(18)~제1 컨택트(19)~MOS 트랜지스터(20)로 전류가 흐른다. 그리고, 비트선(11)의 외측에 비교 회로(25) 등에 의해, 이 전류값으로부터 TMR 소자(13)의 저항값을 판독하여, "1", "0" 데이터의 판정이 행해진다. 이 때, 기준 셀부(30)의 저항값 R_r 을 기준으로 하여, 선택된 메모리 셀부(10)의 TMR 소자(13)에 흐르는 전류값 또는 전압값이 비교 회로(25)에 의해 판단된다.

상술한 바와 같은 MRAM에서는, 일반적으로, 메모리 셀부(10)의 저항 변동을 ΔR_m , 기준 셀부(30)의 저항 변동을 ΔR_r 로 한 경우, TMR 소자(13)의 MR비와 저항 변동 ΔR_m , ΔR_r 은, 수학식 3의 관계를 만족시키는 것이 요구된다.

수학식 3

$$MR^{\frac{1}{2}} > 2 \times (\Delta R_m + \Delta R_r)$$

예를 들면, 저항 변동 ΔR_m , ΔR_r 이 각각 21%인 경우, 84%를 초과하는 MR비가 요구된다. 그러나, 현상의 TMR 소자(13)의 MR비는 50% 정도가 한도이기 때문에, 저항 변동 ΔR_m , ΔR_r 을 각각 억제할 필요가 있다. 여기서, TMR 소자(13)의 미세화가 요구되는 메모리 셀부(10)에서는, 저항 변동 ΔR_m 을 억제하는 것은 곤란하다. 따라서, 제1 실시예와 같이, 기준 셀부(30)의 저항 변동 ΔR_r 을 억제하는 것이 필요로 되고 있다.

이러한 현상 하에, 제1 실시예에서의 기준 셀부(30)에서는, "0" 데이터를 보유하는 제1, 제3 TMR 소자(31a, 31b)와, "1" 데이터를 보유하는 제2, 제4 TMR 소자(32a, 32b)로 이루어지는 2종류의 TMR 소자를 설치한다. 이에 의해, 각 TMR 소자(31a, 31b, 32a, 32b)의 저항값에 변동이 발생해도, 기준 셀부(30)의 저항값은 이들 TMR 소자(31a, 31b, 32a, 32b)의 평균적인 저항값으로 되기 때문에, 기준 셀부(30)의 저항 변동 ΔR_r 을 억제할 수 있다. 그 결과, 도 5에 도시한 바와 같이, MR비를 예를 들면 45% 이하로 유지하면서, 기준 셀부(30)의 저항 변동 ΔR_r 을 예를 들면 8% 이내로 억제하는 것도 가능하다.

또한, 본 발명은, 기준 셀부(30)의 저항 변동 ΔR_r 이 8% 이상이어도, 메모리 셀부(10)의 저항 변동 ΔR_m 의 억제나 MR비가 높은 재료의 개발 등에 의해, 판독 마진의 향상을 도모하는 것은 충분히 가능하다.

상기 제1 실시예에 따르면, 기준 셀부(30)는, "0" 데이터를 보유하는 제1, 제3 TMR 소자(31a, 31b)와, "1" 데이터를 보유하는 제2, 제4 TMR 소자(32a, 32b)로 이루어지는 2종류의 TMR 소자를 갖는다. 즉, 기준 셀부(30)의 저항값 R_r 은 TMR 소자(31a, 31b, 32a, 32b)의 저항값의 평균값을 취하게 된다. 따라서, 기준 셀부(30)의 전체의 저항값 R_r 의 변동을 억제할 수 있기 때문에, 판독 마진을 넓게 확보하는 것이 가능해진다.

또한, 1비트당의 메모리 셀부(10)는, 1TMR 소자+1MOS 트랜지스터로 구성된다. 이 때문에, 2개의 TMR 소자(13)를 갖는 종래의 메모리 셀부(10)에 비해, 메모리 셀부(10)의 전유 면적을 감소시킬 수 있다. 따라서, 칩 면적의 축소가 가능하다.

또한, 메모리 셀부(10)와 기준 셀부(30)에서의 TMR 소자(13, 31a, 31b, 32a, 32b)의 면적 S_1 , S_2 를 동일한 면적으로 하고, 메모리 셀부(10)와 기준 셀부(30)를 동일한 패턴 배치로 형성한다. 이에 의해, 첫번째로, 메모리 셀부(10) 및 기준 셀부(30)를 동시에 용이하게 형성할 수 있다. 두번째로, 프로세스에 기인한 TMR 소자(13, 31a, 31b, 32a, 32b)의 저항값의 변동이나 MR비의 변동을 억제할 수 있다. 세번째로, 기준 셀부(30)의 배치의 자유도가 높아, 배선 접속을 변경하는 것만으로 기준 셀부(30)의 소자 수를 용이하게 바꿀 수 있기 때문에, 메모리 셀부(10) 및 기준 셀부(30)의 설계가 용이해진다. 네번째로, 메모리 셀부(10)를 리소그래피로 패터닝할 때, 기준 셀부(30)가 패턴의 소밀을 억제하는 더미 셀의 역할을 행하기 때문에, 패턴 붕괴를 억제할 수 있다.

또한, 기준 셀부(30)의 각 TMR 소자(31a, 31b, 32a, 32b)는, 비트선(11)과 기입 워드선(12)의 교점에 각각 배치되어 있다. 이 때문에, 기준 셀부(30)의 각 TMR 소자(31a, 31b, 32a, 32b)에 정보를 기입할 수 있다. 따라서, 기준 셀부(30)에, 메모리 셀부(10)의 기록 상태에 대하여 최적의 상태가 되도록, 재차 기입을 행하는 것이 가능하다. 이 때문에, 판독 마진을 더욱 높일 수 있다.

또한, 기준 셀부(30)는, 수학식 1의 관계를 만족시키는 것이면, "0" 데이터를 보유하는 TMR 소자와 "1" 데이터를 보유하는 TMR 소자와의 쌍의 개수를 증가시켜도 된다. 예를 들면, 도 6a에 도시한 바와 같이, "0" 데이터를 보유하는 TMR 소자(31)를 8개, "1" 데이터를 보유하는 TMR 소자(32)를 8개 배치해도 된다. 이와 같이, "0" 데이터를 보유하는 TMR 소자(31)와 "1" 데이터를 보유하는 TMR 소자(32)와의 쌍을 복수개 조합함으로써, 기준 셀부(30) 전체적으로는, 각각의 TMR 소자(31, 32)에서의 저항값의 변동이나 MR비의 변동의 영향을 잘 받지 않아, 판독 마진을 더욱 높일 수 있다.

또한, 예를 들면, 도 6b에 도시한 바와 같이, TMR 소자 대신에 상변화 메모리 소자(60)를 이용해도 된다. 상변화 메모리 소자(60)를 기억 소자로서 이용한 상변화 메모리는, Ge-Sb-Te계의 상변화막의 비저항이 비정질 상태와 결정 상태에서 서로 다른 것을 이용하여 "1", "0" 데이터를 기억한다. 한편, 상변화막과 직렬로 연결된 저항 소자에 펄스 전류를 흘리고, 상변화막에 열을 가함으로써 "1", "0" 데이터를 재기입한다. 이러한 상변화 메모리 소자(60)를 이용한 경우에도, 상기 제1 실시예와 마찬가지의 효과를 얻을 수 있다. 상변화 메모리 소자를 이용함으로써, TMR 소자를 이용하는 것보다 훨씬 큰 저항 변화(>100%)를 얻을 수 있기 때문에, 메모리로서 안정된 동작을 실현할 수 있다고 하는 효과를 기대할 수 있다.

[제2 실시예]

제2 실시예는, 1비트의 메모리 셀부가 1TMR 소자+1다이오드로 구성되며, 기준 셀부가 (1TMR 소자+1다이오드)×4로 구성되는 예이다. 본 제2 실시예에서는, 상기 제1 실시예와 마찬가지의 구조에 대해서는 설명을 생략하고, 상이한 구조에 대해서만 설명한다.

도 7은 본 발명의 제2 실시예에 따른 자기 기억 장치의 회로도를 도시한다. 도 7에 도시한 바와 같이, 제2 실시예에 따른 자기 기억 장치에서, 1비트당의 메모리 셀부(10)는 TMR 소자(13)와 다이오드(41)를 구비한다. 이 메모리 셀부(10)의 TMR 소자(13)에 기입된 정보를 판정하는 기준 셀부(30)는, TMR 소자와 다이오드와의 쌍을 4조 구비한다. 즉, 기준 셀부(30)는, "0" 데이터를 보유하는 제1 TMR 소자(31a)와 다이오드(42a)로 이루어지는 제1 쌍과, "1" 데이터를 보유하는 제2 TMR 소자(32a)와 다이오드(43a)로 이루어지는 제2 쌍과, "0" 데이터를 보유하는 제3 TMR 소자(31b)와 다이오드(42b)로 이루어지는 제3 쌍과, "1" 데이터를 보유하는 제4 TMR 소자(32b)와 다이오드(43b)로 이루어지는 제4 쌍을 갖는다. 여기서, 다이오드(41, 42a, 42b, 43a, 43b)는, 예를 들면 PN 접합 다이오드나 쇼트키 다이오드와 같이 정류 소자이면 어느 것이나 무방하다.

이러한 자기 기억 장치에서는, 비트선(11)과 워드선(44)이 서로 직교하도록 매트릭스 형상으로 복수개 배치되고, 비트선(11)과 워드선(44)의 각각의 교점 부근에 TMR 소자(13, 31a, 31b, 32a, 32b)가 각각 배치되어 있다. 그리고, 메모리 셀부(10)와 이 메모리 셀부(10)와 쌍을 이루는 기준 셀부(30)는 동일한 워드선(44)을 이용한다. 즉, 메모리 셀부(10)에서의 다이오드(41)와, 기준 셀부(30)에서의 "0" 데이터를 보유하는 TMR 소자(31a, 31b)와 쌍을 이루는 다이오드(42a, 42b)는, 동일한 워드선(44)에 접속된다.

도 8은 제2 실시예에 따른 메모리 셀부에서의 자기 기억 장치의 단면도를 도시한다. 도 8에 도시한 바와 같이, 제2 실시예에 따른 메모리 셀부(10)는, 비트선(11)과 워드선(44) 사이에 TMR 소자(13)와 스위칭 소자인 다이오드(41)가 배치되어 있다. 즉, 이 TMR 소자(13)의 자화 고착층(27)은 비트선(11)에 접속되고, 자기 기록층(26)은 다이오드(41)에 접속된다. 그리고, 다이오드(41)는 워드선(44)에 접속된다.

이러한 구조에서는, 자기 기록층(26)에 정보를 기입하기 위한 기입 배선과 정보를 판독하기 위한 판독 배선은 모두 공통이고, 워드선(44)과 비트선(11)의 2개의 배선만으로 정보의 기입·판독 동작이 행해진다. 이 때, 다이오드(41)의 정류성을 활용하여 선택 셀에만 정보의 기입·판독을 행할 수 있도록, 워드선(44)과 비트선(11)의 인가 바이어스를 각각 제어할 필요가 있다.

또한, 제2 실시예에서는, 제1 실시예와 마찬가지로, "0" 데이터를 보유하는 TMR 소자(31a, 31b)와, "1" 데이터를 보유하는 TMR 소자(32a, 32b)를 복수개 조합함으로써, 수학식 1의 관계를 만족시키는 기준 셀부(30)의 저항 R_r 을 형성할 수 있다. 또한, 제1 실시예와 마찬가지로, 기준 셀부(30)의 TMR 소자(31a, 31b, 32a, 32b)의 비트선(11)에 접하는 측의 면적 S_1 은, 메모리 셀부(10)의 TMR 소자(13)의 비트선(11)에 접하는 측의 면적 S_2 와 동일하다.

상기 제2 실시예에 따르면, 제1 실시예와 마찬가지의 효과를 얻을 수 있다.

또한, 스위칭 소자로서 다이오드(41)를 이용하고 있기 때문에, 상기 제1 실시예보다 1비트당의 셀 면적을 더욱 축소할 수 있다.

[제3 실시예]

제3 실시예는, 제2 실시예의 다이오드를 이용하지 않는 구조의 예이다. 본 제3 실시예에서는, 상기 제1 및 제2 실시예와 마찬가지의 구조에 대해서는 설명을 생략하고, 상이한 구조에 대해서만 설명한다.

도 9는 본 발명의 제3 실시예에 따른 자기 기억 장치의 회로도를 도시한다. 도 9에 도시한 바와 같이, 제3 실시예에 따른 자기 기억 장치에서, 1비트당의 메모리 셀부(10)는 TMR 소자(13)만을 구비한다. 이 메모리 셀부(10)의 TMR 소자(13)에 기입된 정보를 판정하는 기준 셀부(30)는, TMR 소자를 4조 구비한다. 즉, 기준 셀부(30)는, "0" 데이터를 보유하는 제1 TMR 소자(31a)와, "1" 데이터를 보유하는 제2 TMR 소자(32a)와, "0" 데이터를 보유하는 제3 TMR 소자(31b)와, "1" 데이터를 보유하는 제4 TMR 소자(32b)를 갖는다.

이러한 자기 기억 장치에서는, 비트선(11)과 기입 워드선(12)이 서로 직교하도록 매트릭스 형상으로 복수개 배치되고, 비트선(11)과 기입 워드선(12)의 각각의 교점 부근에 TMR 소자(13, 31a, 31b, 32a, 32b)가 각각 배치되어 있다. 그리고, 메

모리 셀부(10)와 이 메모리 셀부(10)와 쌍을 이루는 기준 셀부(30)는 동일한 기입 워드선(12)을 이용한다. 즉, 메모리 셀부(10)에서의 TMR 소자(13)와, 기준 셀부(30)에서의 "0" 데이터를 보유하는 TMR 소자(31a, 31b)는 동일한 기입 워드선(12)에 접속된다.

도 10은 제3 실시예에 따른 메모리 셀부에서의 자기 기억 장치의 단면도를 도시한다. 도 10에 도시한 바와 같이, 제3 실시예에 따른 메모리 셀부(10)는, 비트선(11)과 기입 워드선(12) 사이에 TMR 소자(13)가 배치되어 있다. 즉, 이 TMR 소자(13)의 자화 고착층(27)은 기입 워드선(12)에 접속되고, 자기 기록층(26)은 비트선(11)에 접속된다. 그리고, 비트선(11)과 이격되어 판독 워드선(22)이 배치된다.

이러한 구조에서는, 판독 워드선(22)과 기입 워드선(12)의 2개를 이용하여 선택 셀에 정보가 기입되고, 비트선(11)과 판독 워드선(22)의 2개를 이용하여 선택 셀의 정보가 판독된다. 이와 같이, 판독선과 기입선 중 1개만을 공통으로 하여, 합계 3개의 배선으로 셀에 액세스한다.

또한, 제3 실시예에서는, 제1 실시예와 마찬가지로, "0" 데이터를 보유하는 TMR 소자(31a, 31b)와, "1" 데이터를 보유하는 TMR 소자(32a, 32b)를 복수개 조합함으로써, 수학식 1의 관계를 만족시키는 기준 셀부(30)의 저항 R_r 을 형성할 수 있다. 또한, 제1 실시예와 마찬가지로, 기준 셀부(30)의 TMR 소자(31a, 31b, 32a, 32b)의 비트선(11)에 접하는 측의 면적 S_1 은, 메모리 셀부(10)의 TMR 소자(13)의 비트선(11)에 접하는 측의 면적 S_2 와 동일하다.

상기 제3 실시예에 따르면, 제1 실시예와 마찬가지의 효과를 얻을 수 있다.

또한, 스위칭 소자를 이용하지 않기 때문에, 스위칭 소자를 이용한 경우보다 1비트당의 셀 면적을 축소할 수 있다.

[제4 실시예]

제4 실시예는, 1비트의 메모리 셀부가 1TMR 소자+ 1MOS 트랜지스터로 구성되며, 기준 셀부가 (1TMR 소자+ 1MOS 트랜지스터)×2로 구성되는 예이다. 본 제4 실시예에서는, 상기 제1 실시예와 마찬가지의 구조에 대해서는 설명을 생략하고, 상이한 구조에 대해서만 설명한다.

도 11은 본 발명의 제4 실시예에 따른 자기 기억 장치의 회로도를 도시한다. 도 11에 도시한 바와 같이, 제4 실시예에 따른 자기 기억 장치에서, 1비트당의 메모리 셀부(10)는 TMR 소자(13)와 MOS 트랜지스터(20)를 구비한다. 이 메모리 셀부(10)의 TMR 소자(13)에 기입된 정보를 판정하는 기준 셀부(30)는, TMR 소자와 MOS 트랜지스터와의 쌍을 2조 구비한다. 즉, 기준 셀부(30)는, "0" 데이터를 보유하는 제1 TMR 소자(31)와 MOS 트랜지스터(33)로 이루어지는 제1 쌍과, "1" 데이터를 보유하는 제2 TMR 소자(32)와 MOS 트랜지스터(34)로 이루어지는 제2 쌍을 갖는다.

도 12는 본 발명의 제4 실시예에 따른 자기 기억 장치의 패턴도를 도시한다. 도 12에 도시한 바와 같이, 기준 셀부(30)에서, MOS 트랜지스터(33)와 제2 TMR 소자(32)를 배선(50)으로 접속한다. 이에 의해, 메모리 셀부(10) 및 기준 셀부(30)에서의 TMR 소자(13, 31, 32) 및 MOS 트랜지스터(20, 33, 34)를 동일한 패턴으로 배치할 수 있다.

도 13은, 제4 실시예에 따른 메모리 셀부 및 기준 셀부의 개략적인 회로도를 도시한다. 도 13에 도시한 바와 같이, 제4 실시예에 따른 기준 셀부(30)에서는, "0" 데이터를 보유하는 제1 TMR 소자(31)와, "1" 데이터를 보유하는 제2 TMR 소자(32)가 MOS 트랜지스터(도시 생략)를 통해 직렬로 접속된다. 또한, 도 13에서는, TMR 소자(31, 32)와 쌍을 이뤄 배치되는 MOS 트랜지스터(33, 34)는 생략한다.

이러한 제4 실시예의 경우, 제1 실시예와 비교하여, 기준 셀부(30)의 TMR 소자의 수가 1/2로 되어 있다. 따라서, 제1 실시예와 같이 수학식 1의 관계를 만족시키는 기준 셀부(30)를 만들기 위해서는, 제1 실시예에서의 기준 셀부(30)의 각 TMR 소자의 저항과 비교하여, 제4 실시예에서의 기준 셀부(30)의 각 TMR 소자의 저항을 1/2로 할 필요가 있다.

따라서, 제1, 제2 TMR 소자(31, 32)의 전체 저항값을 R_r , "0" 데이터를 보유하는 제1 TMR 소자(31)의 저항값을 $R_0/2$, "1" 데이터를 보유하는 제2 TMR 소자(32)의 저항값을 $R_1/2$ 로 한다. 이에 의해, 제4 실시예에서의 기준 셀부(30)의 전체의 저항 R_r 은, 수학식 4의 관계를 만족시킨다.

수학식 4

$$R_r = R_0/2 + R_1/2 = (R_0 + R_1)/2$$

이와 같이 하여, 기준 셀부(30)에서는, "0" 데이터를 보유하는 제1 TMR 소자(31)의 저항 R_0 과, "1" 데이터를 보유하는 제2 TMR 소자(32)의 저항 R_1 의 중간 값으로 되는 저항 R_r 이 형성되고, 이 저항 R_r 이 "1", "0" 판정의 기준 값으로 된다.

도 14는 제4 실시예에 따른 자기 기억 장치의 개략적인 평면도를 도시한다. 상술한 바와 같이, 제4 실시예에서의 기준 셀부(30)의 각 TMR 소자의 저항은, 제1 실시예에서의 기준 셀부(30)의 각 TMR 소자의 저항의 1/2로 할 필요가 있다. 따라서, 도 14에 도시한 바와 같이, 기준 셀부(30)의 TMR 소자(31, 32)의 비트선(11)에 접하는 측의 면적 S_3 은, 도 2에 도시한 TMR 소자의 면적 S_1 의 2배로 하면 된다. 다시 말하면, TMR 소자의 면적 S_3 은, 메모리 셀부(10)의 TMR 소자(13)의 비트선(11)에 접하는 측의 면적 S_2 의 2배로 하면 된다.

또한, 데이터의 기입·판독을 확실하게 행하기 위해서는, TMR 소자의 면적 S_3 을 크게 함으로써, 기준 셀부(30)의 비트선(11)의 폭도 굽게 하면 된다. 즉, "0" 데이터를 보유하는 TMR 소자와 "1" 데이터를 보유하는 TMR 소자를 기준 셀부(30)에 복수개 설치한 제1 실시예에 비해, 제4 실시예에의 기준 셀부(30)의 비트선(11)의 폭은 굽게 하면 된다. 또한, 제4 실시예에서는, 기준 셀부(30)의 비트선(11)의 폭은, 메모리 셀부(10)의 비트선(11)의 폭보다 굽게 하면 된다.

상기 제4 실시예에 따르면, 제1 실시예와 마찬가지의 효과를 얻을 수 있다.

또한, 기준 셀부(30)의 TMR 소자 및 MOS 트랜지스터의 수를 줄일 수 있기 때문에, 칩 면적에 대한 기준 셀부(30)의 전유 면적을 축소할 수 있다.

[제5 실시예]

제5 실시예는, 1비트의 메모리 셀부가 1TMR 소자+1다이오드로 구성되며, 기준 셀부가 (1TMR 소자+1다이오드)×2로 구성되는 예이다. 본 제5 실시예에서는, 상기 제4 실시예와 마찬가지의 구조에 대해서는 설명을 생략하고, 상이한 구조에 대해서만 설명한다.

도 15는 본 발명의 제5 실시예에 따른 자기 기억 장치의 회로도를 도시한다. 도 15에 도시한 바와 같이, 제5 실시예에 따른 자기 기억 장치에서, 1비트당의 메모리 셀부(10)는 TMR 소자(13)와 다이오드(41)를 구비한다. 이 메모리 셀부(10)의 TMR 소자(13)에 기입된 정보를 판정하는 기준 셀부(30)는, TMR 소자와 다이오드와의 쌍을 2조 구비한다. 즉, 기준 셀부(30)는, "0" 데이터를 보유하는 제1 TMR 소자(31)와 다이오드(42)로 이루어지는 제1 쌍과, "1" 데이터를 보유하는 제2 TMR 소자(32)와 다이오드(43)로 이루어지는 제2 쌍을 갖는다.

도 16은 본 발명의 제5 실시예에 따른 자기 기억 장치의 패턴도를 도시한다. 도 16에 도시한 바와 같이, 기준 셀부(30)에서, 다이오드(42)와 제2 TMR 소자(32)를 배선(50)으로 접속한다. 이에 의해, 메모리 셀부(10) 및 기준 셀부(30)에서의 TMR 소자(13, 31, 32) 및 다이오드(41, 42, 43)를 동일한 패턴으로 배치할 수 있다.

또한, 제5 실시예에서는, 제4 실시예와 마찬가지로, 기준 셀부(30)의 TMR 소자(31, 32)의 비트선(11)에 접하는 측의 면적 S_3 을, 메모리 셀부(10)의 TMR 소자(13)의 비트선(11)에 접하는 측의 면적 S_2 의 2배로 하여, TMR 소자(31, 32)의 저항을 낮추고 있다. 이에 의해, "0" 데이터를 보유하는 TMR 소자(31)와 "1" 데이터를 보유하는 TMR 소자(32)로, 수학식 4의 관계를 만족시키는 기준 셀부(30)의 저항 R_r 을 형성할 수 있다.

상기 제5 실시예에 따르면, 제4 실시예와 마찬가지의 효과를 얻을 수 있다.

또한, 스위칭 소자로서 다이오드(41)를 이용하고 있기 때문에, 상기 제4 실시예보다 1비트당의 셀 면적을 더욱 축소할 수 있다.

[제6 실시예]

제6 실시예는 제5 실시예에서의 다이오드를 이용하지 않는 구조의 예이다. 본 제6 실시예에서는, 상기 제5 실시예와 마찬가지의 구조에 대해서는 설명을 생략하고, 상이한 구조에 대해서만 설명한다.

도 17은 본 발명의 제6 실시예에 따른 자기 기억 장치의 회로도를 도시한다. 도 17에 도시한 바와 같이, 제6 실시예에 따른 자기 기억 장치에서, 1비트당의 메모리 셀부(10)는 TMR 소자(13)만을 구비한다. 이 메모리 셀부(10)의 TMR 소자(13)에 기입된 정보를 판정하는 기준 셀부(30)는, TMR 소자를 2조 구비한다. 즉, 기준 셀부(30)는, "0" 데이터를 보유하는 제1 TMR 소자(31)와, "1" 데이터를 보유하는 제2 TMR 소자(32)를 갖는다.

도 18은 본 발명의 제6 실시예에 따른 자기 기억 장치의 회로 패턴도를 도시한다. 도 18에 도시한 바와 같이, 기준 셀부(30)에서, 제1 TMR 소자(31)와 제2 TMR 소자(32)를 배선(50)으로 접속한다. 이에 의해, 메모리 셀부(10) 및 기준 셀부(30)에서의 TMR 소자(13, 31, 32)를 동일한 패턴으로 배치할 수 있다.

또한, 제6 실시예에서는, 제4 실시예와 마찬가지로, 기준 셀부(30)의 TMR 소자(31, 32)의 비트선(11)에 접하는 측의 면적 S_3 을, 메모리 셀부(10)의 TMR 소자(13)의 비트선(11)에 접하는 측의 면적 S_2 의 2배로 하여, TMR 소자(31, 32)의 저항을 낮추고 있다. 이에 의해, "0" 데이터를 보유하는 TMR 소자(31)와 "1" 데이터를 보유하는 TMR 소자(32)로, 수학식 4의 관계를 만족시키는 기준 셀부(30)의 저항 R_r 을 형성할 수 있다.

상기 제6 실시예에 따르면, 제4 실시예와 마찬가지의 효과를 얻을 수 있다.

또한, 스위칭 소자를 이용하지 않기 때문에, 스위칭 소자를 이용한 경우보다 1비트당의 셀 면적을 축소할 수 있다.

당 분야의 업자라면 부가적인 장점 및 변경들을 용이하게 산출할 수 있다. 따라서, 광의의 관점에서의 본 발명은 본 명세서에 예시되고 기술된 상세한 설명 및 대표 실시예들에 한정되는 것은 아니다. 따라서, 첨부된 청구범위들 및 그 등가물들에 의해 정의된 바와 같은 일반적인 발명적 개념의 정신 또는 범위로부터 벗어나지 않고 다양한 변경들이 생성될 수 있다.

발명의 효과

본 발명에 따르면, 기준 소자의 저항값의 변동을 억제할 수 있다.

(57) 청구의 범위

청구항 1.

메모리 셀부에 형성된 제1 저항 소자와,

기준 셀부에 형성된 적어도 하나의 제2 저항 소자 및 적어도 하나의 제3 저항 소자를 포함하고,

상기 제1, 제2 및 제3 저항 소자는, 2치 데이터중에서 한 쪽의 데이터를 기억하고, 상기 제3 저항 소자는 상기 2치 데이터 중에서 상기 제2 저항 소자가 기억하는 상기 한 쪽의 데이터와 상이한 다른 쪽의 데이터를 기억하며,

상기 제1, 제2 및 제3 저항 소자의 각각은 적어도 3개의 층을 구비하며,

상기 3개 층은, 제1 자성층, 제2 자성층, 및 비자성층을 구비하고,

상기 제2 저항 소자에서의 상기 제1 자성층의 자화 방향과 상기 제2 자성층의 자화 방향은 서로 반평행하며,

상기 제3 저항 소자에서의 상기 제1 자성층의 자화 방향과 상기 제2 자성층의 자화 방향은 서로 평행한 자기 기억 장치.

청구항 2.

제1항에 있어서,

상기 제2 저항 소자의 저항값을 R_0 , 상기 제3 저항 소자의 저항값을 R_1 로 한 경우, 상기 제1 및 제2 저항 소자의 전체 저항값이 $(R_0 + R_1)/2$ 인 자기 기억 장치.

청구항 3.

제1항에 있어서,

상기 제1 저항 소자와 쌍을 이뤄 접속된 제1 트랜지스터 또는 제1 정류 소자와,

상기 제2 저항 소자와 쌍을 이뤄 접속된 제2 트랜지스터 또는 제2 정류 소자와,

상기 제3 저항 소자와 쌍을 이뤄 접속된 제3 트랜지스터 또는 제3 정류 소자

를 더 포함하는 자기 기억 장치.

청구항 4.

제1항에 있어서,

상기 제2 저항 소자와 상기 제3 저항 소자가 직렬로 접속되는 자기 기억 장치.

청구항 5.

제1항에 있어서,

상기 제1, 제2 및 제3 저항 소자의 면적이 동일한 자기 기억 장치.

청구항 6.

제1항에 있어서,

상기 기준 셀부에 상기 제2 및 제3 저항 소자가 각각 하나씩 설치된 경우, 상기 제2 및 제3 저항 소자의 면적은 상기 제1 저항 소자의 면적의 2배인 자기 기억 장치.

청구항 7.

제1항에 있어서,

제1 방향으로 연장된 복수의 비트선과,

상기 제1 방향과는 다른 제2 방향으로 연장된 복수의 워드선을 더 포함하며,

상기 복수의 비트선과 워드선의 각 교점에 상기 제1, 제2 및 제3 저항 소자가 각각 배치되는 자기 기억 장치.

청구항 8.

제7항에 있어서,

상기 기준 셀부에 상기 제2 및 제3 저항 소자가 각각 하나씩 설치된 경우, 상기 제2 및 제3 저항 소자의 면적은 상기 제1 저항 소자의 면적의 2배이고, 상기 기준 셀부의 상기 복수의 비트선 또는 상기 복수의 워드선은, 상기 메모리 셀부의 상기 복수의 비트선 또는 상기 복수의 워드선보다 굵은 자기 기억 장치.

청구항 9.

제7항에 있어서,

상기 제1, 제2 및 제3 저항 소자는 동일한 상기 복수의 비트선 또는 상기 복수의 워드선의 상방에 배치되는 자기 기억 장치.

청구항 10.

제7항에 있어서,

상기 제1 저항 소자와 쌍을 이뤄 접속된 제1 트랜지스터 또는 제1 정류 소자와,

상기 제2 저항 소자와 쌍을 이뤄 접속된 제2 트랜지스터 또는 제2 정류 소자와,

상기 제3 저항 소자와 쌍을 이뤄 접속된 제3 트랜지스터 또는 제3 정류 소자

를 더 포함하며,

상기 제1, 제2 및 제3 트랜지스터 또는 상기 제1, 제2 및 제3 정류 소자는, 동일한 상기 복수의 비트선 또는 상기 복수의 워드선에 접속되는 자기 기억 장치.

청구항 11.

제1항에 있어서,

상기 제1 저항 소자와 상기 제2 및 제3 저항 소자는 동종의 소자 형상의 패턴으로 배치되는 자기 기억 장치.

청구항 12.

제1항에 있어서,

상기 제2 저항 소자의 수와 상기 제3 저항 소자의 수가 동일한 자기 기억 장치.

청구항 13.

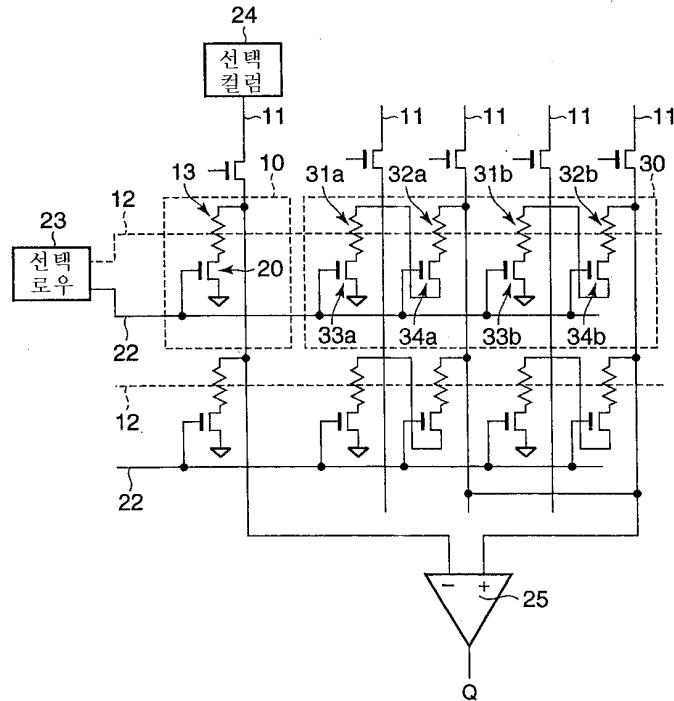
제1항에 있어서,

상기 제1, 제2 및 제3 저항 소자는 자기 저항 효과 소자 또는 상변화 메모리 소자인 자기 기억 장치.

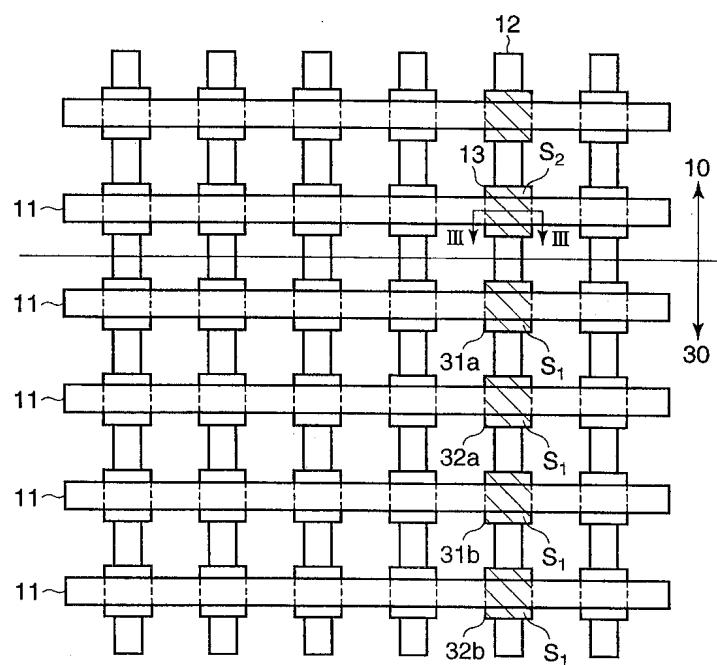
청구항 14.
삭제

도면

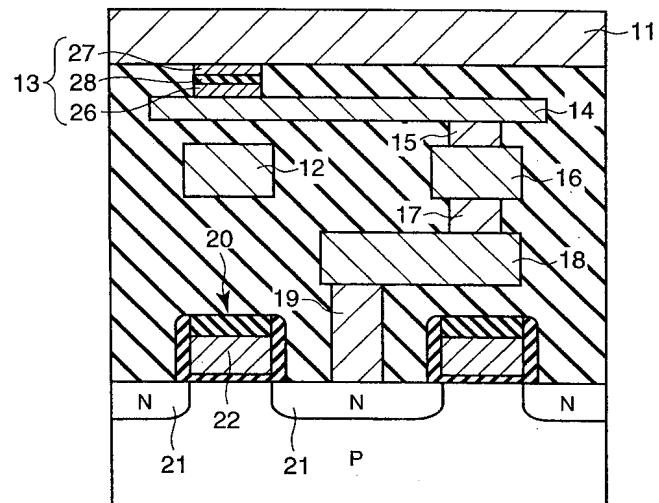
도면1



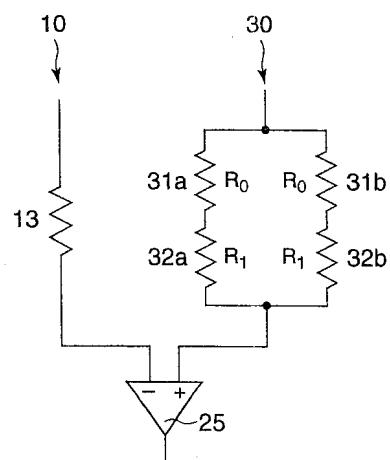
도면2



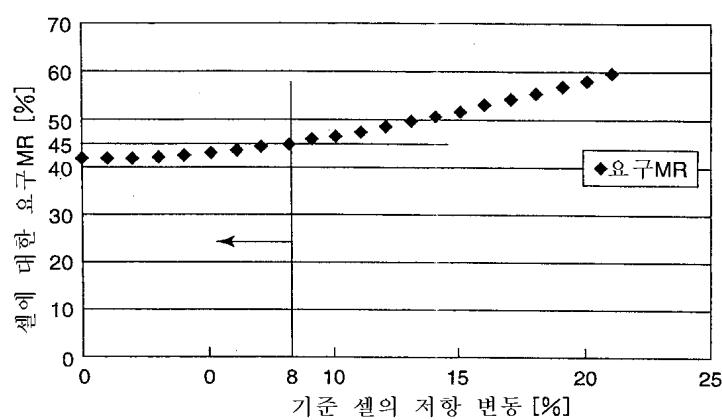
도면3



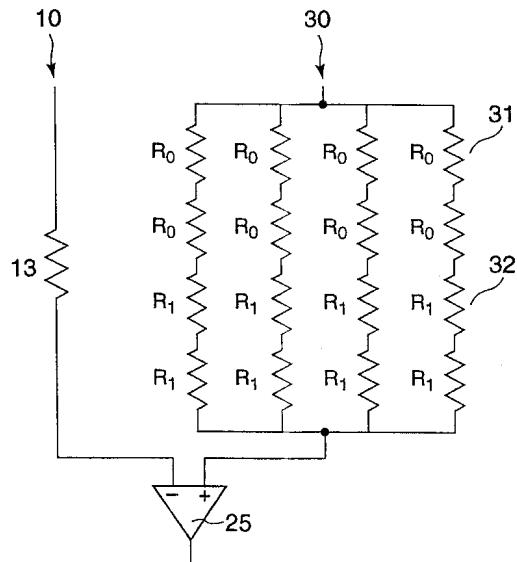
도면4



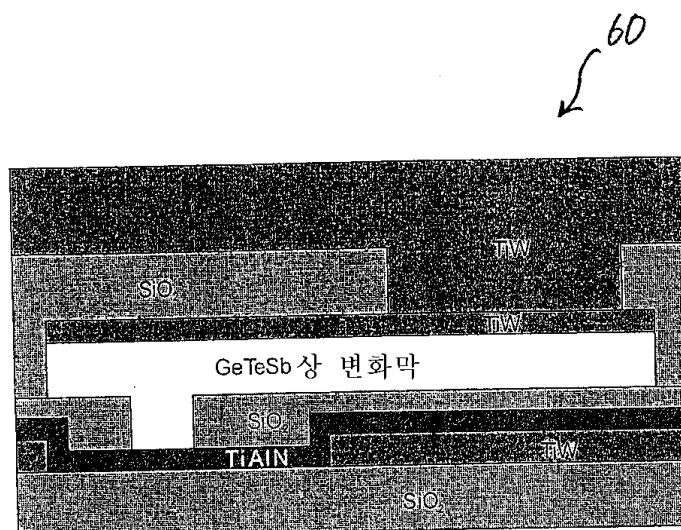
도면5



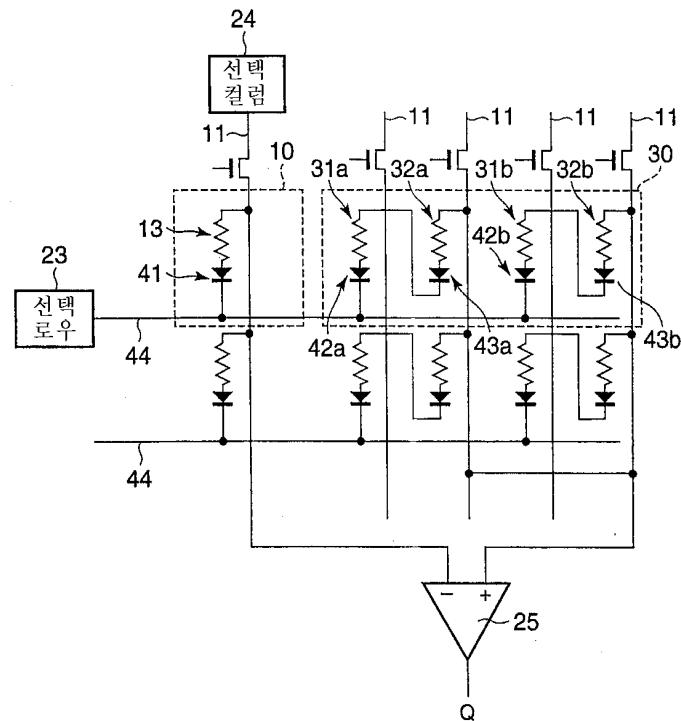
도면6a



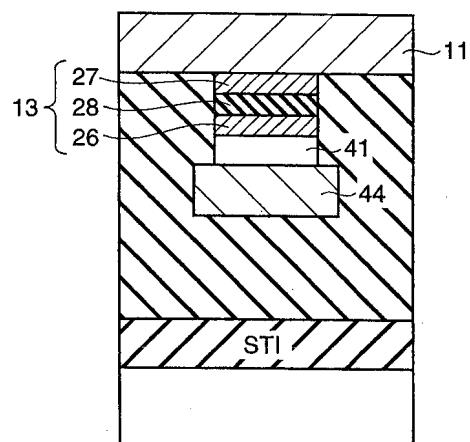
도면6b



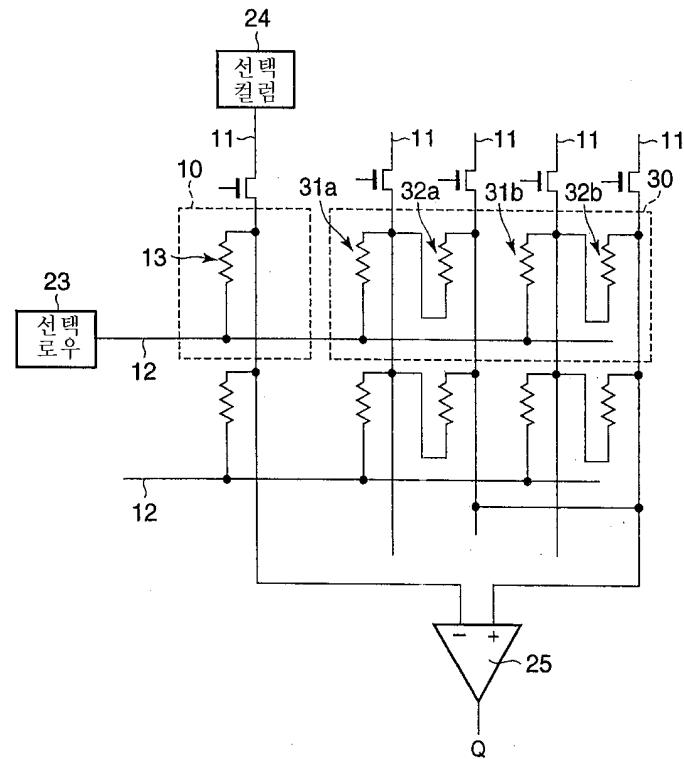
도면7



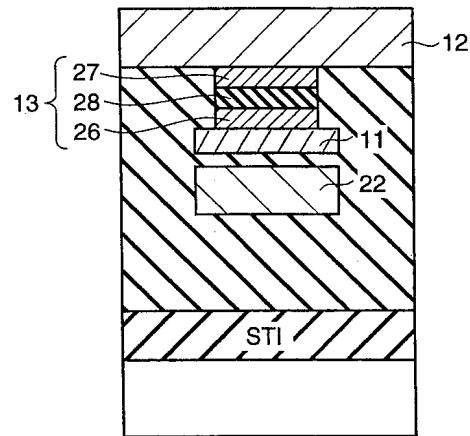
도면8



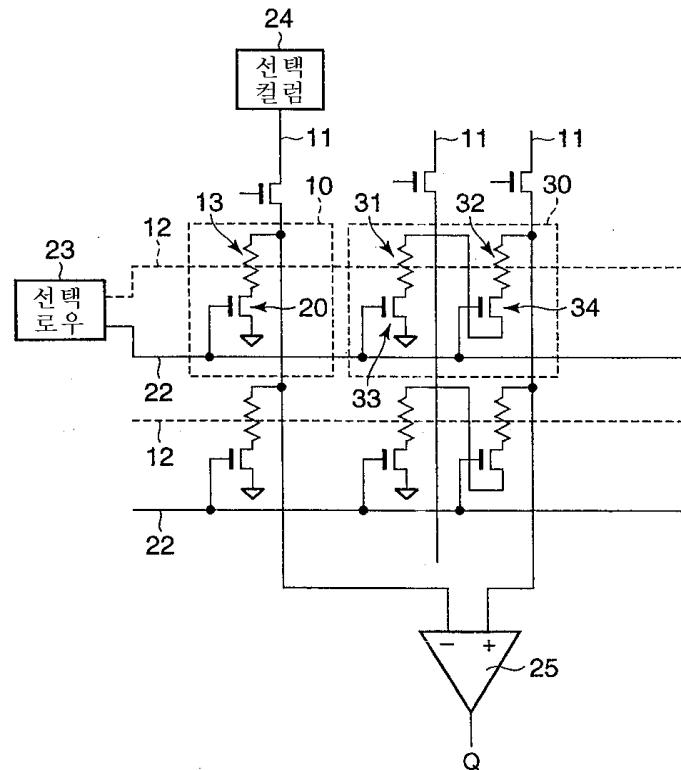
도면9



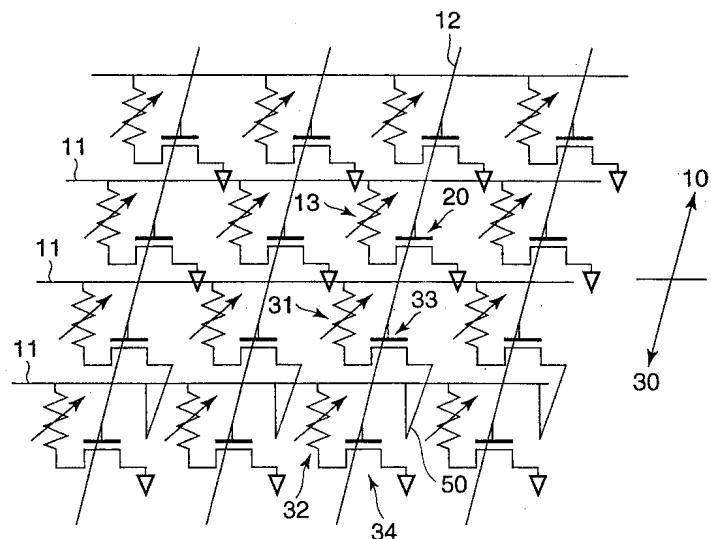
도면10



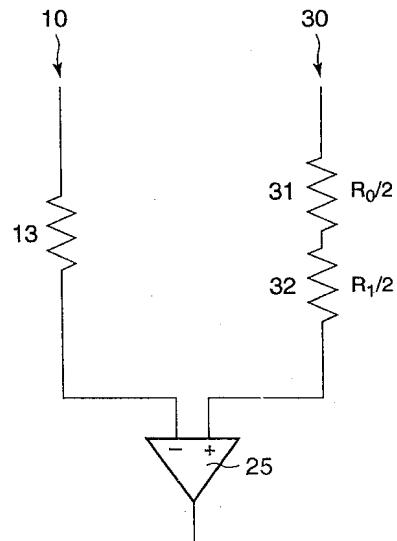
도면11



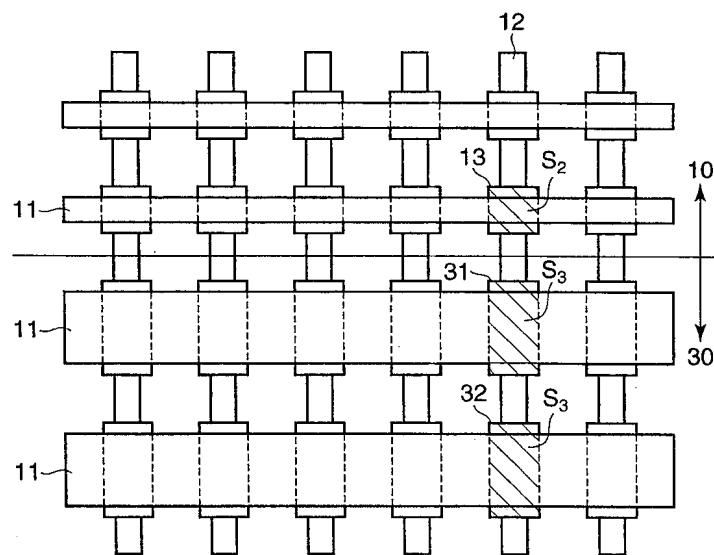
도면12



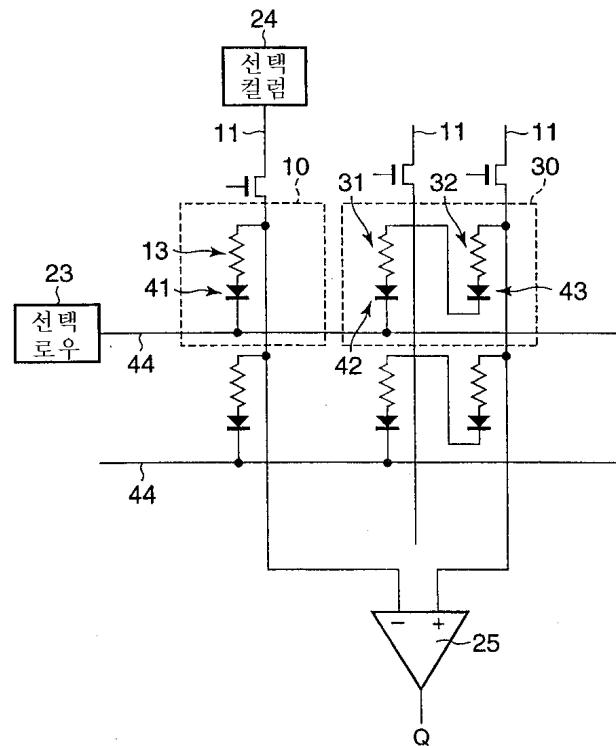
도면13



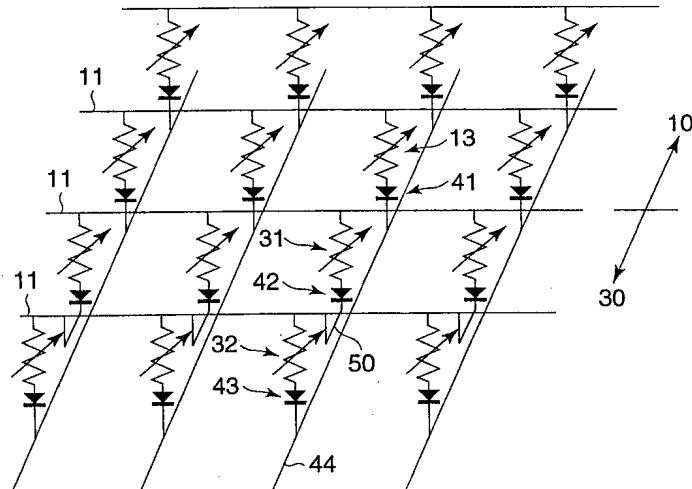
도면14



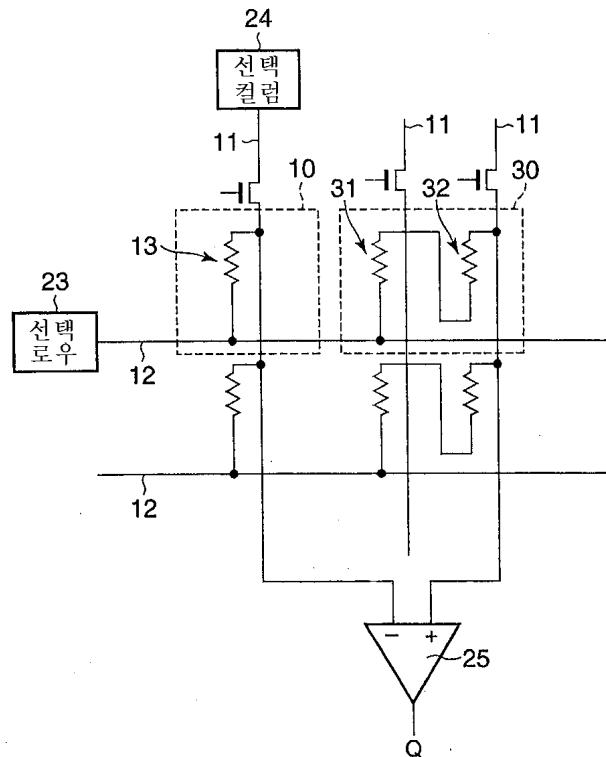
도면15



도면16



도면17



도면18

