



(12) 发明专利

(10) 授权公告号 CN 107078022 B

(45) 授权公告日 2021.01.15

(21) 申请号 201580057738.4

格雷戈里·艾伦·斯托姆

(22) 申请日 2015.10.27

(74) 专利代理机构 北京律盟知识产权代理有限公司

(65) 同一申请的已公布的文献号

11287

申请公布号 CN 107078022 A

代理人 沈锦华

(43) 申请公布日 2017.08.18

(51) Int.Cl.

(30) 优先权数据

H01L 21/02 (2006.01)

14/525,543 2014.10.28 US

H01L 21/306 (2006.01)

(85) PCT国际申请进入国家阶段日

H01L 21/3105 (2006.01)

2017.04.24

H01L 21/311 (2006.01)

H01L 21/762 (2006.01)

(86) PCT国际申请的申请数据

H01L 29/06 (2006.01)

PCT/US2015/057469 2015.10.27

(56) 对比文件

(87) PCT国际申请的公布数据

US 5728621 A, 1998.03.17

W02016/069531 EN 2016.05.06

US 2012139061 A1, 2012.06.07

(73) 专利权人 密克罗奇普技术公司

US 5874345 A, 1999.02.23

地址 美国亚利桑那州

US 6391781 B1, 2002.05.21

(72) 发明人 贾斯丁·希罗奇·萨托

审查员 张志芳

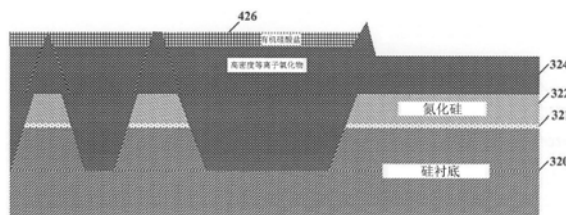
权利要求书2页 说明书5页 附图10页

(54) 发明名称

用于无光刻的自对准反向主动蚀刻的方法

(57) 摘要

在浅沟槽隔离STI填充有高密度等离子HDP氧化物之后,将部分经平坦化的有机硅酸盐DUO层旋涂于硅晶片上的HDP氧化物层上。接着,使用专用过程蚀刻所述DUO层,所述专用过程经特定调整而以特定选择性蚀刻DUO及高密度等离子HDP氧化物。晶片表面构形的较高区域(主动Si区域)具有较薄DUO且随着蚀刻过程的进行,开始蚀刻穿透这些区域(主动Si区域)中的HDP氧化物。所述蚀刻过程在到达特定深度之后且向下接触氮化硅氧化层之前停止。移除所述DUO且在硅晶片上执行标准化学机械抛光CMP。在CMP步骤之后移除氮化硅,从而将硅衬底暴露于场氧化物之间。



CN 107078022 B

1. 一种用于半导体晶片的无光刻自对准反向主动蚀刻的方法,所述方法包括以下步骤:

将垫氧化物层沉积于半导体晶片的硅衬底上;

将主动氮化硅沉积于所述垫氧化物层上;

在所述硅衬底中形成浅沟槽隔离阱;

在所述浅沟槽隔离阱中形成氧化衬料,其中所述氧化衬料仅形成于所述硅衬底暴露之处;

将氧化物沉积于所述氮化硅及所述浅沟槽隔离阱上;

将部分经平坦化的有机硅酸盐层沉积于所述氧化物上;

执行干等离子蚀刻以通过第一非选择蚀刻将所述部分经平坦化的有机硅酸盐层从所述氧化物中移除,从而移除所述部分经平坦化的有机硅酸盐层的一些和所述氧化物的一些,且随后选择性蚀刻所述氧化物从而仅移除所述氧化物,其中所述氮化硅上方的所述氧化物被移除至预定厚度;

执行化学机械抛光以移除所有覆盖所述主动氮化硅的所述氧化物;以及

移除所述主动氮化硅,其中所述硅衬底的部分暴露于剩余的所述氧化物之间且准备用于所述硅衬底中的主动晶体管元件掺杂的步骤。

2. 根据权利要求1所述的方法,其中所述垫氧化物层是氧化硅。

3. 根据权利要求1所述的方法,其中形成浅沟槽隔离阱的所述步骤包括蚀刻所述硅衬底以形成所述浅沟槽隔离阱的所述步骤。

4. 根据权利要求1所述的方法,其中所述氧化衬料是硅氧化物。

5. 根据权利要求1所述的方法,其中将氧化物沉积于所述氧化衬料上的所述步骤包括将高密度等离子氧化物沉积于所述氧化衬料上的步骤。

6. 根据权利要求1所述的方法,其中将所述部分经平坦化的有机硅酸盐层沉积于所述氧化物上的所述步骤包括将所述部分经平坦化的有机硅酸盐层旋涂于所述氧化物上的步骤。

7. 根据权利要求6所述的方法,其中所述旋涂的步骤包括自旋玻璃。

8. 根据权利要求5所述的方法,其中执行所述干等离子蚀刻的所述步骤包括施行经调整蚀刻以打开所述氮化硅上方的所述部分经平坦化的有机硅酸盐层及蚀刻移除仅所述高密度等离子氧化物的短暂选择性蚀刻的步骤,其中所述半导体晶片在氧化物蚀刻器中经蚀刻。

9. 根据权利要求1所述的方法,其中非选择性蚀刻的所述步骤使用选自由 CF_4 、 O_2 及Ar组成的群组的气体。

10. 根据权利要求9所述的方法,其中选择性蚀刻的所述步骤使用选自由 C_5F_8 、 O_2 、 N_2 及Ar组成的群组的气体。

11. 根据权利要求1所述的方法,其中在执行所述干等离子体蚀刻之后且在执行所述化学机械抛光之前,剥除剩余的部分经平坦化的有机硅酸盐。

12. 根据权利要求11所述的方法,其包括使用氧化灰以剥除所述剩余的部分经平坦化的有机硅酸盐的步骤。

13. 根据权利要求11所述的方法,其包括执行HF带以剥除所述剩余的部分经平坦化的

有机硅酸盐的步骤。

14. 一种根据前述权利要求1-13中任一项所述的方法制备的半导体集成电路。

15. 一种半导体晶片,其具有根据前述权利要求1-13中任一项所述的方法处理的表面。

用于无光刻的自对准反向主动蚀刻的方法

技术领域

[0001] 本发明涉及半导体集成电路的制造,且更特定来说,本发明涉及一种使用无光刻自对准反向主动蚀刻来制造半导体集成电路的方法。

背景技术

[0002] 尝试将反向主动蚀刻光掩模与已经图案化的主动浅沟槽隔离(STI)对准存在固有问题。由于光刻过程中的小变动及错误,存在内置重叠。除了光刻余量外,此过程步骤中的典型高密度等离子(HDP)氧化物填充由于HDP氧化物过程的本质而倾斜。此倾斜迫使特定量的重叠防止将光致抗蚀剂印刷于HDP填充的成角度的部分上。

发明内容

[0003] 因此,需要改进的方法来执行不使用光刻的精确反向主动蚀刻图案化。

[0004] 根据实施例,根据用于半导体晶片的无光刻自对准反向主动蚀刻的方法的实施例,所述方法可包括以下步骤:将垫氧化物沉积于半导体晶片的硅衬底上;将主动氮化硅沉积于所述垫氧化物层上;在硅衬底中形成浅沟槽隔离(STI)阱;在STI阱中形成氧化衬料,其中所述氧化衬料可仅形成于硅衬底可暴露之处;将氧化物沉积于氮化硅及STI阱上;将部分经平坦化的有机硅酸盐(DUO)层沉积于所述氧化物上;执行干等离子蚀刻以将DUO层从氧化物移除;执行化学机械抛光(CMP)以移除所有覆盖主动氮化硅的氧化物;且移除所述主动氮化硅,其中部分硅衬底可暴露于剩余氧化物之间且准备用于硅衬底中的主动晶体管元件掺杂的步骤。

[0005] 根据所述方法的另一实施例,垫氧化物层可为氮化硅。根据所述方法的另一实施例,形成STI阱的步骤可包括蚀刻硅衬底以形成所述STI阱的步骤。根据所述方法的另一实施例,氧化衬料可为硅氧化物。根据所述方法的另一实施例,将氧化物沉积于所述氧化衬料上的步骤可包括将高密度等离子(HDP)氧化物沉积于氧化衬料上的步骤。根据所述方法的另一实施例,将DUO层沉积于氧化物上的步骤可包括将DUO层旋涂于所述氧化物上的步骤。根据所述方法的另一实施例,将DUO层从氧化物移除的步骤可包括施行经调整蚀刻以打开所述DUO层及蚀刻到所述DUO层的短暂选择性蚀刻的步骤,其中所述半导体晶片可在氧化物蚀刻器中经蚀刻。根据所述方法的另一实施例,将所述DUO层从氧化物移除的步骤可包括多重干等离子蚀刻的步骤。根据所述方法的另一实施例,多重干等离子蚀刻的步骤可包括非选择性蚀刻氧化物及部分蚀刻氧化物的步骤。根据所述方法的另一实施例,非选择性蚀刻氧化物的步骤可使用是选自由CF₄、O₂及Ar组成的群组的气体。根据所述方法的另一实施例,部分蚀刻氧化的步骤可使用是选自由C₅F₈、O₂、N₂及Ar组成的群组的气体。根据所述方法的另一实施例,可执行将DUO层从氧化物中移除的步骤直到可完成执行干等离子蚀刻的步骤。

[0006] 根据由过程制备的半导体集成电路的另一实施例,所述过程可包括以下步骤:将垫氧化物沉积于半导体晶片的硅衬底上;将主动氮化硅沉积于所述垫氧化物层上;在硅衬底中形成浅沟槽隔离(STI)阱;在STI阱中形成氧化衬料,其中所述氧化衬料可仅形成于

硅衬底可暴露之处；将氧化物沉积于氮化硅及STI阱上；将部分经平坦化的有机硅酸盐(DUO)层沉积于所述氧化物上；执行干等离子蚀刻以将DUO层从氧化物中移除；执行化学机械抛光(CMP)以移除所有覆盖主动氮化硅的氧化物；且移除所述主动氮化硅，其中部分硅衬底可暴露于剩余氧化物之间且准备用于硅衬底中的主动晶体管元件掺杂的步骤。

[0007] 根据所述过程的另一实施例，将氧化物沉积于所述氧化衬料上的步骤可包括将高密度等离子(HDP)氧化物沉积于氧化衬料上的步骤。根据所述过程的另一实施例，将DUO层从氧化物移除的步骤可包括施行经调整蚀刻以打开DUO层及蚀刻到所述DUO层的短暂可选择蚀刻的步骤，其中所述半导体晶片可在氧化物蚀刻器中经蚀刻。根据所述过程的另一实施例，将所述DUO层从氧化物移除的步骤可包括多重步骤干等离子蚀刻的步骤。根据所述过程的另一实施例，多重步骤干等离子蚀刻的步骤可包括非选择性蚀刻氧化物及部分蚀刻氧化物的步骤。根据所述过程的另一实施例，蚀刻非选择性氧化的步骤可使用是选自由CF₄、O₂及Ar组成的群组的气体。根据所述过程的另一实施例，部分蚀刻氧化的步骤可使用是选自由C₅F₈、O₂、N₂及Ar组成的群组的气体。

[0008] 根据另一实施例，半导体晶片可具有根据以下步骤经处理的表面：将垫氧化物层沉积于半导体晶片的硅衬底上；将主动氮化硅沉积于所述垫氧化物层上；在硅衬底中形成浅沟槽隔离(STI)阱；在STI阱中形成氧化衬料，其中所述氧化衬料可仅形成于硅衬底可暴露之处；将氧化物沉积于氮化硅及STI阱上；将部分经平坦化的有机硅酸盐(DUO)层沉积于所述氧化物上；执行干等离子蚀刻以将DUO层从氧化物移除；执行化学机械抛光(CMP)以移除所有覆盖主动氮化硅的氧化物；且移除所述主动氮化硅，其中部分硅衬底可暴露于剩余氧化物之间且准备用于硅衬底中的主动晶体管元件掺杂的步骤。

附图说明

[0009] 可通过参考与附图结合的以下描述而获得对本发明的更完整的理解，其中：

[0010] 图1说明用于形成场氧化物且暴露硅衬底以用于进一步处理硅衬底中的主动晶体管元件掺杂的现有技术过程制造步骤的示意性流程图；

[0011] 图2说明根据特定实例实施例的用于形成场氧化物且暴露硅衬底以用于进一步处理硅衬底中的主动晶体管元件掺杂的过程制造步骤的示意性流程图；

[0012] 图3说明根据本发明的教导的具有沉积于其上的薄氧化物层及氮化硅层的硅晶片的示意性立视横截面；

[0013] 图3A说明图3中展示的硅晶片的浅沟槽隔离(STI)蚀刻的步骤之后的硅晶片的示意性立视横截面；

[0014] 图3B说明执行图3及3A中展示的浅沟槽隔离(STI)蚀刻、衬料氧化及硅晶片的高密度等离子(HDP)沉积的过程步骤之后的硅晶片的示意性立视横截面；

[0015] 图4说明根据本发明的特定实例实施例的执行图3中展示的将部分经平坦化的有机硅酸盐(DUO)层旋涂于硅晶片上的过程步骤之后的硅晶片的示意性立视横截面；

[0016] 图5说明根据本发明的特定实例实施例的执行图4中展示的将DUO蚀刻于硅晶片上的过程步骤之后的硅晶片的示意性立视横截面；

[0017] 图6说明根据本发明的特定实例实施例的执行图5中展示的将DUO从硅晶片上移除的过程步骤之后的硅晶片的示意性立视横截面；

[0018] 图7说明根据本发明的特定实例实施例的执行浅沟槽隔离 (STI) 化学机械抛光 (CMP) 的过程步骤之后的硅晶片的示意性立视横截面;及

[0019] 图8说明根据本发明的特定实例实施例的执行移除氮化硅以暴露部分硅衬底的过程步骤之后的硅晶片的示意性立视横截面。

[0020] 尽管本发明可接受各种修改及替代形式,但已经在图式中展示且在本文中详细描述其特定实例实施例。然而应了解,本文对特定实例实施例的描述不希望将本发明限制于本文揭示的特定形式,另一方面,本发明将涵盖由所附权利要求书界定的所有修改及等效物。

具体实施方式

[0021] 根据本发明的实施例,要求使用无光刻来执行反向主动层级图案化。取而代之的是在浅沟槽隔离 (STI) 填充之后将部分经平坦化的有机硅酸盐 (DUO) 层旋涂于晶片上。接着,使用特定经调整而以特定选择性蚀刻DUO及高密度等离子 (HDP) 氧化物的专用过程来蚀刻所述DUO层。晶片表面构形的较高区域 (主动Si区域) 具有较薄DUO且随着蚀刻过程的进行,其开始蚀刻穿透这些区域 (主动Si区域) 中的HDP氧化物。所述蚀刻过程在到达特定深度之后停止。这些区域 (主动Si区域) 是已由反向掩模光刻打开且随后经蚀刻 (见图1,步骤110) 的相同区域。DUO的材料性质根据本发明的特定实例实施例允许上述过程的前段 (FEOL) 应用。可预期,在本发明的范围内,如果可达到对蚀刻选择性的类似控制,那么可使用其它材料取代DUO。

[0022] 现在参考图式,示意性地说明特定实例实施例的细节。将由相同数字表示图式中的相同元件,且可用具有不同小写字母后缀的相同数字来表示类似元件。

[0023] 参考图1,其说明用于形成场氧化物且暴露硅衬底以用于进一步处理硅衬底中的主动晶体管元件掺杂的现有技术过程制造步骤的示意性流程图。利用浅沟槽隔离 (STI) 场氧化物 (FOX) 阱产生硅晶片且准备用于硅衬底中的主动晶体管元件掺杂的现有技术前段 (FEOL) 过程制造可包括以下步骤。在步骤102中,在硅晶片320具有沉积于其上的薄氧化物321层及氮化硅322层之后,图案化且蚀刻硅晶片的表面以产生浅沟槽隔离 (STI) 阱。在步骤104中,氧化硅晶片的表面及STI阱以产生其上的衬料。在步骤106中,将高密度等离子 (HDP) 氧化物沉积于氧化衬料上。在步骤108中,执行反向主动掩模。在步骤110中,执行反向主动蚀刻。在步骤112中,执行反向主动灰化 (O_2)。在步骤114中,执行硅晶片上的反向酸带。在步骤116中,在硅晶片的表面上执行浅沟槽隔离 (STI) 化学机械抛光 (CMP)。在步骤118中,执行顶部氧化物蚀刻。在步骤120中,执行硅晶片的氮带,使得场氧化物留在STI阱中且硅晶片的暴露的部分准备用于硅晶片衬底中的主动晶体管元件掺杂的步骤。

[0024] 参考图2,其描绘根据特定实例实施例的用于形成场氧化物且暴露硅衬底以用于进一步处理硅衬底中的主动晶体管元件掺杂的过程制造步骤的示意性流程图。根据本发明的特定实例实施例,利用浅沟槽隔离 (STI) 场氧化物 (FOX) 阱产生硅晶片且准备用于硅衬底中的主动晶体管元件掺杂的新颖及非显而易见的前段工序 (FEOL) 过程制造可包括以下步骤。步骤102、104及106大体上与以上图1中所描述的是相同的。也参考展示下文中所参考的元件数字的图3到8。本发明的独特之处是消除反向掩模的光刻步骤,反之,通过涂布沉积于高密度等离子 (HDP) 氧化物324上的部分经平坦化的有机硅酸盐 (DUO) 426而执行步骤208。

在步骤210中,可利用(例如,但不限制于)使用常用过程气体(例如,CF₄、C₄F₆、C₅F₈、C₄F₈、O₂、N₂、Ar等)的多重步骤干等离子蚀刻来蚀刻DUO426。第一子步骤210a可为非选择性氧化(CF₄、O₂、Ar)且第二子步骤210b可为部分氧化(C₅F₈、O₂、N₂、Ar)。接着,在步骤212及214中,DUO 426分别使用(例如,但不限制于)氧化灰(O₂)及HF带将氮化硅从所有剩余区域剥除。蚀刻及DUO移除之后的剩余HDP 324的轮廓类似于常规反向掩模过程。接着,晶片经历CMP、顶部氧化物蚀刻及氮带,所述步骤就如半导体集成电路制造过程的其它现有技术中所做的步骤。

[0025] 参考图3,其描绘根据本发明的教导的具有沉积于其上的薄氧化物321层及氮化硅322层的硅晶片320的示意性立视横截面。参考图3A,其描绘浅沟槽隔离(STI)蚀刻323的步骤之后的硅晶片320的示意性立视横截面。

[0026] 参考图3B,其描绘执行图3及3A中展示的浅沟槽隔离(STI)蚀刻、硅晶片的衬料氧化及高密度等离子(HDP)沉积的过程步骤之后的硅晶片的示意性立视横截面。STI蚀刻323结束之后(图3A),HDP氧化物324层可沉积于硅衬底320及氮化硅322上。执行衬料氧化,即,氧化由STI蚀刻323暴露的硅衬底320的部分。集成电路制造中及了解本发明的优势的一般技术人员将理解可使用其它何种氧化材料。可使用且预期除了HDP氧化物之外的其它氧化物,只要所述氧化物具有优良填充特性。举例来说,甚至可使用自旋玻璃。STI蚀刻轮廓及HDP氧化物324沉积使得硅晶片的顶部具有不规则表面构形,如(例如)展示为不规则状324a及324b。

[0027] 参考图4,其描绘根据本发明的特定实例实施例的执行图3中展示的将部分经平坦化的有机硅酸盐(DUO)层旋涂于硅晶片上的过程步骤之后的硅晶片的示意性立视横截面。为了取代将光刻掩模印刷于晶片上以暴露反向主动开口,可将DUO 426层旋涂于HDP氧化物324上,DUO 426层向HDP氧化物324提供某种程度上的平坦化效应。更重要的是,基于蚀刻过程气体混合,DUO 426层对硅氧化物可具选择性或不具选择性。优选特性是DUO蚀刻率可经调整以对正蚀刻的氧化物具选择性或不具选择性。这允许仅使用蚀刻(无掩模)来平坦化氧化物堆叠的能力。

[0028] 参考图5,其描绘根据本发明的特定实例实施例的执行图4中展示的将DUO蚀刻于硅晶片上的过程步骤之后的硅晶片的示意性立视横截面。可在氧化物蚀刻器中蚀刻所述硅晶片,首先使用CF₄、O₂及Ar的混合物进行非选择性蚀刻DUO 426的等离子蚀刻。接着,第二步骤可使用例如C₄F₆、C₅F₈、C₄F₈、O₂、N₂及/或Ar的气体选择性蚀刻DUO426上的HDP氧化物324。所述蚀刻过程在与氮化硅322接触之前在达到特定深度时停止。此第一步蚀刻帮助将DUO 426从主动区域(氮化硅上)清除且更使堆叠稳定。所述第二步蚀刻接着尝试蚀刻主动区域上的HDP到最适宜用于CMP的合适厚度。

[0029] 图6说明根据本发明的特定实例实施例的执行图5中展示的将DUO从硅晶片上移除的过程步骤之后的硅晶片的示意性立视横截面。可由干O₂灰及HF清理来移除DUO426。

[0030] 参考图7,其描绘根据本发明的特定实例实施例的执行浅沟槽隔离(STI)化学机械抛光(CMP)的过程步骤之后的硅晶片的示意性立视横截面。所述STI CMP是半导体集成电路制作中的一般技术人员熟知的标准半导体集成电路过程。在此步骤中,HDP氧化物324大体上经平坦化且从氮化硅322层中移除。

[0031] 参考图8,其描绘根据本发明的特定实例实施例的执行移除氮化硅以暴露部分硅衬底的过程步骤之后的硅晶片的示意性立视横截面。可通过使用热磷酸浴来移除氮化硅

322,从而使得硅衬底320暴露于场氧化物(FOX)624之间,准备用于硅衬底中的主动晶体管元件掺杂的步骤。

[0032] 可预期,在本发明的范围内,上述集成电路制造过程可用于其它制造步骤中,例如氧化物CMP。其可能是不经济的,因为此过程将增加其它步骤的成本。衬料氧化不是氮化硅,其由热生长二氧化硅制成。可使用任何氧化物沉积或填充,只要其符合给定STI过程的填充要求。DUO是相当独特的,这是因为其经设计用于填充且具有改变不同等离子蚀刻过程的选择性的能力。在一些处理中,底部抗反射涂布BARC已用于取代DUO,且此做法在本文揭示的本过程应用中是可适用的。

[0033] 尽管已经描绘、描述且通过参考本发明的实例实施例来界定本发明的实施例,但此类参考不应暗示为对本发明的限制,且不应推断出此限制。相关领域的一般技术人员将明白所揭示的具有本发明的优势的发明目标能够涵盖形式及功能中的相当程度的修改、替代及等效物。本发明的所描绘及描述的实施例仅为实例,且不是本发明的范围的穷尽。

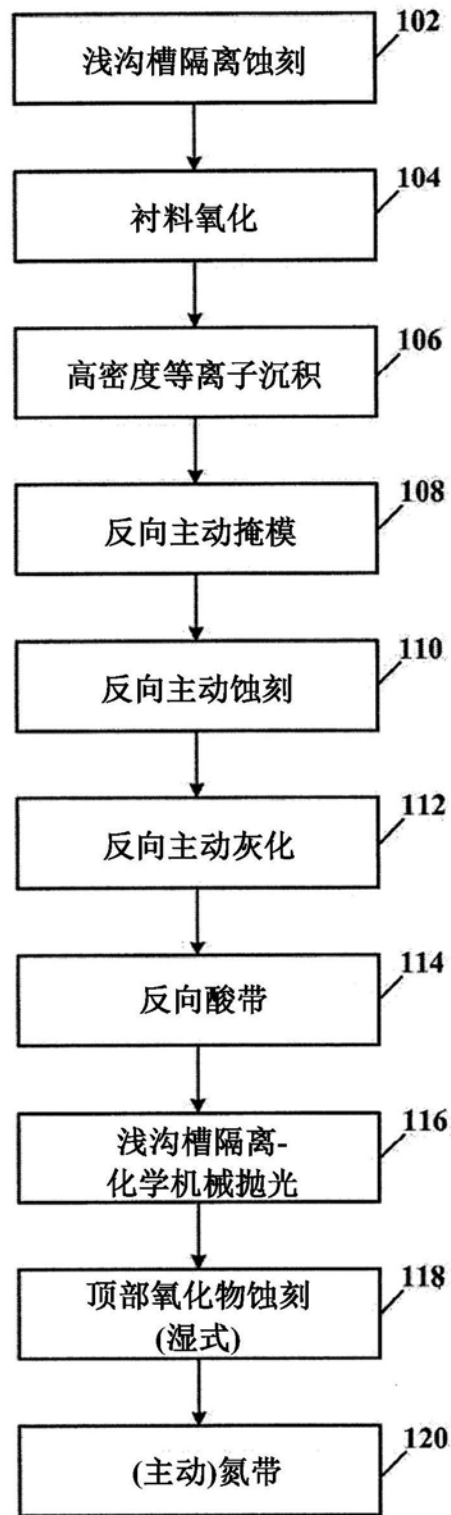


图1 (现有技术)

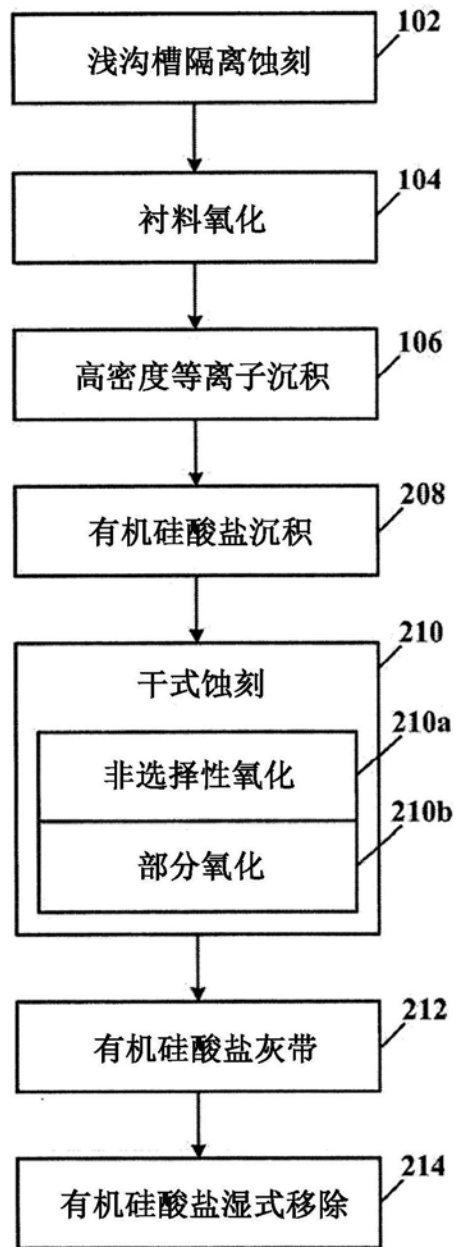


图2

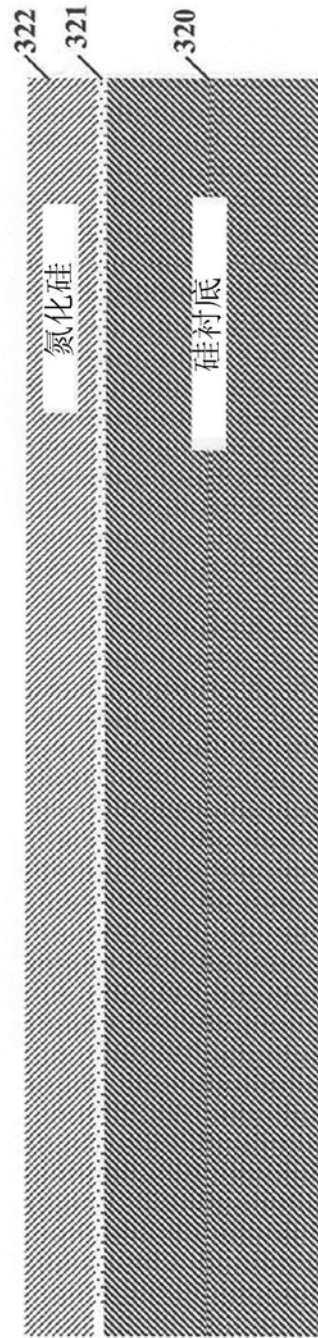


图3

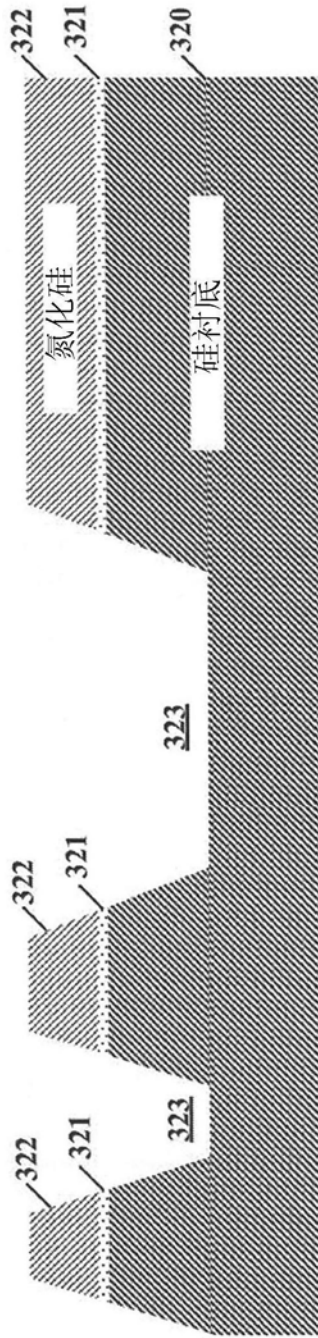


图3A

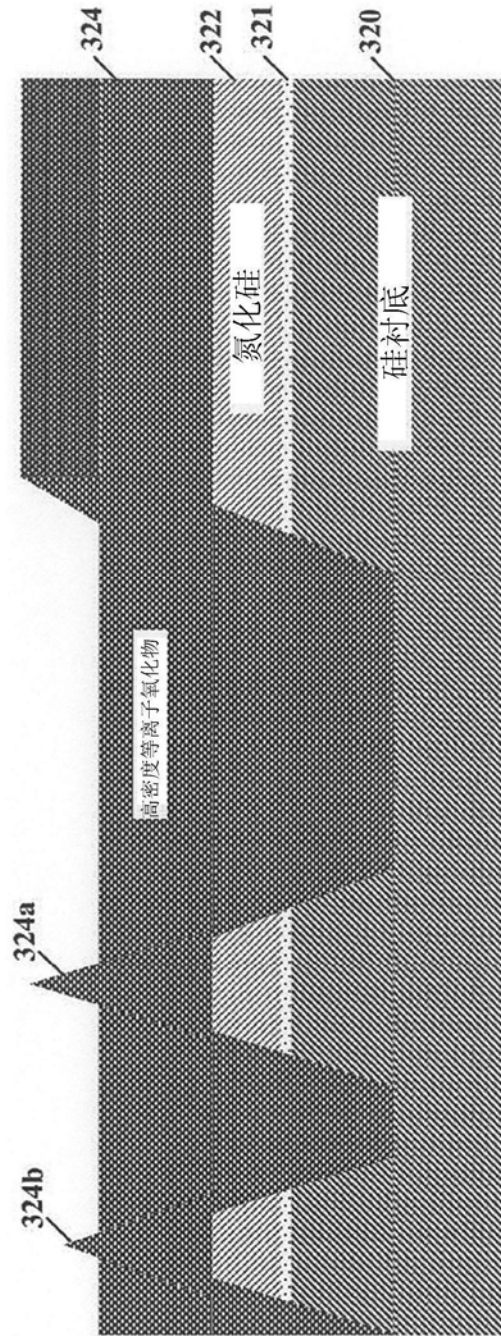


图3B

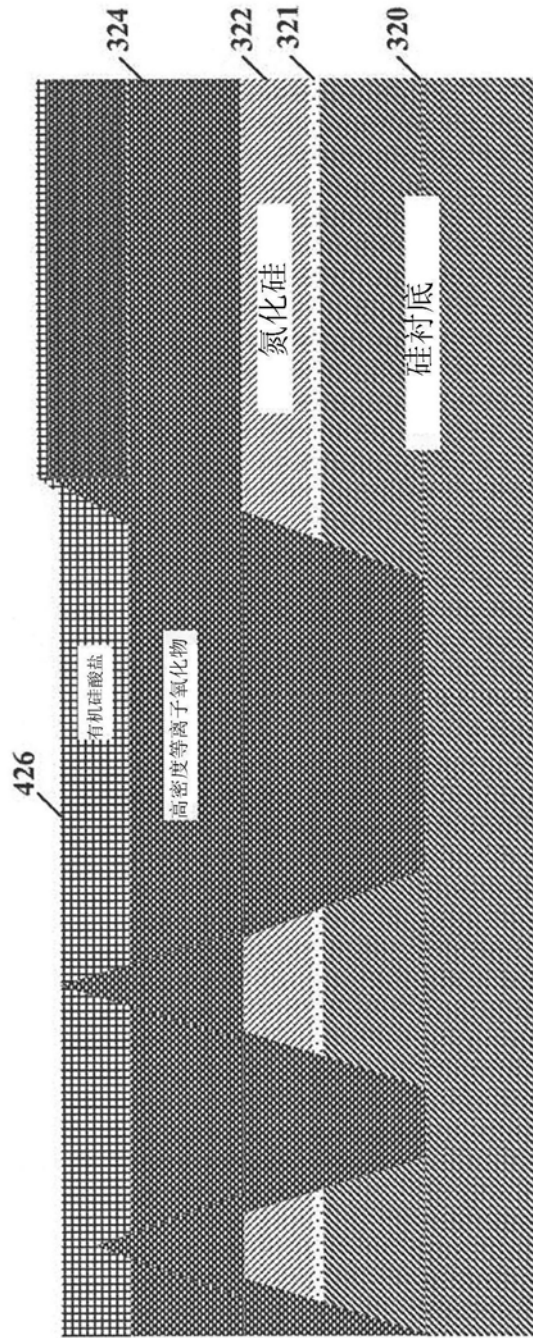


图4

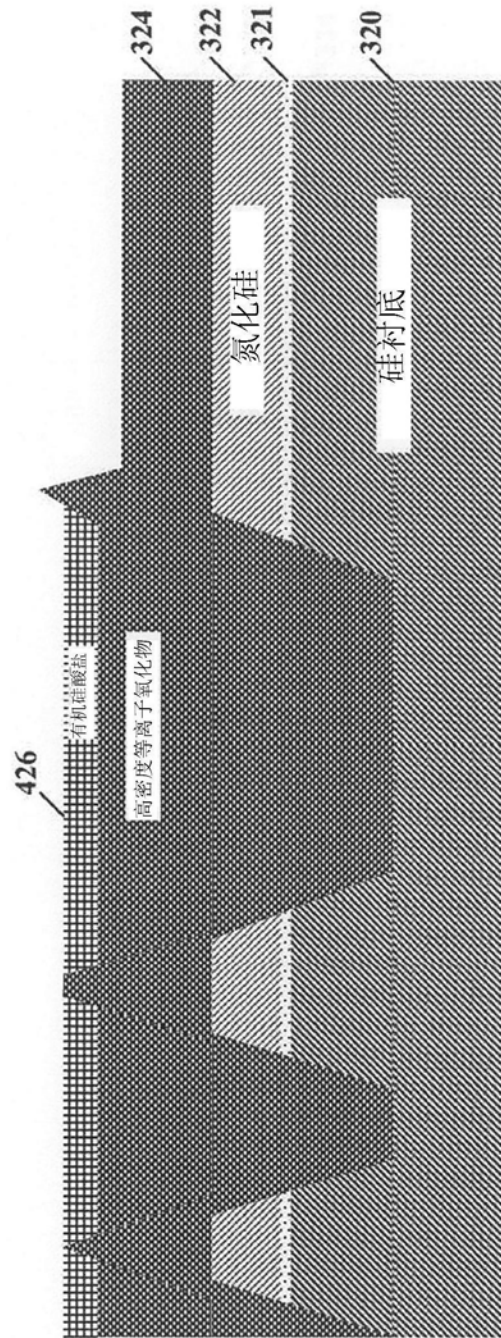


图5

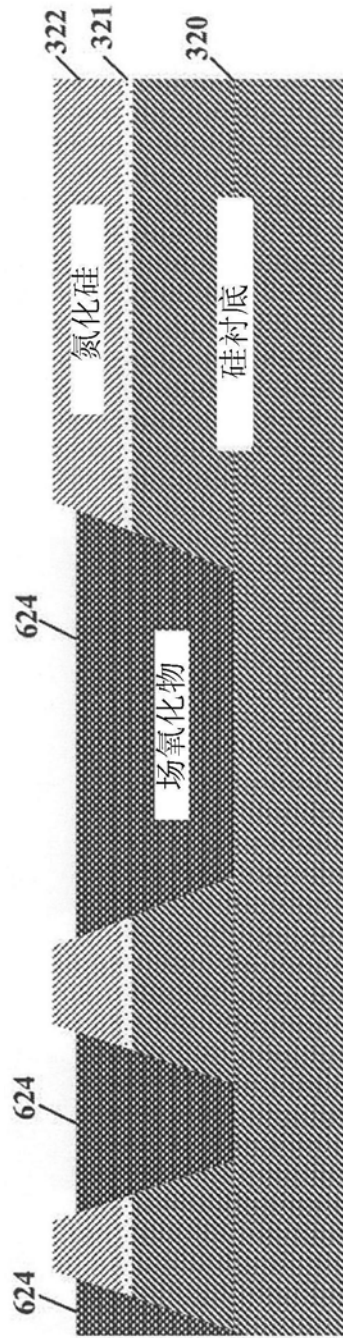


图7

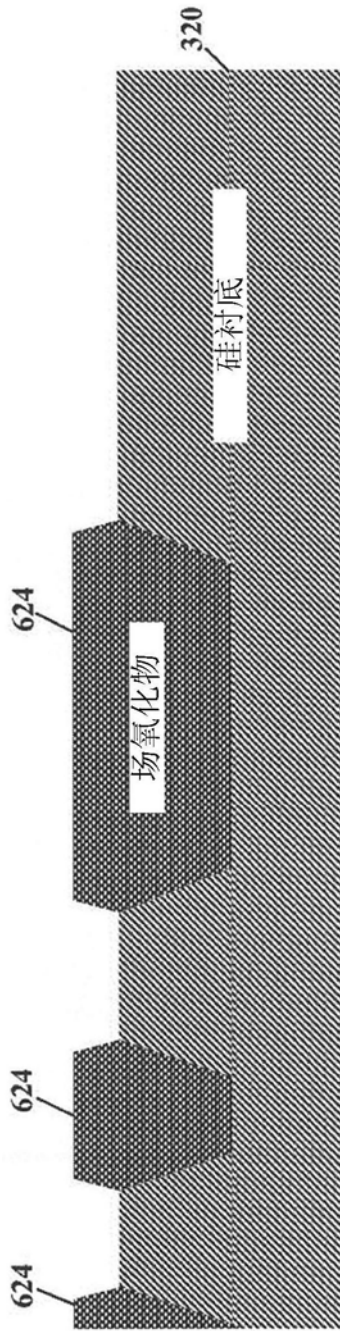


图8