Союз Советских Социалистических Республик

Государственный комитет СССР по делам изобретений и открытий

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 959078

(61) Дополнительное к авт. свид-ву –

(22) Заявлено 14.01.81 (21) 3237286/18-24

с присоединением заявки № –

(23) Приоритет –

Опубликовано 15.09.82 Бюллетень № 34

Дата опубликования описания 15.09.82

(51) М. Кл.³ G 06 F 9/22

(53) УДК 681.326 (088.8)

(72) Авторы изобретения: Д.А. Тодуа, М.А. Абрамян, Н.Н. Шабурова и А.К. Иманов

(71) Заявитель: Тбилисский научно-исследовательский институт приборостроения и средств автоматизации Научно-производственного объединения "Элва"

ВСЕСОЮЗНАЯ 13 ПАТЕНТНО-ТЕХНИЧЕСКАЯ 13 БИБЛИОТЕКА

(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ

1

Изобретение относится к области вычислительной техники и может быть использовано в ассоциативных процессорах, позволяющих осуществлять параллельную обработку больших массивов данных.

Известно микропрограммное устройство управления, содержащее блок памяти, генератор тактовых импульсов, регистр адреса, регистр микрокоманды, дешифратор, логические элементы [1].

Недостатком устройства является то, что для анализа условий, определяющих направление переходов при выполнении микропрограмм, затрачивается большое количество разрядов микрокоманд. Кроме того, устройство отличается малым быстродействием и применение его в ассоциативных процессорах малоэффективно.

Наиболее близким к предлагаемому является микропрограммное устройство управления, содержащее блок памяти с дешифратором, регистр адреса и регистр микрокоманд, блок формирования адреса и блок формирования адреса условного перехода, включающий в себя регистр признака устройства, элемент ИЛИ и дешифратор

2

условий, входные шины адреса микрокоманд и сигналов, анализируемых условий и выходную шину микрокоманд [2].

Недостатком устройства является низкое быстродействие, вызванное необходимостью прохождения адреса следующей микрокоманды через блок формирования адреса, регистр адреса, память микрокоманд и дешифратора микрокоманд, причем в регистр адреса запишется достоверный адрес лишь только после анализа условия перехода в дешифраторе условий. Таким образом, следующий такт вычислительного устройства должен быть начат после всех этих задержек.

Цель изобретения - повышение быстродействия устройства микропрограммного управления.

Цель достигается тем, что микропрограммное устройство управления, содержащее блок памяти микрокоманд, первый регистр управляющих команд, выходы разрядов адреса, кроме последнего, первой группы которого подключены к информационным входам первой группы первого коммутатора адреса соответственно, первый элемент ИЛИ, дополнительно содержит второй регистр управляющих команд,

второй коммутатор адреса, второй элемент ИЛИ, блок памяти управляющих команд, триггер условного перехода, счетчик циклов, группу элементов НЕ и элемент И-НЕ, причем выход второго коммутатора соединен с адресным входом блока памяти управляющих команд, выход которого соединен с информационными входами первого и второго регистров управляющих команд, к управляющим входам которых подключены первый и второй входы синхроимпульсов устройства соответственно, выходы последних разрядов адреса первых групп первого и второго регистров управляющих команд подключены к первым входам первого и второго элементов ИЛИ соответственно, вторые входы которых соединены с выходом триггера условного перехода, информационный вход которого соединен с входом признака условного перехода устройства, а управляющий вход - с третьим входом синхроимпульса устройства, выходы разрядов адреса, кроме последнего, первой группы второго регистра управляющих команд подключены к информационным входам второй группы первого коммутатора соответственно, первый и второй управляющие входы которого соединены с первым и вторым управляющими входами второго коммутатора и являются четвертым и пятым входами синхроимпульсов устройства соответственно, выход первого коммутатора подключен к адресному входу блока памяти микрокоманд, выход которого является информационным выходом устройства, а выход младшего разряда соединен со счетным входом счетчика циклов, информационный вход которого подключен к входу числа циклов устройства, а выход - к входам элементов НЕ группы, выходы которых соединены с входами элемента И-НЕ, выход которого подключен к управляющему выходу устройства, выходы разрядов адресов вторых групп первого и второго регистров управляющих команд подключены к первому и второму информационным входам второго коммутатора, третий информационный вход которого подключен к входу адреса устройства, а третий управляющий вход - к входу пуска устройства.

На чертеже представлена структурная схема микропрограммного устройства управления.

Устройство содержит блок 1 памяти управляющих команд, регистры 2, 3 управляющих команд разрядности (К + n), блок 4 формирования адреса условного перехода, содержащий элементы ИЛИ 5, 6 и триггер 7 условного перехода, коммутатор 8 адреса, содержащий две группы элементов И 9, 10 и группу элементов ИЛИ-НЕ 11, коммутатор 12 адреса, содержащий три группы элементов И 13, 14, 15 и группу элементов ИЛИ-НЕ 16, блок 17 памяти микрокоманд, группу элементов, блок 18 подсчета числа циклов, счетчик 19 циклов, группу элементов НЕ 20, элемент И-НЕ 21, вход 22 адреса устройства, вход 23 признака условного перехода, вход 24 числа циклов, информационный выход 25 устройства, управляющий выход 26 устройства, вход 27 пуска устройства, входы 28 - 32 синхроимпульсов устройства.

Функционирование устройства происходит следующим образом.

Информация, записываемая в тот или иной регистр 2, 3 управляющих команд, состоит из двух частей. Первая К-разрядная часть регистров представляет собой адрес соответствующей микрокоманды в блоке 17 памяти микрокоманд. Вторая n-разрядная часть регистров представляет собой адрес следующей управляющей команды. Причем, в блоке 1 памяти управляющих команд адрес следующей управляющей команды записан в инверсном коде, но после прохождения коммутатора 12 он инвертируется и уже в прямом коде поступает на адресные входы блока 1 памяти управляющих команд. Для выполнения той или иной команды в блоке 1 в соответствии с адресом - командой, поступающей по входу 22, выбирается определенный список управляющих команд (адресов). Этому списку управляющих команд поставлен в соответствие определенный набор микрокоманд в блоке 17, необходимый для выполнения конкретной команды либо над двумя одноименными разрядными слайсами двух массивов либо над одним разрядным слайсом одного массива. Причем, во второй n-разрядной части последней управляющей команды любого списка управляющих команд указан адрес первой управляющей команды данного списка.

Подобная организация списков управляющих команд позволяет использовать каждый из них столько раз, сколько разрядных слайсов содержит обрабатываемые массивы. Команда о выполнении той или иной операции (сложение, вычитание, поиск и т.д.) поступает в виде адреса памяти управляющих команд по входу 22 одновременно с подачей синхросигнала по входу 27. Одновременно этот сигнал поступает в блок формирования импульсов (не показан) и разрешает появление синхросигналов на входах 30, 31, которые разнесены во времени. Выбранная из блока 1 информация подводится одновременно к двум регистрам 2, 3 управляющих ко-

манд, но она запишется в тот регистр, на синхронизирующий вход которого первым поступит импульс записи по входам 30, либо 31. Длительность синхроимпульса по входу 27 выдержана, таким образом, чтобы осуществить запись в один из регистров 2, 3 управляющих команд. Появление синхроимпульса по входу 30 и 31 разрешает появление синхросигналов соответственно на входах 29 или 28.

Допустим, что первым пришел импульс записи по входу 30 синхросигналов, который разрешил запись первой выбранной управляющей команды в регистр 3 управляющих команд, n-разрядная информация об адресе следующей управляющей команды со второй части этого регистра поступает на соответствующие входы коммутатора 12. Сигнал записи на входе 30 формирует синхросигнал на входе 29, который разрешает прохождение n-разрядной информации через коммутатор 12 к адресным входам блока 1. После чего осуществляется выбор следующей управляющей команды с целью записи ее в регистр 2 управляющих команд. Одновременно этот синхросигнал на входе 29 разрешает прохождение ком К-разрядной информации первой части регистра 3 управляющих команд через коммутатор 8 к адресным входам блока 17. После чего на выходе 25 появится соответствующая микрокоманда. С этого момента в соответствии с тактовым импульсом начинается выполнение данной микрокоманды в ассоциативном процессоре. Одновременно этот тактовый сигнал по входу 32 поступает на синхронизирующий вход триггера 7. Длительность тактового импульса обусловлена временем выполнения наиболее длительной микрокоманды в ассоциативном процессоре и не превышает 150-200 нс. К моменту окончания выполнения текущей микрокоманды, а следовательно, и окончания тактового импульса осуществляется запись управляющей команды в регистр 2 по сигналу записи по входу 31, который, в свою очередь, формирует синхросигнал на входе 28. Теперь уже этот синхросигнал разрешает прохождение n-разрядной информации регистра 2 через коммутатор 12 к адресным входам блока 1, а также К-разрядной информации через коммутатор 8 к адресным входам блока 17 и т.д. Появление одного синхросигнала на входе 28 и окончание другого на входе 29, а также появление одного синхросигнала на входе 29 и окончание другого на входе 28 совпадает по времени с окончанием импульса на входе 32.

Отрицательным фронтом импульса, приходящего по входу 32, триггер 7 взводится в единичное или нулевое состояние в зависимости от того, какой уровень приходит по входу 23. Для тех команд, которые требуют условный переход, этот уровень формируется после окончания выполнения микрокоманды в ассоциативном процессоре. По входу 23 приходит единичный сигнал только в том случае, если необходимо совершить условный переход. Условный переход от одной микрокоманды к другой осуществляется изменением содержимого младшего К-го разряда первой части регистров 2, 3. Это изменение осуществляется с помощью элементов ИЛИ 5 или 6. В младшем К-ом разряде адреса микрокоманды, который может быть изменен, записано нулевое значение. Это значение может быть изменено в случае, если с триггера 7 придет признак условного перехода, соответствующий уровню логической единицы. Следовательно, на адресные входы блока 17 поступит адрес, отличный на единицу от адреса, который записан в первой К-разрядной части регистров 2 или 3.

После выдачи набора микрокоманд из блока 17, необходимого для обработки одного разрядного слайса массива или двух одноименных разрядных слайсов двух массивов, с младшего разряда последней микрокоманды данного набора микрокоманд поступает сигнал на счетный вход счетчика 19. Этот сигнал осуществляет уменьшение содержимого счетчика 19 на единицу. Информация о количестве циклов, необходимых для выполнения операции над массивами данных, равна разрядности массивов и заносится в счетчик 19 перед началом выполнения операции по входу 24. Занесение этой информации совпадает во времени с подачей сигнала запуска по входу 27. Выходы счетчика 19 через группу элементов НЕ 20 подключены ко входам элемента И-НЕ 21. Когда содержимое счетчика 19 полностью обнулится, на всех входах элемента И-НЕ 21 присутствуют уровни логической единицы. Это вызывает появление сигнала логического нуля на выходе 26, который запрещает появление синхросигналов на входах 27-32 и означает конец выполнения команды. Таким образом, работа микропрограммного устройства управления начинается с поступления сигнала запуска по входу 27, который разрешает последовательную выдачу из блока формирования импульсов синхросигналов 31, 28, 32, 30, 29 и оканчивается выдачей сигнала в блок фор-

мирования импульсов по выходу 26, который запрещает прохождение синхросигналов на указанных шинах до появления очередного сигнала запуска по входу 27. Присутствие в предлагаемом устройстве двух блоков 1, 17 обусловлено тем, что одна и та же микрокоманда может использоваться для выполнения разных команд. Поэтому в блоке 17 записаны все разнообразные неповторяющиеся микрокоманды, а в блоке 1 в разных списках управляющих команд адрес одной и той же микрокоманды может повторяться.

Учитывая то, что поле микрокоманд достигает 40 бит и более, такое разбиение памяти позволило значительно сократить объем памяти, так как в противном случае в одной памяти фигурировал бы большой набор повторяющихся микрокоманд.

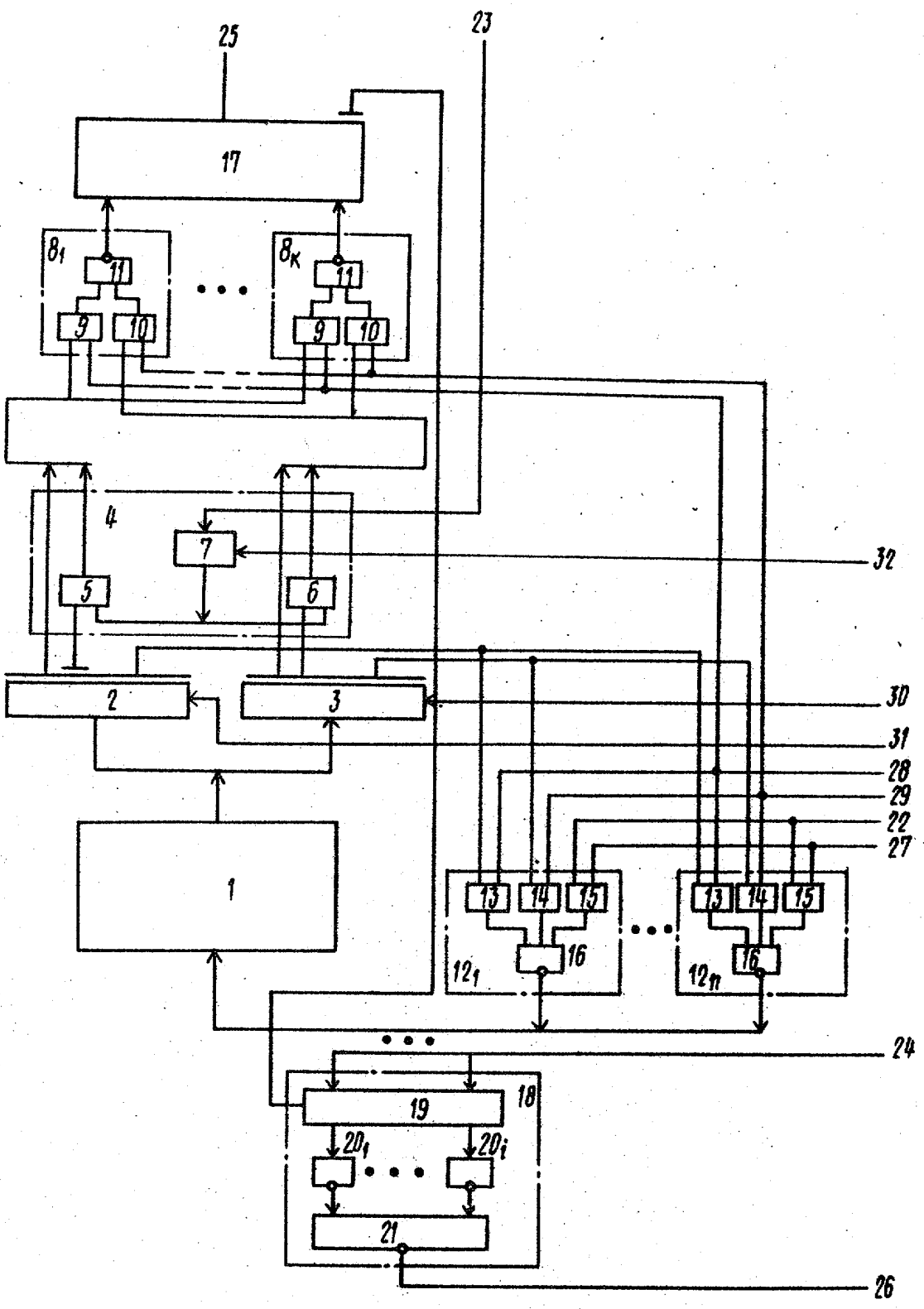
Формула изобретения

Микропрограммное устройство управления, содержащее блок памяти микрокоманд, первый регистр управляющих команд, выходы разрядов адреса, кроме последнего, первой группы которого подключены к информационным входам первой группы первого коммутатора адреса соответственно, первый элемент ИЛИ, о т л и ч а ю щ е е с я тем, что, с целью повышения быстродействия, оно содержит второй регистр управляющих команд, второй коммутатор адреса, второй элемент ИЛИ, блок памяти управляющих команд, триггер условного перехода, счетчик циклов, группу элементов НЕ и элемент И-НЕ, причем выход второго коммутатора соединен с адресным входом блока памяти управляющих команд, выход которого соединен с информационными входами первого и второго регистров управляющих команд, к управляющим входам которых подключены второй и первый входы синхроимпульсов устройства соответственно, выходы последних разрядов адреса первых групп первого и второго регистров управляющих команд подключены к первым входам первого и второго элементов ИЛИ соответственно, вторые входы которых соединены с выходом триггера условного перехода, информационный вход которого соединен с входом признака условного перехода устройства, а управляющий вход - с третьим входом синхроимпульса устройства, выходы разрядов адреса, кроме последнего, первой группы второго регистра управляющих команд подключены к информационным входам второй группы первого коммутатора соответственно, первый и второй управляющие входы которого соединены с первым и вторым управляющими входами второго коммутатора и являются четвертым и пятым входами синхроимпульсов устройства соответственно, выход первого коммутатора подключен к адресному входу блока памяти микрокоманд, выход которого является информационным выходом устройства, а выход младшего разряда соединен со счетным входом счетчика циклов, информационный вход которого подключен к входу числа циклов устройства, а выход - к входам элементов НЕ группы, выходы которых соединены с входами элемента И-НЕ, выход которого подключен к управляющему выходу устройства, выходы разрядов адресов вторых групп первого и второго регистров управляющих команд подключены к первому и второму информационным входам второго коммутатора, третий информационный вход котррого подключен к входу адреса устройства, а третий управляющий вход - к входу пуска устройства.

Источники информации, принятые во внимание при экспертизе

1. Хассон С. Микропрограммное управление. М., "Мир", 1974.

2. Авторское свидетельство СССР № 746517, кл. G 06 P 9/22,1978 (прототип).



Составитель А. Логачева
Редактор О. Колесникова Техред З.Палий Корректор А. Гриценко

Заказ 7018/66 Тираж 731 Подписное
ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4