

公告本

申請日期	89.4.21
案 號	29107593
類 別	H01L 21/76, 21/331, 21/336, 29/76

A4
C4

494529

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	具降低導通電阻之超自我對準溝渠閘極雙重擴散金 氧半導體
	英 文	A SUPER-SELF-ALIGNED TRENCH-GATE DMOS WITH REDUCED ON-RESISTANCE
二、發明 人	姓 名	1.理察德 K. 威廉 2.威尼 格拉布基
	國 籍	均美國
三、申請人	住、居所	1.美國加州古布汀市諾奇大道10292號 2.美國加州諾奧圖市米拉維大道1390號
	代 表 人 姓 名	

經濟部智慧財產局員工消費合作社印製

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權
美國 1999年04月22日 09/296,959 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

圖1解釋具有溝渠閘極11、擴散P-型主體擴散(P_B)、淺N+源極區域12、P-型主體接觸區域13之傳統垂直雙重擴散MOSFET(DMOS)10，在N-型磊晶層 N_{epi} 中形成，在N+底材上生長。該源極以及主體接觸區域12、13為藉由源極金屬14使用對接接觸架構加以短路。閘極11嵌入在溝渠15中蝕刻至磊晶層 N_{epi} 中，氧化以及之後以摻雜之多晶矽填入。該裝置通道沿著矽區域之溝渠側壁形成，介於N+源極-至- P_B 主體接合面至介於 P_B 主體與N-型磊晶汲極之間形成之接合面延伸。在傳統裝置中，閘極氧化物16在溝渠側壁上以及底部同時形成以及所以為均勻一致厚度(除了因為在彎曲表面之壓縮氧化效應以及在各種不同結晶平面上之不同氧化率產生之敏銳變化以外)。

該汲極摻雜典型為以低於 P_B 主體區域之濃度以為任何可應用電壓提供汲極之實質耗盡展開以及通道之最小耗盡展開。 P_B 主體之較重摻雜避免擊穿崩潰以及短通道其他不期望效應，該短通道通常具有有效長度0.3至1 μm 。

該裝置之導通電阻為藉由圖2顯示之其電阻分量，即其底材電阻(R_{sub})、其磊晶汲極電阻(R_{epi})、其通道電阻(R_{ch})、其源極接觸電阻(R_c)、以及其金屬相互連接電阻(R_M)之和加以決定。磊晶電阻(R_{epi})細分為由通道發源之電流展開之區域(R_{epi1})以及，在較厚epi層之案例，電流已經變成均勻一致之區域(R_{epi2})。

五、發明說明 (2)

$$R_{DS} = R_M + R_c + R_{ch} + R_{epi} + R_{sub} \quad (1)$$

其中

$$R_{epi} = R_{epi1} + R_{epi2} \quad (2)$$

功率 MOSFET 使用為開關之主要目的為藉由同時將其各電阻組成成分加以最小化而達成最低導通電阻。必須考慮下列因素：

1. 金屬電阻為經由較厚金屬層之使用而最小化。
2. 研磨該晶圓為可能之最小大小以將底材電阻加以最小化。該研磨必須在接近製造處理結束時執行，所以處理之損壞風險為最小化。
3. 介於裝置累增崩潰電壓與導通電阻之間具有不可避免之折衷。較高崩潰電壓需要較厚、提供較高磊晶電阻之更少量摻雜之磊晶層。一般，選擇磊晶層之摻雜以提供能夠支撐所需斷開-狀態阻斷電壓(亦即，其特定累增崩潰電壓)之更高度摻雜層。
4. 通道電阻為藉由將既定面積之通道周長加以最大化而最小化。MOSFET 之單獨晶元可以任何條紋狀或是多邊形形狀加以建構。理想地是，選擇之形狀必須是可以在任何規律節距重複，所以更多晶元可以在既定面積中平行連接。藉由將多數晶元平行化以及以串聯運作該多數晶元，可以達成極低之導通電阻。
5. 較高晶元密度具有優點為磊晶汲極之電流更接近該表面時變成均勻一致，更完全利用磊晶層以供磊晶電阻展開

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (3)

導通電阻項目 (R_{epil}) 之導電及降低。藉由比較圖 3 A 與圖 3 B 可以看出，較小晶元節距降低浪費之面積，該處沒有電流通，將電流均勻一致地導電經過磊晶層總厚度較大百分比。更均勻一致之導電磊晶層展現較低汲極電阻。

將既定面積之溝渠閘極周長最大化而降低通道電阻 (R_{ch})，因為 MOSFET 通道導電之等式和閘極總“周長”有關，而非與裝置面積有關。

傳統橫向 MOSFET 之通道電阻等式可用以將垂直 DMOS 之通道電阻加以近似。

$$R_{ch} = \frac{1}{\mu \cdot C_{ox} \cdot \frac{W}{L_{ch}} \cdot (V_{GS} - V_i)} \tag{3}$$

其中

$$C_{ox} = \frac{\epsilon_{ox}}{\chi_{ox}} \tag{4}$$

結合，既定

$$R_{ch} \cdot W = \frac{1}{\mu \cdot C_{ox} \cdot \frac{1}{L_{ch}} \cdot (V_{GS} - V_i)} \tag{5}$$

就面積表示方面，使用幾何品質因數 A/W 產生形式

$$R_{ch} A = R_{ch} W \cdot \frac{A}{W} \tag{6}$$

因此

$$R_{ch} A = \frac{1}{\mu \cdot C_{ox} \cdot \frac{1}{L_{ch}} \cdot (V_{GS} - V_i)} \cdot \frac{A}{W} \tag{7}$$

經濟部智慧財產局員工消費合作社印製

五、發明說明 (4)

由於期望將W最大化以及將A最小化，需要降低品質因數A/W以降低通道電阻。為決定各種不同幾何之A/W，面積A和周長W之等式可以溝渠寬度(溝渠表面大小Y_G，以有別於“閘極寬度”)以及介於溝渠之間之源極主體“臺面”寬度Y_{SB}加以定義。對連續條紋狀表面長度Z而言，如圖4A所示，我們具有

$$A = Z \cdot (Y_G + Y_{SB}) \tag{8}$$

以及

$$W = 2Z \tag{9}$$

產生

$$\frac{A}{W} = \frac{(Y_G + Y_{SB})}{2} \tag{10}$$

換句話說，條紋狀幾何之A/W簡單地為節距之一半。對圖4B之正方形晶元而言，周長為

$$A = (Y_G + Y_{SB})^2 \tag{11}$$

以及

$$W = 4Y_{SB} \tag{12}$$

所以

$$\frac{A}{W} = \frac{(Y_G + Y_{SB})^2}{4Y_{SB}} \tag{13}$$

(請先閱讀背面之注意事項再填寫本頁)

訂
線

五、發明說明 (5)

與條紋幾何比較，無論何時當閘極與源極主體大小比較而為小時，正方形晶元幾何提供較低電阻。由於在傳統溝渠-閘極DMOS中，製造小溝渠不像製造小矽臺面般困難，所以封閉晶元幾何在效能上為較優越。結果，閘極大小為大於源極主體臺面大小，條紋狀幾何提供較優越效能。此境況實際上為難以達成，尤其是在窄溝渠閘極設計方面，其中容限之對準需要形成源極與主體區域以及需要建立它們之接觸，引導寬臺面。無論何時當閘極大小 Y_G 與源極主體大小 Y_{SB} 相等時，就將 A/W 最小化方面，介於二幾何之間沒有差異。

溝渠-閘極DMOS晶元陣列中之矩形上之源極呈現已經發現引導裝置之斷開-狀態洩漏，可能是由於沿著溝渠角落之缺陷或是沿著角落之源極之某些增強擴散。此問題之一解答為使用光阻光罩塊 $N+$ 源極植入至溝渠角落，如圖4C所示。不幸地是，此角塊態樣降低裝置之閘極周長以及增加通道電阻。假設環形形狀之源極具有寬度 Y_S ，該寬度有必要地必須小於臺面寬度 Y_{SB} 之一半。假使我們只由顯示之源極光罩移除角落時，該裝置周長不再為 $4Y_{SB}$ ，而是降至

$$W = 4 \bullet (Y_{SB} - Y_S) \tag{14}$$

所以

$$\frac{A}{W} = \frac{(Y_{SB} + Y_G)^2}{4 \bullet (Y_{SB} - Y_S)} \tag{15}$$

(請先閱讀背面之注意事項再填寫本頁)

訂 線

經濟部智慧財產局員工消費合作社印製

五、發明說明(6)

因角塊之預測之電阻損失為線性，所以假使 Y_S 為 Y_{SB} 之 20% 時，閘極周長為降低 20% 以及通道電阻因此而增加。此解釋為最壞案例模式，因為假設在角塊區域中沒有導電。實際上，某些電流在角塊區域中流動，但是它們相當於具有較長通道長度之電晶體而且可能具有不同定限電壓。甚至於，如晶元定標度為較小大小時，變成不實際地繼續利用角塊觀念，因為角落變成太接近在一起。源極周長之縮小在此案例中變成殷實以及源極之接觸面積亦受損失。

角塊之需要在六角形晶元溝渠 DMOS (參考圖 4D) 中可以理解地加以消除，因為環繞六角形臺面周長之角度為較不銳角 (實際上鈍角)。另一方面，溝渠之蝕刻表面與矽自然結晶平面不為平行。藉由遮斷多數晶體表面，通道之表面崎嶇不平地方增加。儘管某些申請專利範圍在商業與工業貿易雜誌為相反，六角形晶元構裝密度不比傳統正方形晶元設計良好，所以造成完全相同 A/W 。

因此，為將晶元密度加以最大化以及將垂直溝渠-閘極 DMOS 晶元節距加以最小化，溝渠閘極表面大小以及臺面之表面大小二者應該最小化，只要 A/W 減低。可能之最小溝渠大小為溝渠蝕刻設備、溝渠寬度及深度、包含圓化之溝渠形狀以及溝渠再充填處理。儘管所有這些變化，溝渠之最小描繪態樣大小為單一層大小，亦即其最小態樣大小為藉由晶圓工廠印刷、蝕刻與充填溝渠之能力而決定，而非藉由與其他光罩層之相互作用而決定。最小溝渠大小之後制訂為單一層光罩態樣。單一光罩層設計態樣為共同視為

五、發明說明 (7)

單一層大小或是SLD。因現在互斥地使用於微處理器以及DRAM製造之光罩設備變成可應用於功率半導體生產，所以溝渠寬度SLD為可能縮小。

源極-主體臺面之最小大小為藉由與至少一光罩層相關之設計規則加以決定，亦即牽涉到多層大小設計(MLD)規則。關鍵大小(視為 ΔCD)與一光罩層至另一層之記錄誤差二者變化說明規則，視為覆蓋或是OL。態樣大小之 ΔCD 變化為光阻厚度與粘度、顯露時間、光反射、光阻期間之光阻腐蝕、蝕刻時間、蝕刻速率等等之變化結果。由於OL層-對-層之不對準，所以變化為更實在。

圖5A-5E解釋在設定溝渠DMOS臺面最小大小之變化分量。在此案例中臺面寬度為藉由3種設計規則加以設定。

1. 接觸溝渠之最小空間. 圖5A解釋之設計規則之目的為防止金屬接觸與閘極短路(參考圖5D顯示之災難性故障)。假設該接觸對準溝渠，OL代表單一覆蓋不對準。 ΔCD_1 代表溝渠寬度之寬度變化，而 ΔCD_2 代表接觸大小之變化。 ΔCD_1 以及 ΔCD_2 值為一半晶元而除以2。考慮所有變化之最小空間必須超越0以防止介於嵌入閘極多晶矽與源極金屬之間之短路。

$$DR_{center/trench} \geq OL_{misalignment} + \frac{\Delta CD_1}{2} + \frac{\Delta CD_2}{2} \quad (16)$$

2. 金屬接觸與N+源極之最小重疊. 圖5B解釋之設計規則之目的為保證介於金屬接觸層與N+源極之間之接觸(參考

五、發明說明 (8)

圖 5E 之不對準例子)。假設接觸光罩為對準晶圓上之溝渠態樣，OL 代表至少二連續不對準，亦即一不對準可能在對準接觸光罩與溝渠對準時發生以及另一(統計上無關)不對準可能發生於 N+ 源極光罩與溝渠之間。 ΔCD_3 代表 N+ 源極區域寬度之變化而 ΔCD_2 代表接觸(至金屬)大小之變化。考慮所有變化之每側最小空間必須超越淨重疊 δ_{N+} 以保證介於金屬接觸與 N+ 源極區域之間之歐姆接觸。

$$DR_{N+} \geq OL_{2misalignments} + \frac{DCD_3}{2} + \frac{DCD_2}{2} + \delta_{N+} \quad (17)$$

3. 介於 P+ 主體接觸區域與金屬接觸之間之最小接觸。圖 5C 解釋之設計規則之目的為藉由確定 N+ 源極區域不完整涵蓋 P+ 主體接觸區域而保證介於金屬接觸與 P+ 主體接觸區域之間之接觸。 ΔCD_3 為 N+ 源極區域之寬度變化。因為穿過 N+ 源極區域之寬孔之總大小可以藉由各側上之 $\Delta CD/2$ 而加以縮小，所以大小之可能總變化為 ΔCD 。考慮所有變化之最小空間必須超越淨重疊 δ_{P+} 以保證介於金屬接觸與 P+ 主體區域之間之歐姆接觸。在圖 5F 顯示之最末端案例中，全部 P+ 區域為由 N+ 區域之橫向延伸所涵蓋，所以重疊在晶元中央。對一半晶元而言，

$$DR_{P+} \geq \Delta CD_3 + \delta_{P+} \quad (18)$$

五、發明說明 (9)

結論是，最小臺面寬度，之後為藉由二接觸-至-溝渠規則（臺面各側上有一規則）、二N+接觸規則（為保證接觸臺面二側上之N+源極）以及單一P+規則加以決定。但是因為往一溝渠之接觸光罩之不對準增加至另一溝渠之距離，所以當計算最小臺面大小時各設計規則必須只考慮一次。假設所有OL與 ΔCD 規則，臺面之最小寬度為：

$$Y_{SB}(\text{最小臺面}) = 3\Delta CD + 3OL + 2\delta_{N+} + \delta_{P+} \quad (19)$$

例如，假設 ± 3 西格碼OL誤差為 $0.25\ \mu\text{m}$ ，3西格碼 ΔCD 為 $0.1\ \mu\text{m}$ ，最小N+重疊為 $0.1\ \mu\text{m}$ （如描繪之各N+），最小N+孔（以接觸P+）為 $0.3\ \mu\text{m}$ ，所以最小源極-主體臺面大小為：

$$Y_{SB}(\text{最小臺面}) = 3(0.1) + 3(0.25) + 2(0.15) + 0.65 = 2.0 \quad (20)$$

然而，實際上，可能需要額外 $0.5\ \mu\text{m}$ 以達成高良率、良好缺陷容限以及改良之P+接觸面積。在此 $2\ \mu\text{m}$ 臺面之下變成難以使用接觸光罩以及對接N+/P+源極主體接觸製作溝渠DMOS。在此案例中，其中源極N+區域由溝渠-至-溝渠延伸跨越矽臺面之一設計必須被使用。用以連接下面之 P_B 主體擴散之P+主體接觸可以在z-維（沿著條紋長度）接觸。二接觸-至-溝渠態樣以及接觸大小則決定臺面寬度。

$$Y_{SB}(\text{最小臺面}) = 2\Delta CD + 2OL + \delta_{N+} \quad (21)$$

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (10)

該等式應用相同容限但是具有 0.4 μm N+接觸視窗，產生

$$Y_{SB}(\text{最小臺面})=2(0.1)+2(0.25)+0.4=1.1 \quad (22)$$

實際上，為達成高良率及良好缺陷容限，可能需要較大大小，如 1.5 μm 之大。在大約 0.9 至 1.1 μm 臺面寬度之下，恰好之精細線接觸與準確層-對-層對準變成困難。甚至於，在這些大小，其他製造相關問題為存在。

溝渠-閘極 DMOS 之另一設計及處理考慮為主體區域 P_B 之電阻以及主體接觸將其與源極金屬短路之主體接觸品質。源極-至-主體短路藉由維持射極與基極在相同電位而防止寄生 NPN 雙極電晶體(參考圖 7A 之橫截面圖)導電以及階躍恢復崩潰。短路射極與基極端理想地防止射極-基極接合面之正向偏壓以及避免隨之發生之少數載體(電子)注入至 MOSFET 主體(亦即基極)。

主體拾音之頻率極定沿 z-方向之基極電阻。在“階梯”設計中，P+主體接觸區域偶爾中斷 N+源極條以電氣獲得主體區域(參考圖 7B 平面圖以及圖 7C 三度空間投影圖)。位在 N+源極區域之下之 P-主體區域 P_B 部分之“夾止電阻”必須維持在低值而不反向影響裝置特徵如定限電壓。用以形成 P-主體區域之方法以及用以達成至主體之低值歐姆接觸之淺 P+區域整合，為特定於各溝渠-閘極 DMOS 設計以及處理。今日許多商業性功率 MOSFETs 就此點而言為不足以及結果遭受階躍恢

經濟部智慧財產局員工消費合作社印製

訂線

五、發明說明 (11)

復與險峻問題。P+接觸越小或是越不頻繁，階躍恢復將更可能發生。

無論何時當小接觸態樣為用以達成小臺面以及高晶元密度時，將發生關於金屬接觸之階躍覆蓋率之另一問題。如圖8A所示，經由頂部金屬如鋁-矽、鋁-銅或是鋁-銅-矽濺鍍之沈積，以真實形狀遵守接觸形狀，導致金屬層70中間之凹口或是隙。在薄金屬層之案例中凹口為不是太嚴重。但是薄金屬層尤其是 $1.2\ \mu\text{m}$ 厚度以下之電阻為太高以致於不可使用於功率裝置中。表面金屬電阻能夠增加毫歐姆電阻至橫向溝渠-閘極DMOS(因電流沿著裝置表面流動至接合繞線或是源極拾音)，在大晶圓產品之導通電阻中產生明顯之少量部分增加。厚金屬層(例如3至 $4\ \mu\text{m}$ 厚度)為需要以將導通電阻問題加以最小化。然而，如圖8B所示，厚金屬層72展現造成在由氧化層71造成之金屬階梯上之薄金屬極度凹口。因為所有電流必須流經薄金屬以及在階梯上，該裝置仍然展現高金屬電阻，但是儘管厚金屬沈積，亦經歷不良之電遷移效能。

在主動接觸面積之氧化物高度落差可以藉由沈積較薄之層間介電質(ILD)而降低，但是無論何時當金屬輾過多晶矽閘極匯流排時，較薄之介電質可以展現金屬斷路。較薄之ILD亦可以造成介於源極金屬與多晶矽閘極匯流排之間之短路或是導致薄氧化物對ESD損毀為靈敏。如一例子，圖9A顯示跨越閘極匯流排92之金屬層90。在晶圓中之源極金屬跨越閘極多晶矽匯流排任意處發生金屬階躍覆蓋率問題，因為表面多晶矽太厚。該問題發生是因為為在晶圓表面之多晶矽閘極

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

匯流排具有由溝渠之多晶矽平坦化造成之厚度。此多晶矽厚度必須為足夠厚以在最寬點充填溝渠。假設 $1\text{-}\mu\text{m}$ 寬之溝渠，最寬點發生在對角之溝渠角落，大小大約為 $1.4\text{ }\mu\text{m}$ (參考圖9B)。在沈積之後之晶圓表面上之多晶矽需要為至少對角大小之一半以充填溝渠，如圖9C所示，以確定多晶矽不在稍後回蝕期間下沉在晶圓表面之下。此整體多晶矽厚度，在 $0.7\text{ }\mu\text{m}$ 例子案例中，加上下方之氧化物將呈現在閘極匯流排之晶圓頂部上，所以可能為 1 至 $1.5\text{ }\mu\text{m}$ 之階梯。閘極匯流排之面積通常在多晶矽平坦化回蝕期間被光罩，形成階梯。該厚多晶矽亦限制可能之製造處理順序，因為多晶矽為太厚以致於不能經由該多晶矽導入摻雜物。

總結，已存在傳統溝渠閘極垂直DMOS裝置之問題為晶元密度不能增加以及幾何面積-對-周長比率不能更進一步降低以產生低導通電阻開關之面積效率之改良，因為傳統溝渠閘極垂直DMOS之建構在晶元大小中加上基本限制。該電阻損失對低電壓裝置尤其明顯，其中大部分總電阻可歸屬於MOS通道之電阻(R_{ch})。晶元密度之限制主要為介於溝渠之間之臺面最小寬度結果。臺面最小寬度為藉由多數光罩層之使用加以決定而且尤其是因為與接觸光罩相關設計規則。

條紋幾何降低或是消除頻繁或是大面積鄰接源極/主體短路，允許較緊密晶元節距但是可能在達成良好崩潰以及階躍恢復特徵時產生問題。推動可能之最小接觸大小需要主動接觸面積內以及閘極匯流排上方金屬階躍覆蓋率問題之解答。但是沒有推動設計規則至臺面寬度等於閘極溝渠寬度之點時

五、發明說明 (13)

，條紋幾何之A/W不如具有類似晶元節距之正方形晶元幾何之A/W。

發明總結

這些問題為以如本發明之超自我對準(SSA)溝渠DMOSFET加以解決。如本發明之SSA溝渠MOSFET包括具有溝渠在其中的半導體主體，溝渠壁在溝渠角落貫穿半導體主體主要表面。半導體主體包括鄰近溝渠以及半導體主體主要表面之第一導電型之源極區域；形成與第一源極區域接合面之第二導電型之主體區域，主體區域包括鄰近溝渠壁之通道區域；以及形成與主體區域接合面之第一導電型之汲極區域。閘極為配置在溝渠中。該閘極為由閘極氧化物層加以界限。閘極氧化物層包含鄰近通道區域以及之第一部分以及覆蓋閘極之第二部分，第一部分為較第二部分厚。金屬層與半導體主體主要表面接觸，以及介於金屬層與主要表面之間之接觸橫向延伸至溝渠角落。閘極氧化物層之第一部分防止介於閘極與源極之間之短路，因此允許介於金屬層與主要表面之間之接觸以延伸至溝渠角落。因此，以”自我對準”至溝渠之接觸而沒有閘極-源極短路之風險，可以避免上文討論之設計規則，以及介於溝渠區段之間之臺面寬度可以形成為較傳統MOSFETs之可能寬度小。如上文所解釋，此情形依次允許晶元密度增加以及品質因數A/W降低。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

如本發明之一特徵，閘極氧化物層包括鄰近溝渠底部之第三部分，該第三部分較第一部分厚。此情形降低閘極-汲極之間之電容以及避免場板感應崩潰。

如本發明之另一特徵，濃密摻雜之埋入層，圖案化為大體符合溝渠閘極之形狀，為用以降低DMOSFET之導通電阻。達成此架構之一方式為在溝渠已經形成之後植入埋入層。

SSA溝渠MOSFET為有利地藉由此處說明之處理加以生產。該處理包括：提供具有表面之半導體材料主體；在該表面之上形成第一光罩，該第一光罩具有一孔，溝渠在該處位於主體中；經由第一光罩之孔蝕刻半導體材料以形成半導體主體之溝渠；在溝渠側壁上形成第一氧化物層；以多晶矽填入溝渠；以第一光罩適當地氧化多晶矽之顯露表面以在溝渠頂部形成第二氧化物層，第二氧化物層往下延伸至溝渠內；移除第一光罩；以及沈積金屬層在第二氧化物層上之表面以及半導體主體之表面。

如本發明之另一特徵，充填溝渠之多晶矽閘極為沈積在二多晶矽層中。第一多晶矽層不涵蓋臺面，因此使得臺面之易離子植入能夠在溝渠形成之後作用。

如本發明之另一特徵，多晶矽二極體為在覆蓋半導體主體表面之一層多晶矽中形成。

如本發明之另一特徵，藉由接觸光罩定義之氧化物態樣可以配置在溝渠頂部之上方以降低介於接觸金屬與閘極之間之電極間電容。

五、發明說明 (15)

如本發明之另一特徵，假使利用具有小態樣之接觸光罩時，該接觸可以金屬如鎢加以平坦化以避免階躍覆蓋率問題。

在先前技藝中，分離光罩典型地用以分別定義溝渠以及源極金屬接觸。此情形導致上文所討論之對準問題。如本發明之處理，相同光罩為用以定義溝渠以及源極-金屬接觸。該溝渠為”自我對準”至源極-金屬接觸，而且介於閘極與源極之間之短路為藉由覆蓋閘極之厚氧化物層加以防止。

圖式之簡單說明

圖1解釋傳統垂直溝渠DMOSFET之橫截面圖；

圖2解釋顯示裝置電阻性分量之傳統垂直溝渠DMOSFET之橫截面圖；

圖3A以及圖3B解釋顯示改良磊晶汲極展通電阻之晶元密度利益之傳統垂直溝渠DMOSFET之橫截面圖；

圖4A-4D解釋各種不同溝渠DMOS源極幾何之平面以及橫截面圖。圖4A顯示條紋幾何。圖4B顯示正方形晶元幾何。圖4C顯示具有源極角落方塊之正方形晶元幾何。圖4D顯示顯示六角形晶元幾何；

圖5A-5F解釋傳統溝渠DMOSFET之臺面設計規則。圖5A顯示接觸-至-溝渠設計規則。圖5B顯示接觸-至-源極設計規則。圖5C顯示主體之P+接觸。圖5D顯示閘極-至-源極短路例子。圖5E顯示非接觸或是不足接觸之源極例子。圖5F顯示非接觸主體之例子；

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (16)

圖 6 解釋具有接觸光罩態樣以及具有 N+ 源極延伸跨越鄰近溝渠之間之完整臺面之傳統條紋溝渠 DMOSFET 之橫截面圖；

圖 7A、7B 以及 7C 分別為具有接觸光罩之“階梯”-源極溝渠 DMOS 之平面以及橫截面圖；

圖 8A 為以薄金屬層解釋階躍覆蓋率問題之傳統垂直溝渠 DMOSFET 之橫截面圖；

圖 8B 為以厚金屬層解釋階躍覆蓋率問題之傳統垂直溝渠 DMOSFET 之橫截面圖；

圖 8C 以厚金屬層解釋鍵孔問題；

圖 9A 解釋傳統溝渠 DMOSFET 中之多晶矽閘極匯流排之上方之金屬層階躍覆蓋率問題之橫截面圖；

圖 9B 解釋傳統溝渠 DMOSFET 中之閘極溝渠貫穿之平面圖；

圖 9C 解釋顯示溝渠 DMOSFET 中之最小多晶矽再充填厚度之橫截面圖；

圖 10A 為顯示等效垂直 MOSFET 晶元密度為臺面寬度之函數圖形；

圖 10B 為顯示等效垂直 MOSFET 晶元密度為晶元節距之函數圖形；

圖 11A-11E 為解釋用於在溝渠-閘極 MOSFET 中製造超自我對準 (SSA) 源極接觸之處理順序步驟之橫截面圖；

圖 12A 和 12B 為顯示以傳統接觸光罩之 MOSFET (圖 12A) 與使用 SSA 處理 (圖 12B) 製造之 MOSFET 比較之橫截面圖；

五、發明說明 (17)

圖 12C 顯示藉由 SSA 處理製造之 MOSFET，但是具有覆蓋溝渠之接觸-光罩-定義之氧化物態樣；

圖 13 為垂直 DMOS 晶元周長比率 A/W 為臺面寬度之函數之圖形；

圖 14 為垂直 DMOS 晶元周長比率 A/W 為晶元密度之函數之圖形；

圖 15A-15D 為 SSA 溝渠 DMOSFET 各種不同具體實施例之橫截面圖。圖 15A 顯示全部臺面 N+ 源極其中 P- 主體為在第三維中接觸。圖 15B 顯示類似於圖 15A 顯示之具體實施例，除了 MOSFET 包含深嵌位二極體。圖 15C 顯示類似於圖 15B 顯示之具體實施例，除了 MOSFET 包含相當淺之嵌位二極體。圖 15D 顯示一具體實施例其中源極金屬與 P+ 主體接觸以及其中沒有嵌位二極體；

圖 16A 為解釋累增崩潰開始時在溝渠角落發生之衝擊離子外形之橫截面圖；

圖 16B 為崩潰電壓 BV_{DSS} 為閘極氧化物層厚度之函數圖形；

圖 17A 為解釋介於閘極與汲極之間之寄生電容 (C_{GD})、與溝渠-閘極 DMOSFET 主體之間之寄生電容 (C_{GB}) 以及汲極之間之寄生電容 (C_{GS}) 之圖形；

圖 17B 為解釋閘極電壓 V_g 為閘極電荷 Q_g 之函數之圖形；

圖 18 為具有“階梯”P+ 源極-主體設計以及溝渠中厚底氧化物之條紋幾何之 SSA 溝渠 DMOSFET 之透視圖；

圖 19A-19F 為各種不同源極-汲極設計之平面圖。圖 19A 顯示具有連續 N+ 源極之“波紋狀”P+ 主體接觸區域。圖 19B 顯

五、發明說明 (18)

示具有週期性P+金屬帶之波紋狀P+主體接觸區域。圖19C顯示具有N+源極“島狀”之連續P+主體接觸區域。圖19D顯示“竹狀”階梯結構(交替N+與P+區域)。圖19E顯示具有P+主體接觸“視窗”之連續N+源極區域。圖19F顯示與週期性P+金屬帶交替之P+主體接觸“視窗”；

圖20A、20B以及20D解釋用於電壓-鉗位溝渠-閘極MOSFET閘極至源極之多晶矽二極體配置之電路圖。圖20C顯示多晶矽二極體配置之橫截面圖；

圖21A解釋具有在磊晶層形成之後立即植入之重疊高度摻雜埋入層之溝渠底部之厚氧化物層之SSA溝渠DMOSFET橫截面圖；

圖21B以及21C顯示類似於圖21A顯示之具體實施例之具體實施例，除了該埋入層在溝渠形成之後以及在溝渠以閘極材料填入之前植入以外；

圖22為用於製造包含變化之SSA溝渠DMOSFET之處理流程圖；

圖23為SSA溝渠DMOSFET之橫截面圖，包含活性晶元陣列、閘極匯流排、多晶矽ESD二極體以及邊緣界限；

圖24A-24Q逐步解釋用於製造SSA溝渠DMOSFET之處理，包含活性晶元陣列、閘極匯流排、多晶矽ESD二極體以及邊緣界限；

圖25A-25C解釋用於製造在底部具有厚氧化物層之溝渠處理之橫截面圖；

圖26A顯示傳統MOSFET之摻雜物設定檔；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

圖 26B 顯示使用如本發明之鏈鎖主體植入而形成之 MOSFET 之摻雜物設定檔；

圖 27A-27D 顯示可以使用沈積金屬接觸層之高壓處理製造之 MOSFET 結構；以及

圖 28A-28D 解釋如本發明製造另一 MOSFET 之處理步驟。

圖式之詳細說明

圖 10A 以及 10B 解釋可以藉由降低源極/主體臺面寬度以及晶元節距而獲得之晶元密度優點。

圖 10A 解釋相對於溝渠閘極描繪表面大小為 1.0、0.8 以及 0.5 μm 之 Y_G 之等效晶元密度之臺面大小 Y_{SB} 之繪圖。該密度由等式 (23) 以百萬晶元/吋² (左軸) 以及百萬晶元/公分² (右軸) 加以繪圖。

$$D = \frac{1}{(Y_G + Y_{SB})^2} \cdot \frac{10^3 \mu\text{m}^2}{\text{cm}^2} \cdot \frac{M_{\text{cells}}}{10^6} \quad (23)$$

該圖形劃分為三區域，即：

1. $Y_{SB} > 2 \mu\text{m}$ 之區域 III，其中正常對接之源極-主體接觸可以被使用。此類裝置之晶元密度限制由 67 至 100 百萬晶元/吋² 範圍加以變化，雖然 30 至 40 百萬晶元/吋² 密度在生產中為最高。

2. $0.9 \mu\text{m} < Y_{SB} < 2 \mu\text{m}$ 之區域 II，其中使用接觸光罩光學微影對準溝渠之源極條紋設計為可能。使用此結構之最大密度可以達到 170 至 320 百萬晶元/吋² 範圍，但是只假設特

五、發明說明 (20)

定設計以及製造相關問題為克服(該問題之解答稍後將由此加以說明)。

3. $Y_{SB} < 0.9 \mu\text{m}$ 之區域I，其中新技術為所需以形成主動溝渠DMOS電晶體晶元之接觸態樣。假使此情形為可能時，該建構之限制將只藉由光學微影處理設備能力設定以解決(圖案)以及蝕刻較小態樣大小。

只有區域III代表使用目前技術為可製造之裝置。然而，假使區域I以及區域II遇到之技術問題可以克服時，圖10A之圖形解釋可以獲得之可能晶元。

圖10B解釋使用不同技術之某些可能晶元密度之特定例子，反應各種不同晶圓製造設施複雜度(以及起初設備資本投資成本)。例如，做得出 $0.8 \mu\text{m}$ 之晶圓工廠為需要製造32百萬晶元/吋² DMOS，而 $0.6 \mu\text{m}$ 之工廠為需要於180百萬晶元/吋²設計。在此正文中，該術語“ $0.6 \mu\text{m}$ 工廠”參照該設施能夠以必要之空氣以及水潔淨位準生產之最高密度CMOS IC處理之態樣大小。所以該術語“ $0.6 \mu\text{m}$ ”不僅參照閘極大小，亦且最小接觸視窗、金屬規則以及甚至所需之表面平坦化種類。特定地是，金屬階躍覆蓋率為使用小接觸視窗之議題以及需要通常在 $0.8 \mu\text{m}$ 工廠不可得到之技術以及設備。所以達成高晶元密度不純粹是使用較良好、更現代化晶圓工廠之事實。需要新發展解決製造可靠、高良率、極端密集之功率MOSFETs之問題。

圖11A-11E解釋形成超自我對準(SSA)溝渠DMOSFET處理之基本元件。該處理說明以近接至背側少之矽或是近接至

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (21)

介於溝渠之間表面而不需要接觸光罩接觸矽臺面區域頂部之形成密集陣列溝渠電容器之方法。此SSA電容器與溝渠-閘極DMOSFET之形成一致，但不限於此。例如，SSA陣列可用於絕緣閘極雙極電晶體(IGBT)、MOS閘極雙極裝置以及其他種類裝置。

氮化物層102(或是另一層“硬性”材料如氧化物)為選擇以定義溝渠104(圖11A)而由後續處理操作殘存，其中一些操作將在高於光阻可以忍受之較高溫度。氮化物為較佳，因為可以藉由化學蝕刻技術加以移除而不會侵害用以保護溝渠閘極之氧化物。氮化物層102為典型地在矽主體108之主要表面103上之薄氧化物層106上形成，以由介於矽主體108與氮化物層102之間之熱膨脹係數(TCE)降低任何應力。在一些處理中，薄氧化物層106可以被消除。另一額外氧化物層(沒有顯示)亦可以在氮化物層102上形成以在溝渠蝕刻處理期間避免腐蝕。用以定義氮化物態樣之光阻層(沒有顯示)亦可以在矽蝕刻處理期間餘留在氮化物或是氧化物夾心頂部上。在溝渠已經定義之後，該溝渠為藉由以已知處理加以蝕刻而形成(例如，反應離子蝕刻(RIE))。此造成圖11A顯示之結構。“臺面”114為形成在溝渠104區段之間。如所示，在此具體實施例中矽主體108包含磊晶層，但是本發明並不如此加以限制。

如將瞭解，圖11A-11E顯示一陣列之多數MOSFET，典型地包含功率MOSFET之數百萬晶元。如所示，產生之結構為溝渠功率MOSFET結構元件之大面積電容器。

五、發明說明 (22)

該溝渠之後被氧化以形成保護氧化物(沒有顯示)以降低由溝渠蝕刻處理所造成之任何表面毀損。該保護氧化物接著被移除。閘極氧化物層110被形成以及該溝渠以多晶矽填入。該多晶矽被回蝕而以矽主體108主要表面將閘極112加以平坦化(圖11B)。

種種摻雜物可以藉由在如裝置所需建構以及其必要PN接合之這些步驟期間之預先沈積或是離子植入而導入。此細節將在下文之溝渠功率MOSFET典範製造中說明。接著,多晶矽閘極112之顯露表面被氧化以形成覆蓋閘極112之厚氧化物層116(圖11C)。厚氧化物層116保護閘極112免於後續蝕刻以及“嵌入”閘極112至溝渠104內,所以閘極112將不會短路至將在完成裝置中覆蓋溝渠104之金屬(源極)。氮化物層102防止在臺面114上之氧化物層116被氧化。在裝置製造之該點上,單一光罩(氮化物層102)已經定義矽臺面114以及由氧化物層116保護之嵌入閘極溝渠104。在傳統處理中,用以嵌入閘極之氧化物不局部化或是“自我對準”至溝渠區域,但是可以延伸至臺面上或是跨越臺面。

氮化物層102之移除基本上為在SSA處理流程中之接觸光罩操作,因為在氮化物層102之下之氧化物層106被選擇為與覆蓋閘極112之厚氧化物層116比較為薄。隨著氮化物層102移除之結構顯示在圖11D中。

如圖11E所示,氫氟酸(HF通常在水中稀釋)之短下沈,或是短同位素電漿氧化物蝕刻,由臺面114上移除氧化物層106而不覆蓋內嵌多晶矽閘極112。形成之接觸面積118介於

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (23)

矽與金屬層(將沈積)之間，由一區段至次一溝渠104直接延伸貫穿臺面114，態樣由原始溝渠光罩本身加以定義。所以該接觸自我對準至溝渠本身以及延伸至溝渠角落120，其中溝渠104之壁貫穿矽之表面103。所以，顯露之臺面118或是接觸為由可以定義溝渠104之相同光罩態樣以及厚氧化物層116加以定義。以此方式可能降低臺面114寬度。

相反地，在傳統溝渠裝置中接觸為由另一態樣，所謂之“接觸光罩”加以定義。接觸光罩之態樣需要小於臺面寬度以允許不完美對準以及氧化物蝕刻之變化(參考圖12A)。

因為氧化物層116為在多晶矽回蝕(圖11B)之後形成，所以厚氧化物層116之頂部表面與臺面114之表面幾乎為同平面，結果造成介於臺面與氧化物之間較沈積氧化物與典型接觸光罩之使用形成之結果為小之階梯。此情形由圖12A之比較看來為明顯，該圖顯示傳統溝渠DMOSFET，以及圖12B顯示如此發明之臺面，而金屬層122與臺面114之頂部表面接觸。

結果，不存在臺面-至-臺面(源極金屬)接觸之大小限制，因為沒有分離接觸光罩在晶元陣列本身中使用，雖然分離接觸光罩可能仍然需要以形成與達成健全ESD效能之多晶矽閘極匯流排、終端以及多晶矽PN二極體陣列之接觸。同樣地，沒有金屬條覆蓋率問題存在於活性陣列中，因為高度落差被降低。縱使接觸光罩為所需(例如，降低介於多晶矽閘極與頂部金屬之間之電極間電容)，如圖12C所示，高度落差可以被降低，因為某些氧化物為在矽表面“之下”。

五、發明說明 (24)

功率 MOSFET 已知之品質因數為面積-對-寬度比率 A/W ，為提供既定“通道寬度”(大略說來，MOSFET 晶元之周長)所需之晶圓面積量測。各種不同裝置之比較可以使用 A/W 比率為裝置效能以及導通電阻之指示器而執行。 A/W 越小，效能較佳。

圖 13 使此 A/W 比較(使用先前定義之等式)為矽臺面寬度 Y_{SB} 之函數。該正方形晶元具有 U-型曲線，而無論何時當臺面與溝渠寬度相等時為最小。無論何時當源極-主體大小為小於閘極大小時，臺面寬度之任何降低將較其節省面積為高度降低晶元周長，因此增加 A/W 比率。對 $1\text{-}\mu\text{m}$ 寬之閘極而言，封閉晶元之最小 A/W 幾何地發生，其中臺面 Y_{SB} 亦為 $1\text{-}\mu\text{m}$ 寬，結果造成 $2\text{-}\mu\text{m}$ 之晶元節距。在此最小點， $2\text{-}\mu\text{m}$ 節距裝置之 A/W 對封閉晶元或是條紋幾何為相同。

然而，在商業業務中，溝渠角落具有主動通道導電之封閉晶元設計展現不協調之洩漏以及由於包含短通道效應、暫態增強之擴散以及結晶缺陷之各種不同原因造成之降低定限。如稍早所提到關於圖 4C，此問題之解答為在防止植入每一臺面角落之 N^+ 源極植入光罩之“角塊”態樣之導入。請注意溝渠閘極柵極之內部角落為溝渠形成之後形成保留之矽臺面外部角落之相同態樣。

因為此角塊態樣，所以晶元節距之各漸增降低將較其節省面積為更顯著地降低通道周長。因此，如 Y_{SB} 降低時，更進一步減少臺面大小為小於溝渠閘極大小將產生 A/W 迅速上升。亦請注意發生在區域 II 之二 $1\text{-}\mu\text{m}$ 晶元設計之 A/W 最

五、發明說明 (25)

小者具有介於單一與 $2\ \mu\text{m}$ 之間之 Y_{SB} 值。如稍早所說明，在區域II中，只有條紋設計為可實施，所以接觸大小造成金屬階躍覆蓋率問題。可實施之最新生產裝置識別為曲線最右邊之二圓形，仍然在區域III中遠離其 A/W 最佳值。

圖13亦解釋 $0.8\ \mu\text{m}$ 以及 $0.5\ \mu\text{m}$ 條紋設計繼續改良，亦即降低 A/W 比率在 $1\ \mu\text{m}$ 正方形設計晶元設計之下。而小接觸光罩金屬覆蓋率問題之解答，可以達成次單一 A/W 值之 $1.2\ \mu\text{m}$ 臺面仍然使用基於接觸光罩之條紋設計(區域II)。但是由於 A/W 值為毫不接近其最小值，所以使用自我對準以達成臺面寬度在 $0.9\ \mu\text{m}$ 之下之臺面更進一步縮小至區域I內，仍然為有利以及受保證。如所示，使用此自我對準技術，在 $0.5\ \mu\text{m}$ 之下之 A/W 為實際可行。

注視相對於定義為晶元密度之橫座標繪圖之相同幾何設計之 A/W 比率(圖14)而非清楚地顯露使用較高密度以降低 A/W 之利益之臺面寬度。注意條紋設計需要較封閉方式為高之晶元密度以達成可比較之 A/W 效能。例如，70百萬晶元/吋²條紋設計為所需以恰好達到32百萬晶元/吋²正方形晶元設計之同位。換句話說，經由此發明成為可能之自我對準以及延伸性大小定標度為需要於補償條紋幾何之 A/W 特徵固有缺點。幸運地是，在條紋設計之可能主體以及源極擴散(在條紋之 z -方向)之連續性或是遠程主體接觸(再次在 z -方向)藉由允許較緊密大小而輔助補償 A/W 缺點。在圖14之圖形中，趨近每平方吋一百萬晶元(10億晶元/吋²)之密度期待為使用由此說明之本發明成為實際可行之溝渠

五、發明說明 (26)

DMOS結構。應用這些方法，此設計之定標度甚至不限於此數目，但是期待為不定地定標度，而只藉由光學微影技術加以限制。

圖 15A-15D 解釋種種溝渠 DMOS 結構之橫截面圖，各結構沿著溝渠側壁以及底部具有均勻一致之氧化物厚度。在此案例中，均勻一致定義為閘極氧化物不意圖以在溝渠側壁與其底部表面上產生不同氧化物厚度之方式加以製造。當然，該氧化物厚度為期待依據由溝渠本身貫穿之各種不同結晶平面之不同氧化速率以及藉由應力感應增強或是減緩氧化沿著溝渠表面變化。

在圖 15A 中，該主體區域 P_B 為均勻一致而且沒有特定區域被修整以展現較主體-至-汲極接合面 150 為低之崩潰電壓，亦即作用為電壓鉗位。該裝置可以受於閘極氧化物之熱載體衰減以及非期待地展現接近該薄閘極氧化物之累增。熱載體產生可以藉由保持主體-至-汲極接合面 150 盡可能接近多晶矽閘極而加以最小化。

在圖 15B 中，深 P 區域 152 為用以局部降低崩潰電壓以及作用為電壓鉗位（在該橫截面圖上概要呈現為介於深 P 區域 152 與 N-埋入層 156 之間之齊納二極體 154）。如 1995 年 6 月 2 日申請之申請案案號為 08/459,555 號之說明，該申請案在此處以提及的方式併入本文中，該電壓鉗位可能在整個裝置或是晶元陣列中隨機或是規則間隔重複。鉗位觀念在使用先前技藝中之已知方法之極端緊密裝置中為不可製造。使用

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (27)

傳統方法時，接觸小尺寸鉗位而不建立與閘極之短路通常為不可能。

在圖 15C 顯示之裝置類似於圖 15B 之裝置，除了高度摻雜設定以外，電壓鉗位之累增崩潰為位於 P_B 主體區域內部以外，但是具有較高濃度。使用傳統方法而沒有建立與閘極之短路時，接觸該小尺寸鉗位通常為不可能。

在圖 15D 中，解釋對接之源極/主體接觸，該接觸可應用於封閉晶元或是條紋設計。金屬層接觸 $N+$ 源極區域 159 以及 $P+$ 主體區域 160，因此將源極以及主體短路在一起。在圖 15A、15B 以及 15C 中， z -維(沿著不在圖繪中顯示之切斷平面之溝渠)之主體接觸為假設。或者，顯示沒有與 P_B 區域之 $P+$ 接觸之那些裝置可能被設計以及生產，所以該主體區域在其斷開狀態為完全耗盡。因為該自我對準接觸延伸至溝渠邊緣，所以 $N+$ 源極之長度被縮短而且仍然保證良好之歐姆接觸。 $N+$ 源極區域之大小以及所以臺面之大小不能不用由此說明之技術而加以達成。

圖 16A 解釋薄閘極氧化物溝渠 DMOS 裝置之場板感應(FPI)崩潰。如圖 16 解釋，在 FPI 限制裝置之離子化發生在重疊汲極之溝渠角落上。如氧化物變薄，崩潰電壓減低，如圖 16B 所示。無論如何 FPI 崩潰為普遍，累增以及載體產生為位於接近溝渠閘極以及其閘極氧化物，使閘極受到熱載體損毀以及氧化物損耗。

薄氧化物溝渠 DMOSFET 之另一缺點為介於閘極以及汲極之間之重疊電容，以及由此電容形成之閘極電荷之增加(參

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

考圖 17A)。依據輸入電容以及相對應閘極電荷之閘極-汲極電容 C_{GD} 效應更進一步由米勒效應惡化。米勒效應為由於閘極-汲極電容回饋之輸入電容之增加。該效應被視為圖 17B 閘極電壓曲線之平坦穩定水準，因增加閘極電荷之閘極電壓之上升被停止而汲極電壓下降以及裝置被打開。在跨越裝置之電壓為低之後，亦即為完全開啓，則閘極電壓繼續和輸入電荷成比例地上升。本質上，該閘極電荷為用以抵消跨越閘極-至-汲極發生之電壓 ΔV_{DG} 。因為穩定位準之增加需要更多電荷(在 x-軸描繪之值)，則“有效”輸入電容為增加以及該裝置在開關期間將展現更高之能量損耗。雖然閘極-主體以及閘極-源極電容 C_{GB} 及 C_{GS} 亦為呈現，它們對輸入閘極電荷之貢獻大小，如圖 17B 所示之穩定位準之前曲線之斜率，實質上小於汲極項，亦即，穩定位準較寬。由該圖形可以清楚地看出較薄氧化物在較低閘極偏壓開啓(在許多應用中較低定限電壓為所期待)，但需要更多電荷達到閘極偏壓之相同最終值(以及可能達到相同之通道增強)。更期待達成低定限以及高跨導性而不增加重疊電容，但是特殊處理以及裝置結構為需要如此執行。

本發明之一具體實施例顯示在圖 18。MOSFET 180 以具有 N-磊晶層 188 之條紋設計加以形成，具有溝渠札記 181、矽臺面 182 以及接觸光罩之自我對準態樣。跨越該臺面(在 y-方向)，N+源極區域 183 以及 P_B 主體區域 184 為可能自我對準至溝渠。N+源極區域 183 為由 P+主體接觸區域 185 在 z-維週期性地中斷以供接觸在下面的 P_B 主體區域 184。此態樣在

五、發明說明 (29)

條紋設計中於設定晶元節距不是關鍵，所以自我對準不需要於z-維態樣。如所示，該溝渠頂部氧化物層186在表面之下嵌入閘極以避免與源極金屬短路(沒有顯示)，但是不在矽臺面182之上顯這地凸出。因此避免具有源極金屬之階躍覆蓋率問題。均勻一致之N-型埋入層(NBL)187顯示在N-磊晶層188以及N+底材189中，指示頂部表面至NBL之距離可以在N-磊晶層188生長之後藉由離子植入加以設定。為降低重疊電容以及避免場板感應崩潰效應，無論何時薄閘極氧化物為所需，薄氧化物層部分190在溝渠底部形成，但是不在重疊裝置之通道區域191之溝渠側壁上。

在此具體實施例中，閘極大小 Y_G 選擇為 $0.5\ \mu\text{m}$ 以及形成裝置源極-主體元件之矽臺面具有 $0.5\ \mu\text{m}$ 之 Y_{SB} 。如條紋設計，裝置建構不需要角塊(除了可能在長手指端以外)而且所以不犧牲裝置之A/W向率。此外，無論何時當 $Y_{SB}=Y_G$ (如在此設計之較佳具體實施例中所做)，正方形以及條紋幾何之A/W為相等，所以條紋設計之使用不強加任何電阻損失。

源極以及主體接觸建構亦可以幾何地變化於條紋設計，如圖19A-19F之平面圖所示。該設計可以選擇以將N+源極周長加以最大化(以達成最低可能電阻)或是將與主體區域之P+接觸加以最大化(以抑制寄生雙極開啓、防止階躍恢復以及將裝置耐震化)，或是在此二因素之間取得協調。在圖19A中，N+源極區域以及P+主體接觸形成連續條紋，但是以P+孔(N+之孔)之週期性加寬改良主體接觸。可以形成

五、發明說明 (30)

為微影對準之小之N+區域窄部分將允許而不會有N+區域將消失之風險。例如，N+區域可以形成為0.2 半寬(各側)，留下P+區域之0.4 μm 孔。最小可製造臺面寬度所以為1.3 μm 之節距大約0.8 μm (假設0.5 μm 溝渠閘極)，59百萬晶元/公分²(381百萬晶元/吋²)之密度以及0.65 μm 之A/W。此種”波狀”設計為電阻以及強化之間之協調。在N+源極區域寬於P+區域之部分中，P+區域可以變成如此窄以只有提供相當電阻性接觸。例如，假使N+區域為0.3 μm 寬，P+區域將變窄為0.2 μm 。在此情況中，N+區域至P+區域之橫向擴散必須在N+植入(快速高熱注入為較佳)之後藉由限制高溫處理之量加以最小化。

強化之少許改良可以圖19B“帶狀化波狀”設計加以達成，其中P+條紋週期性地橫切臺面寬度。A/W為與沿著條紋之使用週期性呈線性比例降低。實際上，某些導電不在P+區域中經由沿著溝渠以及最終垂直導電之橫向電流流動發生。

圖19C之區段化N+源極設計降低N+接觸以及通道周長，更進一步協調導通電阻以達成增強之強化。此設計之最小可製造臺面寬度較佳地是1.4 μm 之節距大約為0.9 μm (假設0.5 μm 溝渠閘極)，51百萬晶元/公分²(329百萬晶元/吋²)之密度以及0.7 μm 之A/W。然而，因為各島狀N+需要其其本身之良好品質接觸，所以此設計之N+接觸電阻可以在製造中可觀地變化。

五、發明說明 (31)

完全不需要協調N+接觸電阻之另一設計為圖19D之竹狀或是階梯結構，其中N+源極沿著其長度接觸，除了臨時P+帶以外。最小可製造臺面寬度不由其結構加以限制。0.5 μm之寬臺面等於1.0 μm之節距(假設0.5 μm溝渠間極)，100百萬晶元/公分² (645百萬晶元/吋²)之密度以及0.5 μm之A/W(以P+帶之週期性而線性增加)。此設計將來必須可定標度為10億晶元/吋²密度(0.8 μm之節距)以及0.4 μm之A/W。圖19E以及圖19F之視窗以及帶狀視窗基本設計分別具有與圖19A以及圖19B之波狀以及帶狀化波狀設計類似之幾何態樣，但是具有較佳N+接觸電阻以及較少P+接觸面積(較不強化)。

考慮目前為止討論之幾何以及裝置態樣，SSA溝渠DMOSFET之較佳具體實施例為期待展現如表1總結之結構以及電氣特徵。

表 1

態樣	特徵	利益/優點
晶元密度	高密度 D=100百萬晶元/公分 ² =645百萬晶元/吋 ²	低通道電阻 (許多平行晶元/面積)
晶元節距	Y _{SB} =0.5 μm，Y _G =0.5 μm 節距=1 μm	低通道電阻 均勻一致汲極電流 能夠為5XI-線步進器
對準	超自我對準 SSA溝渠/頂部氧化物/臺面/ 接觸	最多接觸面積 避免閘極與源極短路 小A/W
階梯涵蓋範圍	低高度落差；臺面之下之頂 部氧化物	良好電子移動效能；低 橫向金屬電阻

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (32)

閘極周長A/W	小 A/W=0.5 μm	低通道電阻，高g _m ， 小汲極至主體蓋
陣列幾何	具有Y _{SB} =Y _G 之條紋	良好主體接觸 沒有角塊損失 與正方形晶元相同A/W
溝渠底部氧化 物 (非必要)	厚(1kÅ至3kÅ)	低閘極-汲極重疊蓋 低閘極電荷 最小FPI累增
溝渠側壁閘極 氧化物	薄(50Å至700Å)	高跨導性 低通道電阻 低定限 沒有貫穿
ESD保護	多二極體	保護薄閘極 ESD容限 DC過度電壓鉗位

表1顯示之ESD保護喚醒多晶矽層產生之背對背PN接合二極體D1、D2之組合以及電氣分流閘極至溝渠功率DMOS之源極電極。在特定電壓之下，典型為每串列-二極體對6.5-至8V，二極體D1、D2保持開路(除了接合面漏電在近微安範圍以外)。在二極體電壓之上，它們經歷累增崩潰以及導電，鉗位最大閘極電壓。圖20A顯示之單一對可以保護ESD脈衝某程度，但是仍然允許閘極氧化物某些過度電壓應力發生。甚至於單階設計不能使DC過度電壓應力在穩定狀態條件下存活。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (33)

圖 20B 之 2 階鉗位藉由以選擇於串列閘極電阻器 R1 之值限制電流流入至第二二極體對 D3、D4 而一起避免此問題。該網路可以使 DC 過度電壓狀況在閘極啓斷電壓之上無限期地存活，只要內部二極體對 D1、D2 崩潰以及保護氧化物而裝置端上之電壓不超越外部二極體對 D3、D4 之崩潰電壓。在一些具體實施例中，二極體對 D3、D4 之阻擋電壓可以等於二極體對 D1、D2 之阻擋電壓。

圖 20C 顯示之用於二背對背組 D5、D6、D7 以及 D8 串列連接之多二極體建構，亦即 NPNPN，使用由源極植入之 N+ 為 N+ 陰極，以及可能使用專屬 P- 型植入為陽極以設定崩潰電壓值。二極體 D5-D8 為以多晶矽層 198 形成，該層覆蓋氧化物或是介電質層 199。與二極體 D5 以及 D8 陰極之接觸為藉由金屬層 197 形成。假使能夠承受低於 6.5V 電壓之閘極氧化物層為保護時，內部累增二極體堆疊必須取而代之由平行化正向偏壓二極體陣列取代(圖 20D)。

圖 21A 解釋具有在閘極溝渠底部重疊厚氧化物層 214 之 N 埋入層 NBL 212 之 SSA 溝渠 DMOSFET 210 以在較低崩潰電壓裝置中(尤其是低於 12V 之累增崩潰電壓)藉由刪除汲極電阻之磊晶分量而達成改良導通電阻。N 埋入層(NBL)可以在磊晶層植入之後立即植入，亦即在溝渠形成之前或是在溝渠再充填之前溝渠形成之後。

如圖 21B 以及圖 21C 所示，當 NBL 在溝渠形成之後加以植入時，其展現與植入期間矽頂部表面之形狀一致或是遵守該矽頂部表面之形狀。因此，該 NBL 較延伸至介於溝渠之

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

間之臺面區域更進一步延伸至溝渠之下之區域底材內。在臺面之下之區域中，縱使重疊至介於溝渠之間之臺面區域，該NBL更進一步延伸至磊晶層內以及延伸至溝渠。在圖21C中，NBL之外形遵守溝渠之那些外形，介於溝渠底部厚氧化物之間之臺面區域變成摻雜。此種形狀可以在溝渠形成之某中間階段藉由離子植入加以形成，例如，在厚底部氧化物沈積之後但是在以閘極多晶矽重填溝渠之前，或是在多晶矽重填以及回蝕之後但是第二多晶矽層沈積之前。

SSA溝渠DMOSFET之製造以圖22之流程圖加以概述。包含與下列程序相關之主要方塊：

- 汲極形成
- SSA溝渠形成
- 閘極形成
- 主體形成
- 閘極匯流排/多晶矽二極體形成
- SSA源極/臺面形成
- SSA接觸形成
- 可選擇之P+主體接觸形成
- 金屬接觸形成

圖22之流程圖詳述形成各結構元件之步驟為一系列標示方形。方形角落被剪掉之那些步驟為可選擇以及假使特定結構態樣不為特別具體實施例所需時可以省略。箭頭之多數路徑指示可選擇處理流程。說明之流程不防止產生類似結構元件之其他順序以及不因此表視為限制。

五、發明說明 (35)

由此處理順序產生之SSA溝渠MOSFET之橫截面圖為顯示在圖23中。雖然顯示之裝置為N-通道SSA溝渠DMOS，該流程藉由取代N-型摻雜物為P-型亦可以產生SSA P-通道，反之亦然。在其較佳具體實施例中，因為該處理為低-熱-預算製造順序，所以擴散循環不需要顯著地交替以產生P-通道裝置。

圖23解釋包含其活性晶元陣列260、閘極匯流排區域270、多晶矽二極體區域280以及邊緣終端區域290之裝置250重要態樣。該圖示為概要以及解釋性意識，在各種不同區域間之特殊關係可以依據裝置佈局而加以變化，以及裝置可以依據選擇橫截面線被切斷而在各種不同組合中發生。圖23之目的為顯示單一圖繪之種種區域而解釋此種裝置之製造。

在活性晶元陣列260中，許多溝渠閘極區段262形成陣列或是包含嵌入多晶矽閘極264之柵極，薄氧化物層部分266在鄰近通道區域263之側壁上，厚氧化物層部分268覆蓋多晶矽閘極264(以由覆蓋源極材料金屬層269電氣隔離閘極)，以及在較佳具體實施例中，位於溝渠底部之厚閘極氧化物層部分261。該嵌入多晶矽閘極264在標示為 P_B 之主體區域底部擴展之下延伸至磊晶汲極材料267內，可以均勻地摻雜，可能以接近溝渠之最高摻雜濃度分級或是成梯級，或是可以包含植入之埋入層265，如所示。該埋入層265因為其中央(在x-維垂直)不位於接近磊晶層267與N+底材300之間之介面，所以可識別為植入層。

五、發明說明 (36)

N+源極區域302延伸跨越由橫切溝渠區段而形成之臺面以及由溝渠-至-溝渠與障蔽金屬夾心303(如Ti/TiN或是W)接觸。該障蔽金屬可以在上升溫度反應以與矽臺面形成矽化物。該障蔽金屬由厚源極金屬層269覆蓋，較佳地是純鋁(Al)、鋁與1%銅(AlCu)、鋁與1%銅以及1%矽(AlCuSi)、或是可能純銅。主體接觸可以淺P+摻雜區域之週期性導入達成，其中N+不位於陣列邊緣或是沿著如圖19A-19F結構條紋之整個陣列。

閘極匯流排270包含閘極272，而高度摻雜多晶矽部分嵌入在溝渠271中以及帶狀金屬層273在頂部表面上延伸，可以代表閘極匯流排或是閘極接合墊區域。溝渠外部之多晶矽層278座落在氮化物層274頂部，而氧化物層275在氮化物層274之下。多晶矽為在其邊緣氧化以及整個結構以另一氮化物層276、295在頂部構裝。

多晶矽二極體區域280包含與閘極匯流排相同結構，除了位於二極體區域280內之部分多晶矽層278適度地以P_A陽極摻雜物摻雜以及選擇性地由N+源極摻雜物反摻雜以形成一系列二極體288。沿著閘極匯流排或是多晶矽二極體橫向延伸之任何多晶矽(如層278)在其之下包含P_B主體接合面，除了在終端區域290以外。多晶矽閘極272以及多晶矽層278為藉由金屬層269、273而接觸，介於中間之Ti/TiN障蔽金屬281局部化至接觸視窗。不像活性陣列260，接觸多晶矽層278之接觸視窗281之孔為藉由接觸光罩加以定義，其蝕刻穿過構裝氮化物層276以及薄多晶矽氧化物283。多晶矽二

五、發明說明 (37)

極體 288 系列一般為一端電氣連接至源極金屬層 269 以及另一端連接至多晶矽閘極 272。多晶矽閘極 272 之 N+ 部分以及多晶矽層 278 為藉由金屬層 (沒有顯示) 或是經由嵌入溝渠中之 N+ 多晶矽連接至多晶矽閘極區域如活性區域 260 之閘極 264。

外部終端區域 290 包含座落在氮化物層 274 以及氧化物夾心 275 以及延伸通過 P-主體 292 頂部之多晶矽場板 291 (一部分多晶矽層 278 多晶矽電極 293 之延伸)。多晶矽電極 293/場板 291 經由源極金屬層 269 形成。假使，取而代之源極金屬層 269 為由多晶矽電極 293/場板 291 分開，則多晶矽電極 293/場板 291 可能交替地經由帶狀金屬層 273 短路至閘極電極 272。當該裝置在關閉狀況受到偏壓時，因為功率 MOSFET 閘極以及源極典型為短路在一起，所以閘極 272 以及場板 291 之操作將為相等。在導通狀態之源極電位之上的額外閘極偏壓實質上不修正場板操作，所以場板能夠在所有閘極偏壓狀況執行終端工作。

第二多晶矽電極 294 以及第二場板 299 在環繞裝置外部邊緣之汲極電位偏壓以及往主體接合面橫向延伸，停止以介於其與源極場板 291 之間橫向形成插入隙。該隙以氮化物 295 填入，該氮化物密封以及構裝多晶矽場板 291 以及 299 而且保護薄氧化物夾心 275。外部多晶矽電極 294 以及場板 299 為經由金屬 296 而短路至裝置外部邊緣，亦即汲極電位，藉由至晶圓邊緣上之部分磊晶層 267 之 N+ 接觸 297。或是，第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (38)

二場板299可以延伸至晶片外部邊緣以及至劃線區內，其中用以分離晶片之鋸將切斷場板299而因此將其短路至汲極。

雖然許多製造順序存在以導入摻雜物至主動裝置區域中，揭示之發明主要結構態樣為其藉由氮化物層274定義之SSA(超自我對準)。處理流程在圖24A-24Q中定義。

汲極形成

如圖24A所示，該處理以N+底材300開始，N-磊晶(epi)層267為藉由已知處理生長在該底材上面。應力釋放氧化物層275被形成，以及數層埋入層265被植入，如圖24B所示。該步驟對活性陣列區域260、閘極匯流排270、多晶矽二極體區域280以及邊緣終端區域290為一致。NBL植入能量可以調整為程式化裝置之 BV_{DSS} 。表2顯示典型處理參數。符號 B^+ 、 P^+ 以及 P^{++} 分別參照單獨離子化硼、單獨離子化磷以及雙重離子化磷。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (39)

表 2

態樣	範圍	目標	需求	P-通道
N++ 底材 300	1至5mΩcm 砷/磷	1至3mΩcm	最低可能電 阻性	P++硼 相同規格
N-epi 層 267 (厚度以及 摻雜濃度)	1至10 μm 10 ¹⁵ 至 4•10 ¹⁷ cm ⁻³ 磷	3 μm	由BV _{DSS} 規格設定	P-磊晶
應力釋放 氧化物層 275(厚度 , 回火溫 度及時間)	30至700Å 800至1100°C 5至60分 乾O ₂	90 Å 850°C 15分	稍後在處理 中經由其植 入為N+; 在 多晶矽頂部 氧化期間防 止“氮化物提 升”	層可能為較 厚, 因為B ⁺ 植入可以容 易地穿透; 較佳地是與 N-通道處理 相同
N埋入層 265(植入 劑量及能 量)	10 ¹² 至5•10 ¹³ cm ⁻² 500keV至2.3MeV P ⁺ 或是P ⁺⁺	5•10 ¹² cm ⁻² P ⁺⁺ 1.7 MeV	表面算起深 度: X _{NBL} (頂 部)>3 μm	PBL植入 1.3MeV B ⁺ 或是B ⁺⁺

溝渠形成

開極溝渠形成牽涉到使用氮化物層274硬光罩之光罩定義以及溝渠蝕刻或是將使蝕刻處理存活之另一介電質。氮化物層274為藉由化學汽相沈積(CVD)加以沈積以及可以薄氧

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (40)

化物封裝以輔助降低其腐蝕。氮化物層274或是其他介電質相對於稍後在處理中之氧化物必須具有良好之乾蝕刻選擇性。圖24C顯示氮化物層274之沈積。與氧化物比較而顯示此選擇性之任何其他介電質亦能夠滿足。

圖24D顯示具有精細線及空間之溝渠-光罩步驟以形成活性陣列區域260之溝渠區段262。光阻層320沈積在氮化物層274上以及使用已知微影處理(光罩1)加以圖案化。在閘極匯流排區域(沒有顯示)中，每匯流排只有一或二溝渠為蝕刻而開啓，在終端區域290中，二溝渠為開啓，以及在多晶矽二極體區域280中沒有溝渠為開啓。顯示在圖24E之溝渠蝕刻為使用RIE蝕刻器執行(普通用於多晶矽蝕刻之相同設備)。光阻層320在矽溝渠蝕刻期間可以留在適當地方，縱使氮化物或是氧化物-氮化物堆疊將作用為光罩。在高於平均溫度(例如，高於傳統烘烤之10-20℃)之溫度將光阻硬-烘烤將使光阻藉由改良光阻之跨越鏈結而更硬。顯露於紫外線(UV)具有類似效應。所以光阻之陡峭外形在蝕刻期間將被維持。特定地是，這些步驟在矽溝渠蝕刻期間將氮化物腐蝕加以最小化。之後，光阻為條紋化。典型處理參數顯示在表3中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (41)

表 3

態樣	範圍	目標	需求	P-通道
氮化物層 274 沈積 (CVD)(厚度)	500 至 3000Å	2000Å	B ⁺ 主體植入 必須穿透良 好氧化物蝕 刻選擇性	P+ 主體植入 必須穿透
氧化物層 (沒 有顯示) 沈積 (厚度)	200 至 5000Å	沒有顯示 (1000Å)	在矽蝕刻期 間防止氮化 物腐蝕	相同
溝渠光罩 (光 罩 1)(隙寬度)	0.2 至 1.5 μm 線及空間	0.5 μm	圖案/蝕刻氧 化物及氮化 物	相同
溝渠蝕刻 (深度)	0.3 至 4 μm 深	2 μm	圓形角落陡 峭側壁 <100>對準	相同

閘極形成

在溝渠已經蝕刻之後，該溝渠被氧化以及保護氧化物層被蝕刻(沒有顯示)以移除任何損毀。如圖 24F 所顯示，該溝渠之後被氧化以形成閘極氧化物層 266。在較佳具體實施例中，厚氧化物層 261 在最終側壁閘極氧化物層 266 形成生長之前被形成在溝渠底部上。厚底部氧化處理之一例子與圖 25 連結在下文說明。再次參考圖 24F，第一多晶矽層 322 之後被沈積以及較佳地是在原處同時為低電阻性，較佳地是

(請先閱讀背面之注意事項再填寫本頁)

訂 1 線

五、發明說明 (42)

為N-通道裝置與磷摻雜或是為P-為通道裝置與硼摻雜。或是，多晶矽層322可以被沈積、非摻雜以及在60至100 KeV能量以 1 至 $7 \times 10^{15} \text{cm}^{-2}$ 之劑量磷植入以及之後在900至1100 °C回火10分鐘至2小時。

如圖24G所顯示，第一多晶矽層322之後往下回蝕至溝渠內，或是至少至氮化物層274表面之下。多晶矽層322在此步驟整體由多晶矽二極體區域280移除。顯示在圖24F以及圖24G之步驟之解釋性處理參數為顯示在表4中。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (43)

表 4

態樣	範圍	目標	需求	P-通道
保護氧化物(厚度、回火溫度及時間)	70至200Å 800至900°C 15至40分 乾O ₂	300Å 850°C 28分	以後續氧化物 回蝕移除損毀	相同
厚底氧化物層 261 (可選擇) (厚度)	在溝渠底部1000 至3000Å	2000Å	各種不同方法 方向性 沈積/阻抗 回蝕 側壁氮化物 /LOCOS	相同
閘極氧化物層 266(厚度、回火溫度及時間)	70至700Å 800至950°C 5至130分 乾O ₂	175Å 或 是 300Å 850°C 16或是60分	主動通道閘極 氧化物	相同
多晶矽層 322(厚度)	2000至12000Å 原處摻雜之N+ < 75Ω/sq.	7000Å 18Ω/sq.	閘極多晶矽必須充填溝渠 $X_{poly} > 1.4 \cdot y_G / 2$	相同
多晶矽層 322 回蝕	在氮化物頂部 在源極底部之上	均勻地具有 氮化物	為主體植入而 由表面移除	
由氮化物頂部 移除氧化物	移除所有氧化物 (0至5000Å)	3500Å	後續植入之條 紋氧化物	相同

(請先閱讀背面之注意事項再填寫本頁)

訂 · 線

五、發明說明 (44)

假使在溝渠蝕刻之前利用厚底部氧化物處理或是利用氧化物硬光罩時，氧化物層將在多晶矽回蝕(不在圖24G中顯示)之後保留在氮化物層274頂部上。此氧化物較佳地是在後續離子植入之前在此步驟移除。在氧化物蝕刻期間必須顧慮到不要蝕刻或是損毀閘極氧化物。

主體形成

如圖24H所示，主體區域 P_B 接著經由氮化物層274導入。由於硼為小離子，所以為較佳P-型摻雜物。硼容易地穿透氮化物層274以及可以深深地植入至單獨由離子植入形成主體摻雜外形之磊晶層267內，而不需要長的灌輸擴散。假使最終外形為離子植入時，需要由終端區域290塊植入之光阻層324必須足夠厚，一般為1至3 μm ，以阻擋摻雜物至MeV範圍。建議劑量為 $8 \times 10^{12} \text{cm}^{-2}$ 至 $8 \times 10^{13} \text{cm}^{-2}$ 範圍在800 keV至3 MeV範圍之硼摻雜物。光阻層324之態樣大小不是緊要的，因為只有終端需要植入塊。甚至於，主體植入稍後在循環中可以被導入，但是在此階段之植入具有形成之主體-汲極接合面為均勻一致之優點，避免任何局部化接合面崩潰問題。

傳統擴散版本之主體植入為在 $1 \cdot 10^{13} \text{cm}^{-2}$ 至 $1 \cdot 10^{14} \text{cm}^{-2}$ 範圍之劑量以及60至100 keV範圍之能量。此淺植入跟隨1050 $^{\circ}\text{C}$ 至1150 $^{\circ}\text{C}$ 之灌輸擴散6至15小時，結果形成深度為1.7 μm 之典型接合面。更多典型處理參數既定在表5中。

五、發明說明 (45)

表 5

態樣	範圍	目標	需求	P - 通道
主體光罩(光罩2) (光阻)	除了終端以外沒有小光罩	在晶圓邊緣為 4 μm	阻擋主體植入至MeV範圍	相同但是阻擋磷
主體植入 (傳統)	10^{13} 至 10^{14}cm^{-2} ， 60至150 keV B ⁺	$6\bullet 10^{13}\text{cm}^{-2}$ ， 80 keV	在擴散之後； 400至900 Ω/sq .	P ⁺ 植入； 120 keV
主體植入 (高能量)	8×10^{12} 至 $8 \times 10^{13}\text{cm}^{-2}$ ， 800 keV至3 MeV硼	$3 \times 10^{13}\text{cm}^{-2}$ ， 1.6 MeV	設定定限 V； 避免擊穿	磷植入， 35%較高能量
灌輸擴散	1050至1150°C， 6至15小時	1100°C 12小時	$1 < X_{\text{JB}} < 2 \mu\text{m}$ 典型1.6 μm	相同

或是，“鏈鎖植入”技術可用以形成主體區域。例如，連續“鏈鎖”硼植入可以在 $7\bullet 10^{12}\text{cm}^{-2}$ 劑量以及在1 MeV、700 keV、525 keV、375 keV、225 keV以及125 keV之能量執行。在其他具體實施例中可以使用不同劑量以及能量，而且至少一劑量可以在單一裝置中使用。此處理產生圖26B顯示之一般形式之摻雜物設定檔(其中顯示四植入之“鏈鎖”)，可以和如圖26A顯示之單一植入主體之傳統摻雜物設定檔比較。該鏈鎖植入方法產生更均勻一致之主體摻雜濃度以及更陡峭之濃度梯度(在主體-汲極接合面)，具有既定定限電壓之較高總主體電荷，因此降低裝置之亦損性以擊穿崩潰電壓。此技術亦具有源極-主體接合面深度不像影響以傳統擴散主體處理形成之DMOS裝置般影響裝置定限電壓之優點。主體-汲極接合面可以定目標在與傳統擴散主體MOSFET相

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (46)

同之深度。選擇最大植入能量以穿透氮化物以及設定接合面在所需深度。至臺面區域之植入不需要穿透厚第一多晶矽層322、因為多晶矽層322已經由上述回蝕步驟之臺面上移除。

閘極匯流排/二極體形成

閘極匯流排多晶矽二極體為在第二沈積多晶矽層278中形成，如圖24I所示跨越所有裝置面積而沈積，與顯露之其餘部分多晶矽層322接觸。多晶矽層278為非摻雜或是輕微摻雜沈積，所以可以容易地藉由隨後之植入加以反摻雜，如二極體植入或是源極植入。沒有介面氧化物可以呈現在多晶矽層322與278之間。多晶矽層278為具有硼之次一數層-植入以形成多晶矽二極體PN接合面之陽極。

如圖24J所示，可選擇薄氧化物層328之後形成在多晶矽層278頂部上，以及氮化物層330為藉由化學汽相沈積加以沈積以及藉由“多光罩”(沒有顯示)加以圖案化。氮化物圖案被視為“多光罩”，因為它是將決定多晶矽由溝渠浮現以及至表面上之此光罩態樣，所以可以決定多晶矽之接觸。它亦是決定多晶矽層278將座落在場氧化物頂部以定義閘極匯流排以及汲極與二極體面積之場板之多光罩。假使多晶矽為清楚時(假設正面光阻)，氮化物層330以及所以多晶矽層278將受到回蝕，因此多晶矽將由表面移除以及回蝕至溝渠中(亦即，嵌入)。因此，氮化物層330在活性陣列區域260中移除，但是留下保護閘極匯流排區域270以及多晶矽二極體區域280。在終端區域290中之二區域亦留下由氮化物層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (47)

330保護，其中之一區域為源極場板291而另一區域為汲極場板299。氮化物層330作用為二角色：第一，其定義多晶矽層278在何處將不回蝕，以及第二，其防止多晶矽匯流排278、源極以及汲極場板291、299以及多晶矽二極體區域280之隨後氧化。

如圖24K所示，多晶矽層278在顯露區域回蝕至與底部氮化物層274相等位準。氮化物層274顯露終端區域290中央以及顯露在活性陣列區域260之所有矽臺面頂部上。在圖24I-24K解釋之步驟之典型處理參數為既定在表6中。

表 6

態樣	範圍	目標	需求	P-通道
多晶矽層278(厚度)以及數層硼植入(劑量及能量)	1000至8000 Å 非摻雜，之後B ⁺ 植入，20至80 keV 10 ¹² 至10 ¹³ cm ⁻²	5000Å之後 60 keV 3•10 ¹² cm ⁻²	當摻雜N-型時閘極聚合體必須充填溝渠以及形成與聚合體1之接觸	類似但是磷被植入
多晶矽氧化物層328(厚度、回火溫度及時間)	70至700 Å 800至1000°C 5至60分 乾O ₂	300 Å 850°C 28分	稍後在處理中經由其植入為N+	可以較厚因為B植入可以穿透
氮化物層330(厚度)	500至3000 Å	2000 Å	良好氧化物蝕刻選擇性	類似
多晶矽光罩(光罩3)	0.5至3.5 μm 線及空間	1.5 μm 線及空間	圖案/蝕刻氮化物/氧化物以及聚合體	相同
多晶矽層278(回蝕)	在氮化物頂部之下 在源極底部之上	與氮化物底部相等	由主體植入之表面移除	相同

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (48)

源極/臺面形成

如圖 24L 所示，溝渠區段 262 之多晶矽層 278 顯露表面被氧化以在活性陣列中形成氧化物層 268。閘極匯流排區域 270 之多晶矽層 278 側邊緣以及終端區域 290，亦即非由氮化物層 330 覆蓋之顯露區域亦被氧化。活性陣列 260 之臺面防止由氮化物層 274 氧化，以及閘極匯流排區域 270 之多晶矽層 278、多晶矽二極體區域 280 以及終端區域 290 防止由氮化物層 330 氧化。

接著，如圖 24M 所示，氮化物層 274 在處理開始時第一次由顯露矽臺面上方之氧化物層 275 之活性陣列區域 260 加條紋。氮化物層 330 亦被移除，剩下多晶矽匯流排，只由薄多晶矽氧化物 328 覆蓋之多晶矽二極體以及場板 291、299 為在多晶矽層 278 沈積之後生長。該多晶矽層 278 以 P-型雜質(沒有顯示)之數層陽極植入加以摻雜，所以多晶矽層變成 P-型，除了層 278 在原處接觸摻雜之多晶矽層 322 以外，其中一些向外擴散可以發生在層 278 內。在這些區域中，高度摻雜之 N+ 多晶矽層 322 之往上擴散可能造成某些覆蓋非摻雜部分之多晶矽層 278 變成與 N 型雜質摻雜為高於陽極植入之 P-型摻雜物濃度之濃度。例如，在終端區域 290 中直接在溝渠上方之多晶矽層 278 部分將展現 N+ 摻雜物濃度，而在場板 291、299 之多晶矽層 278 部分可以保留 P-型直到 N+ 源極植入為止(下文說明)。

光阻層 332 之後被加上，定義活性陣列區域 260 之 N+ 源極區域 302 以及多晶矽二極體區域 280 之二極體陰極。光阻層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (49)

332亦充填閘極匯流排區域270之氮化物層274與終端區域290之隙。包含閘極匯流排、多晶矽場板291、299以及多二極體陰極之完整結構為以砷植入，如圖24N所示。光阻層332之後被移除。圖24L-24N顯示之步驟之典型處理參數為顯示在表7中。

表 7

態樣	範圍	目標	需求	P - 通道
光阻層 278 之 氧化(厚度、 回火溫度及時 間)	800至3000 Å 800至1050°C 5至80分	1500 Å 900°C 50分	使溝渠閘極免 於受到氧化物 浸漬以及金屬 短路(自我對 準接觸)	相同
條紋氮化物層 274	移除顯露之氮 化物	清楚	在底層聚合體 之良好選擇性	相同
源極光罩(光 阻)光罩4	阻擋砷植入	3 μm 態樣	定義聚合體二 極體陰極以及 N+源極	阻擋BF ₂ 植入
N+(As) 植 入 (能量及劑量)	20至180 keV 10 ¹⁵ 至10 ¹⁶ cm ⁻² As ⁺	100 keV 8•10 ¹⁵ cm ⁻²	N+ 必須 穿 透 啓始以及聚合 氧	BF ₂ 典型 60 keV

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (50)

SSA接觸形成

由於多晶矽匯流排上之氧化物層328、多晶矽二極體以及多晶矽場板291，299為薄，鈍化氮化物層276之後藉由化學汽相沈積加以沈積，如圖24O所示。此跟隨著接觸光罩(沒有顯示)，在區域中開啓氮化物層276以及顯露多晶矽層278(只由薄氧化物層328覆蓋)以電氣接觸。淺之硼植入接著導入為數層植入，較佳地是在低能量以及低濃度使用 BF_2 以不反摻雜N+區域。氮化物層276亦保護介於終端區域之場板291，299之間之區域。或是，硼植入可以經由光罩定義之光阻層加以執行以及限於主體接觸將形成之區域(下文說明)。接觸為形成於多晶矽二極體陰極，以及形成於閘極匯流排。此步驟為藉由接觸光罩加以完成，該光罩開啓這些選擇性接觸之區域，因為它們不是藉由氮化物層276其餘部分加以定義。假使該接觸光罩覆蓋活性陣列時，氧化物328在接觸視窗中蝕刻以及之後該光罩可以被移除，跟隨著下沈以移除剩餘在活性區域之氮化物之下之剩餘氧化物。假使光罩在多晶矽二極體區域280、邊緣終端區域290以及活性陣列區域260具有開啓態樣時，必須顧慮到不過度蝕刻溝渠之上之氧化物層以造成短路。

在主動接觸區域顯露之薄氧化物層328之後為汲出，而不具嵌入在溝渠之多晶矽閘極之上方之氧化物層268之過度蝕刻。如圖24P及24Q所示，障壁金屬303之後在多晶矽層278以及活性陣列區域260之臺面矽表面已經顯露之處被加上。圖24O-24Q顯示之處理步驟之典型參數為顯示在表8中。

五、發明說明 (51)

表 8

態樣	範圍	目標	需求	P - 通道
氮化物層 276(CVD)(厚度)	500至4000 Å	2000 Å	保護終端、閘極匯流排以及多元二極體	相同
接觸光罩(光罩5)	蝕刻以及移除氮化物層276之接觸孔	清楚 2 μ m 接觸	開啓閘極匯流排上之小態樣	相同
P+(B)植入(能量以及劑量)	20至80 keV BF ⁺ 7•10 ¹⁴ cm ⁻² 至 3•10 ¹⁵ cm ⁻²	X _j <0.8 μ m 30 keV 2•10 ¹⁵ cm ⁻²	x _j (P+)<x _j (N+) 以避免V _t 改變	As ⁺ 60 keV 5•10 ¹⁵ cm ⁻²
氧化物dip	移除啓始氧化物	接觸清楚	不移除溝渠上之聚合頂部氧化物	相同
障壁金屬(組成以及厚度)	Ti/TN 300Å至2000 Å 具有RTA燒結	1000 Å 900°C 20秒	與N+以及P+矽、N+聚合體之歐姆接觸	相同

P + 主體接觸形成

此為非必要處理步驟(沒有顯示)，其中P+植入為藉由光罩而非進入至每一接觸(如圖24O所示)而選擇。此情形允許使用較高劑量植入。該光罩必須防止P+摻雜物沿著溝渠側壁進入通道區域，除了將接觸之主體以外。表9給予此非必要步驟之一些處理變數。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (52)

表 9

態樣	範圍	目標	需求	P - 通道
P+光罩(光阻)	阻擋BF ₂ 植入	2 μ m 態樣	定義主體接觸	阻擋As植入
P+植入(能量 以及劑量)	20 至 80 keV BF ₂ ⁺ 7•10 ¹⁴ cm ⁻² 至 8•10 ¹⁵ cm ⁻²	0.8 μ m	無深度限制	As 60 keV 5•10 ¹⁵ cm ⁻²

頂部金屬形成

金屬層 269 沈積以及圖案化完成製造。不需要鈍化光罩，因為氮化物層 276 使終端以及多晶矽閘極匯流排鈍化。金屬層 269 之處理變數顯示在表 10 中。

表 10

態樣	範圍	目標	需求	P - 通道
金屬層 269 (厚度以及組成)	0.5 至 5 μ m AlCu, AlCuSi, AlSi	3 μ m AlCu	歐姆接觸	相同
金屬光罩(光罩 6)(光阻/蝕刻)	1 至 20 μ m 1 至 3 μ m	2 μ m 線以及空間	無短路	相同

圖 25A-25C 解釋用於形成厚氧化物層在溝渠底部上(參考圖 24F)之一方法之步驟。在溝渠 262 已經蝕刻之後，如圖

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (53)

24E所示，保護閘極氧化物層352為藉由熱處理形成在溝渠底部以及側壁上以修理蝕刻處理所造成之矽損毀。氧化物層352之後被移除。氧化物之後藉由CVD在垂直方向加以沈積以充填溝渠262以及溢流氮化物層274，如圖25A所示。結果為氧化物層350。氧化物層350之後被回蝕直到所有剩下物為在溝渠262底部上之厚氧化物層261為止，如圖25B所示。薄氧化物層266之後藉由熱處理生長在溝渠262側壁上。如表4所表示，閘極氧化物層266典型為70至700Å厚。

如本發明之另一特徵，將接觸光罩與窄臺面組合之相關問題引導臺面階梯涵蓋範圍問題，如圖8B以及8C所示，可以藉由多數額外技術之一技術加以克服。

這些技術允許製造圖12A顯示之結構，但是“大”接觸之大小橫向降低至足以產生圖13區域II之裝置或是結合由此說明之SSA技術產生圖13區域I之裝置。

圖27A解釋溝渠MOSFET，其中與臺面之接觸具有次微米結構，縱使氧化物層400具有大於接觸寬度 δ_{N+} 之厚度。此結構可以藉由在高壓，典型為大氣壓力之數倍（例如，1.2~4大氣壓力）執行金屬層402（例如，鋁）之沈積而加以製造。該高壓輔助強迫金屬離子（典型為鋁或是銅）至接觸視窗內，因此避免上升至圖8B以及圖8C顯示之凹口及裂縫之確定沈積性質。例如，鋁-銅-矽之沈積可以在相當於那些正常使用之狀況但是在上升至大氣壓力之上之壓力加以執行，提升改良之階躍覆蓋率。例如，在二大氣壓力以及晶圓溫度為250°C時，階躍覆蓋率較在大氣壓力為佳。

五、發明說明 (54)

如圖 27B 所示，厚金屬層 402 之高壓沈積可以和障蔽層 404 之形成加以組合。假使障蔽如 Ti 以及 TiN 之夾心為使用時，該沈積可以在提升溫度加以執行，例如，超過 400°C 而且甚至趨近金屬（例如，鋁）之熔解溫度，而不會造成金屬層 402 與障蔽金屬合金或是燒結至障蔽金屬內而產生將 N+ 源極區域（或是 P- 主體）與閘極電極短路或是降低閘極氧化物層品質之晶體缺陷之金屬”尖峰”。假使溫度為夠高（例如，400 至 450°C）時，該沈積可以在大氣壓力實行。該沈積可以藉由例如濺鍍、蒸發、化學汽相沈積（CVD）或是電漿增強汽相沈積（PECVD）而執行。

如圖 27C 以及 27D 所示，該接觸視窗可以另一金屬如鎢或是銅填入以及之後使用已知程序加以平坦化，而形成將頂部金屬層 408 與障蔽金屬 404 相互連接之插頭 406。圖 27C 顯示之裝置為使用包含接觸光罩之處理流程而形成。氧化物層 400 被沈積、光罩以及蝕刻以形成接觸孔。虛線代表藉由氧化閘極多晶矽形成之氧化物與沈積氧化物層 400 之間之界限。

圖 27D 顯示之裝置為使用本發明之 SSA 處理加以形成。玻璃層 412 如硼磷矽玻璃（BSPS）之後在 SSA 結構上流動，以及接觸光罩為用以定義玻璃層 412 之接觸孔 414，該孔以形成 plugs 插頭 406 之金屬加以填入。玻璃層 412 為沈積在多晶矽嵌入閘極，亦即頂部氧化物之氧化表面頂部上。層 413 為由 SSA 處理中使用之氮化物層剩下之氮化物。接觸光罩以及

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (55)

SSA流程之插入玻璃之刺激主要為降低介於源極材料與嵌入溝渠閘極之間之耦合電容。

圖28A-28D顯示用於形成如本發明此特徵之裝置之處理順序。在圖28A中，在SSA處理已經完成之後，該溝渠MOSFET已經以玻璃層420加以電鍍，該玻璃可以為例如硼磷矽玻璃(BPSG)以具有相當平坦之頂部表面。如圖28B所示，該裝置之後被光罩以及蝕刻以形成接觸孔422，而且非必要障蔽金屬層424為沈積在N+源極區域之表面上。如圖28C所示，一層428材料如鎢為用以充填接觸孔422，該層428延伸至玻璃層420表面之上之level井。鎢層428之設計規則為類似於那些用以充填如圖9B及9C顯示多晶矽之設計規則。接著，如圖28D所示，鎢層428為使用化學研磨回蝕或是磨平，而且金屬層430為層428沈積。鎢層428提供為平坦表面，所以金屬層430不必在由玻璃層420形成之階梯上延伸。

上文說明之具體實施例只是意圖為解釋性而已，以及非限制。如本發明原理之其他具體實施例對那些熟知相關技藝之人士而言將是明顯的。

(請先閱讀背面之注意事項再填寫本頁)

1
訂

線

四、中文發明摘要 (發明之名稱： 具降低導通電阻之超自我對準溝渠閘極雙重擴散金氧半導體)

一種新穎超自我對準(SSA)架構以及製造程序使用單一光罩層以定義溝渠閘極垂直功率DMOSFET(雙重擴散金氧半導體場效電晶體)之關鍵特徵以及大小。單一關鍵光罩決定溝渠表面大小、介於溝渠之間之矽源極主體臺面寬度以及矽臺面接觸之大小及位置。該接觸自我對準至溝渠，消除傳統溝渠DMOS裝置中之接觸-至-溝渠光罩對準所需要避免處理感應之閘極-至-源極短路所強加之限制。在矽表面上之氧化物高度落差亦降低而避免金屬階梯覆蓋率問題。多閘極匯流排高度落差亦降低。其他說明之特徵包含多晶矽二極體形成、控制汲極主體二極體崩潰位置、降低閘極-至-汲極重疊電容以及利用低-熱預算處理技術。

英文發明摘要 (發明之名稱： A SUPER-SELF-ALIGNED TRENCH-GATE DMOS WITH REDUCED ON-RESISTANCE)

A novel super-self-aligned (SSA) structure and manufacturing process uses a single photomasking layer to define critical features and dimensions of a trench-gated vertical power DMOSFET. The single critical mask determines the trench surface dimension, the silicon source-body mesa width between trenches, and the dimensions and location of the silicon mesa contact. The contact is self-aligned to the trench, eliminating the limitation imposed by contact-to-trench mask alignment in conventional trench DMOS devices needed to avoid process-induced gate-to-source shorts. Oxide step height above the silicon surface is also reduced avoiding metal step coverage problems. Poly gate bus-step height is also reduced. Other features described include polysilicon diode formation, controlling the location of drain-body diode breakdown, reducing gate-to-drain overlap capacitance, and utilizing low-thermal budget processing techniques.

六、申請專利範圍

1. 一種用於製造溝渠MOSFET之方法，包括：
提供具有表面之半導體材料主體；
在該表面上形成第一光罩，該第一光罩具有一孔而溝渠將位於主體中；
經由第一光罩之孔蝕刻半導體材料以形成半導體主體中之溝渠；
在溝渠中形成第一氧化物層；
導入多晶矽至溝渠內；
以第一光罩適當地氧化多晶矽之顯露表面以在溝渠頂部形成第二氧化物層，第二氧化物層往下延伸至溝渠內；
移除第一光罩；以及
沈積金屬層在第二氧化物層之表面以及半導體主體之表面上。
2. 如申請專利範圍第1項之方法，其中形成第一光罩包括沈積氮化物層。
3. 如申請專利範圍第2項之方法，包括形成介於主體表面與氮化物層之間之第三氧化物層。
4. 如申請專利範圍第2項之方法，其中至少一部份第三氧化物層在第一光罩移除之後保留。
5. 如申請專利範圍第4項之方法，包括移除第三氧化物層。
6. 如申請專利範圍第3項之方法，其中第二氧化物層厚於第一以及第三氧化物層中之各層。
7. 如申請專利範圍第1項之方法，其中第二氧化物層厚於第一氧化物層。

六、申請專利範圍

8. 如申請專利範圍第1項之方法，包括沈積氧化物在溝渠中以及回蝕該氧化物以形成第四氧化物層在溝渠底部上。
9. 如申請專利範圍第8項之方法，其中沈積氧化物包括藉由化學蒸發沈積處理加以沈積氧化物。
10. 如申請專利範圍第9項之方法，其中第二以及第四氧化物層中之各層厚於第一以及第三氧化物層中之各層。
11. 如申請專利範圍第1項之方法，包括蝕刻該多晶矽直到該多晶矽表面與主體表面為共面為止。
12. 如申請專利範圍第1項之方法，其中提供半導體材料主體包括生長磊晶層在半導體底材表面上。
13. 如申請專利範圍第12項之方法，包括經由第一光罩固體部分植入第一導電型摻雜物以形成主體區域在磊晶層內。
14. 如申請專利範圍第13項之方法，包括經由第一光罩固體部分植入第二導電型摻雜物以形成源極區域在磊晶層內。
15. 如申請專利範圍第1項之方法，其中導入多晶矽至溝渠內包括：
 - 導入第一多晶矽層至溝渠內；
 - 蝕刻該第一多晶矽層直到該第一多晶矽層之顯露表面為在半導體主體表面之下位準為止；
 - 導入第二多晶矽層在第一多晶矽層之上，該第二多晶矽層覆蓋第一多晶矽層以及第一光罩。
16. 如申請專利範圍第1項之方法，包括形成第二光罩在多晶矽層之上，該第二光罩具有孔在溝渠之上以及包括經由第二光罩內之孔蝕刻該多晶矽層，因此保留半導體主

六、申請專利範圍

體表面上橫向延伸之多晶矽層其餘部分。

17. 如申請專利範圍第16項之方法，包括：

植入第一導電型之摻雜物至多晶矽層其餘部分；

以多晶矽層其餘部分上之孔形成第三光罩；

植入第二導電型之摻雜物至多晶矽層內，因此在多晶矽層其餘部分中形成PN二極體。

18. 如申請專利範圍第17項之方法，包括沈積接觸半導體主體表面以及多晶矽層其餘部分之金屬層。

19. 一種用於製造溝渠MOSFET之方法，包括：

提供具有表面之半導體主體；

在該表面上形成第一光罩，該第一光罩具有一孔而溝渠將位於主體中；

經由第一光罩之孔蝕刻半導體材料以形成半導體主體之溝渠；

在溝渠中沈積氧化物層；

蝕刻該氧化物以形成第一氧化物層在溝渠底部上；

在溝渠側壁上形成第二氧化物層，第一氧化物層為厚於第二氧化物層；以及

導入多晶矽至溝渠內。

20. 如申請專利範圍第19項之方法，包括氧化多晶矽之顯露表面以形成第三氧化物層在溝渠頂部上，該第三氧化物層往下延伸至溝渠中以及厚於第一氧化物層。

21. 如申請專利範圍第20項之方法，包括導入第一導電型之摻雜物至半導體主體中以形成主體區域，主體區域之接

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

合面為在第一氧化物層上表面之位準。

22. 一種溝渠-閘極功率MOSFET，包括：

具有溝渠形成在其中的半導體主體，溝渠壁在溝渠角落貫穿半導體主體之主要表面，該半導體主體包括：

鄰近該溝渠以及主體主要表面之第一導電型源極區域；

形成與源極區域之接合面之第二導電型主體區域，該主體區域包括鄰近該溝渠壁之通道區域；以及

形成與主體區域之接合面之第一導電型汲極區域；以及

配置在溝渠內之閘極，該閘極為藉由閘極氧化物層加以界限，該閘極氧化物層包括鄰近該通道區域之第一部分以及覆蓋該閘極之第二部分，該第二部分厚於第一部分；以及

接觸該半導體主體頂部表面之金屬層，介於該金屬層與橫向延伸至溝渠角落之該頂部表面之間之接觸。

23. 如申請專利範圍第22項之溝渠-閘極功率MOSFET，其中閘極氧化物層第二部分之下表面為在半導體主體表面位準之下。

24. 如申請專利範圍第23項之溝渠-閘極功率MOSFET，其中閘極氧化物層第二部分之上表面為在半導體主體表面位準之上。

25. 如申請專利範圍第22項之溝渠-閘極功率MOSFET，其中該閘極氧化物層包括鄰近溝渠底部之第三部分，該第三

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

部分為厚於第一部分。

26. 如申請專利範圍第25項之溝渠-閘極功率MOSFET，其中該第三部分之上表面為在等於介於主體區域與汲極區域之間之接合面位準上。

27. 一種溝渠-閘極之功率MOSFET，包括：

具有主要表面之半導體主體以及形成在半導體主體中之溝渠，該半導體主體包括：

鄰近該溝渠以及主體主要表面之第一導電型源極區域；

形成與源極區域之接合面之第二導電型主體區域，該主體區域包括鄰近該溝渠壁之通道區域；以及

形成與主體區域之接合面之第一導電型汲極區域；以及

配置在溝渠內之閘極，該閘極為藉由閘極氧化物層加以界限，該閘極氧化物層包括鄰近該通道區域之第一部分以及覆蓋該閘極之第二部分，該第二部分厚於第一部份，該第二部分不覆蓋溝渠外部之半導體主要表面；以及接觸半導體主體頂部表面之金屬層。

28. 如申請專利範圍第27項之溝渠-閘極功率MOSFET，其中閘極氧化物層第二部分之下表面為在半導體主體表面位準之下。

29. 如申請專利範圍第28項之溝渠-閘極功率MOSFET，其中閘極氧化物層第二部分之上表面為在半導體主體表面位準之上。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

30. 如申請專利範圍第27項之溝渠-閘極功率MOSFET，其中該閘極氧化物層包括鄰近溝渠底部之第三部分，該第三部分為厚於第一部分。
31. 如申請專利範圍第30項之溝渠-閘極功率MOSFET，其中該第三部分之上表面為在等於介於主體區域與汲極區域之間之接合面位準上。
32. 一種溝渠-閘極之功率MOSFET，包括：
- 具有主要表面之半導體主體以及形成在半導體主體中之溝渠，該半導體主體包括：
- 鄰近該溝渠以及主體主要表面之第一導電型源極區域；
- 形成與源極區域之接合面之第二導電型主體區域，該主體區域包括鄰近該溝渠壁之通道區域；以及
- 形成與主體區域之接合面之第一導電型汲極區域；以及
- 配置在溝渠內之閘極，該閘極為藉由閘極氧化物層加以界限，該閘極氧化物層包括鄰近該通道區域之第一部分以及覆蓋該閘極之第二部分，該第二部分厚於第一部份。
33. 如申請專利範圍第32項之溝渠-閘極功率MOSFET，其中該第三部分之上表面為在等於介於主體區域與汲極區域之間之接合面位準上。
34. 一種用於製造溝渠MOSFET之方法，包括：
- 提供半導體主體；

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

- 在半導體主體之表面中形成溝渠，該溝渠定義臺面；
沿著該溝渠壁形成第一絕緣層；
在該溝渠中形成閘極，該閘極藉由該絕緣層而與該半導體主體絕緣；
植入第一導電型之摻雜物至臺面內以形成主體區域；
植入第二導電型之摻雜物至臺面內以形成源極區域；
在臺面上形成第二絕緣層；
蝕刻該第二絕緣層之孔；以及
沈積金屬層至接觸孔內以形成與源極區域之電氣接觸，該沈積為在大於大氣壓力之壓力加以執行。
35. 如申請專利範圍第34項之方法，其中沈積該金屬層為在大約二大氣壓力之壓力加以執行。
36. 如申請專利範圍第34項之方法，包括沈積障蔽層在臺面之表面上。
37. 一種用於製造溝渠MOSFET之方法，包括：
提供半導體主體；
在半導體主體之表面中形成溝渠，該溝渠定義臺面；
沿著該溝渠壁形成第一絕緣層；
在該溝渠中形成閘極，該閘極藉由該絕緣層而與該半導體主體絕緣；
植入第一導電型之摻雜物至臺面內以形成主體區域；
植入第二導電型之摻雜物至臺面內以形成源極區域；
在臺面上形成第二絕緣層；
蝕刻該第二絕緣層之孔；

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

沈積第一金屬層在接觸孔內以形成與源極區域之電氣接觸；

平坦化該第一金屬層以形成插頭，該插頭表面與第二絕緣層之表面為共面；以及

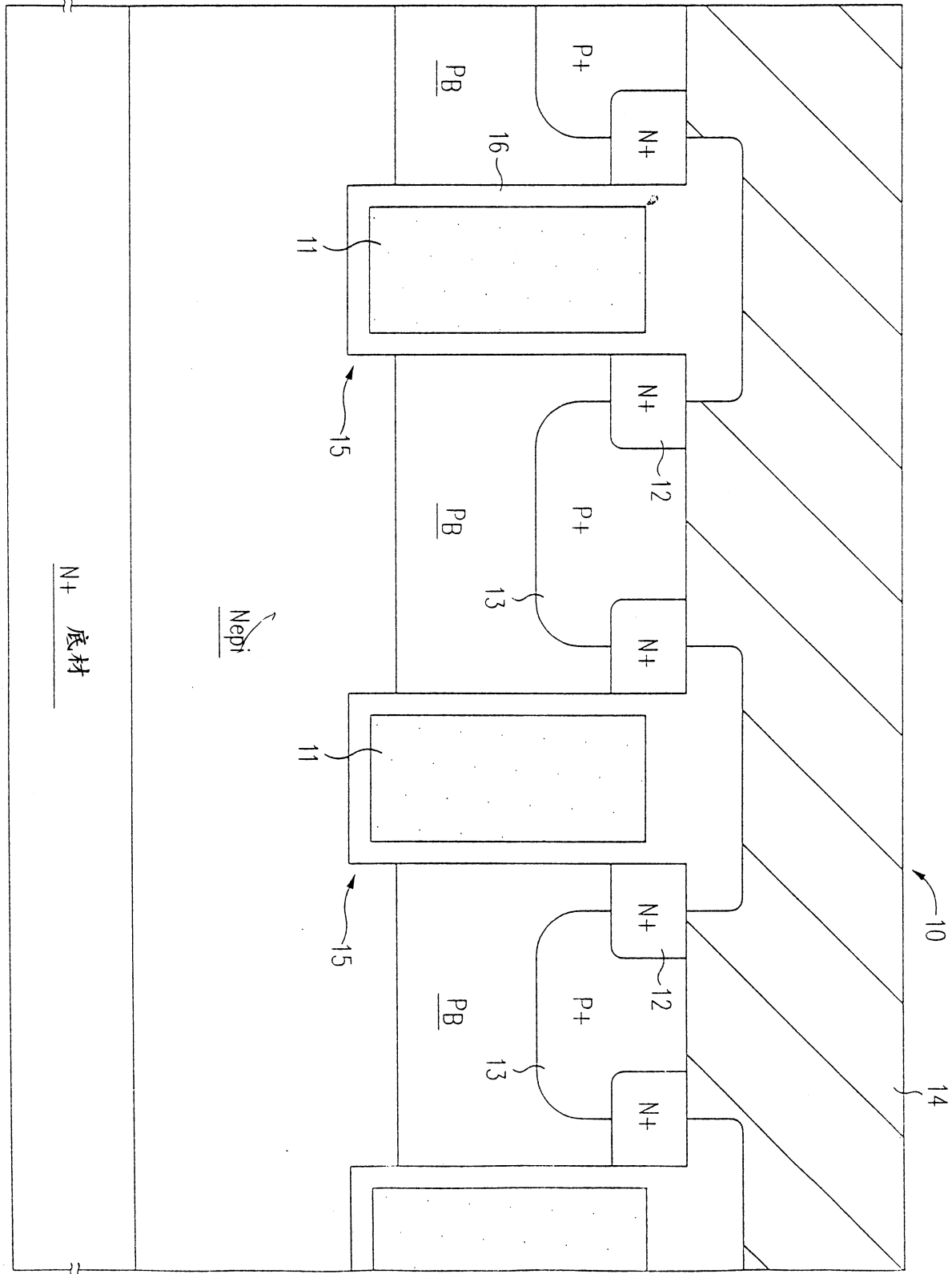
沈積第二金屬層在該第二絕緣層以及插頭之上。

38. 如申請專利範圍第37項之方法，其中形成第二絕緣層包括形成玻璃層。
39. 如申請專利範圍第37項之方法，其中沈積第一金屬層包括沈積由鎢以及銅組成群組中之金屬。
40. 如申請專利範圍第37項之方法，其中平坦化第一金屬層包括化學機械研磨。
41. 如申請專利範圍第37項之方法，其中平坦化第一金屬層包括蝕刻。
42. 如申請專利範圍第37項之方法，其中在溝渠中形成閘極包括沈積多晶矽層。
43. 如申請專利範圍第42項之方法，尚包括氧化該多晶矽層以形成覆蓋該多晶矽層其餘部分之頂部氧化物層。

(請先閱讀背面之注意事項再填寫本頁)

訂

線



(先前技藝)

圖 1



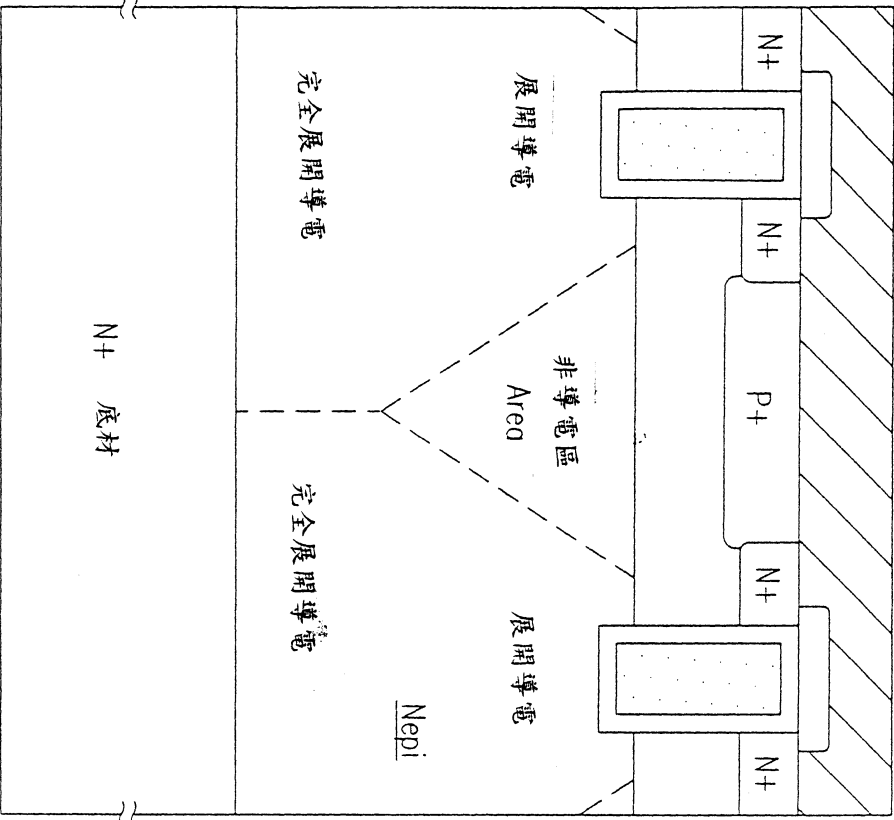


圖 3A ((先前技藝))

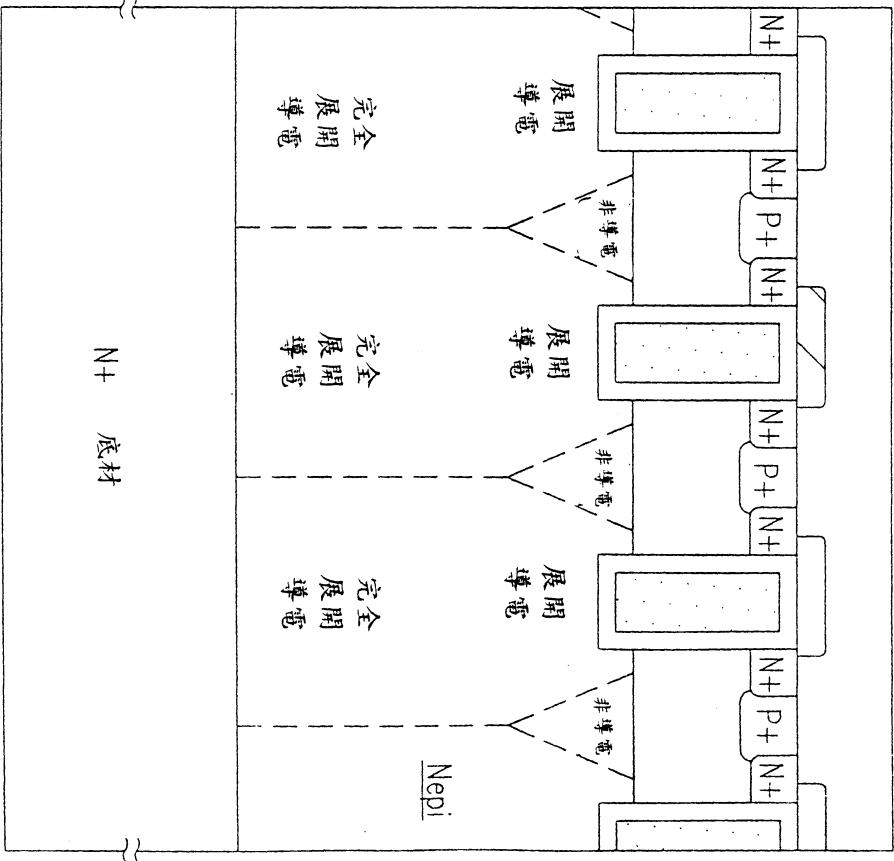


圖 3B ((先前技藝))

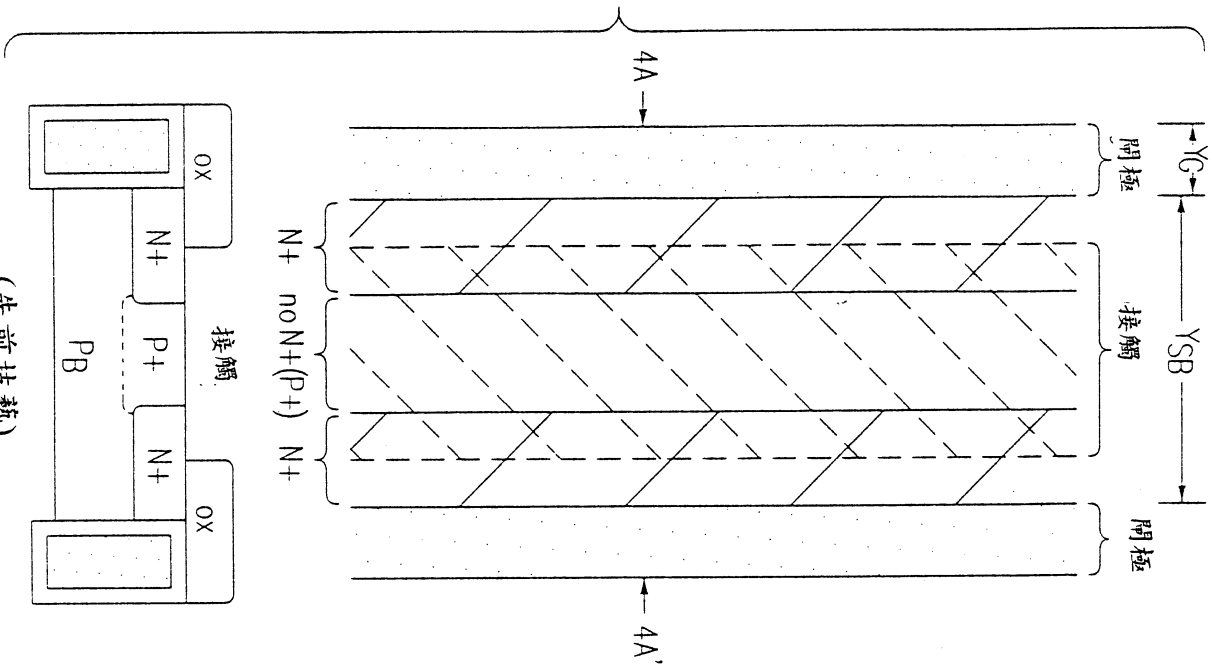


圖 4A

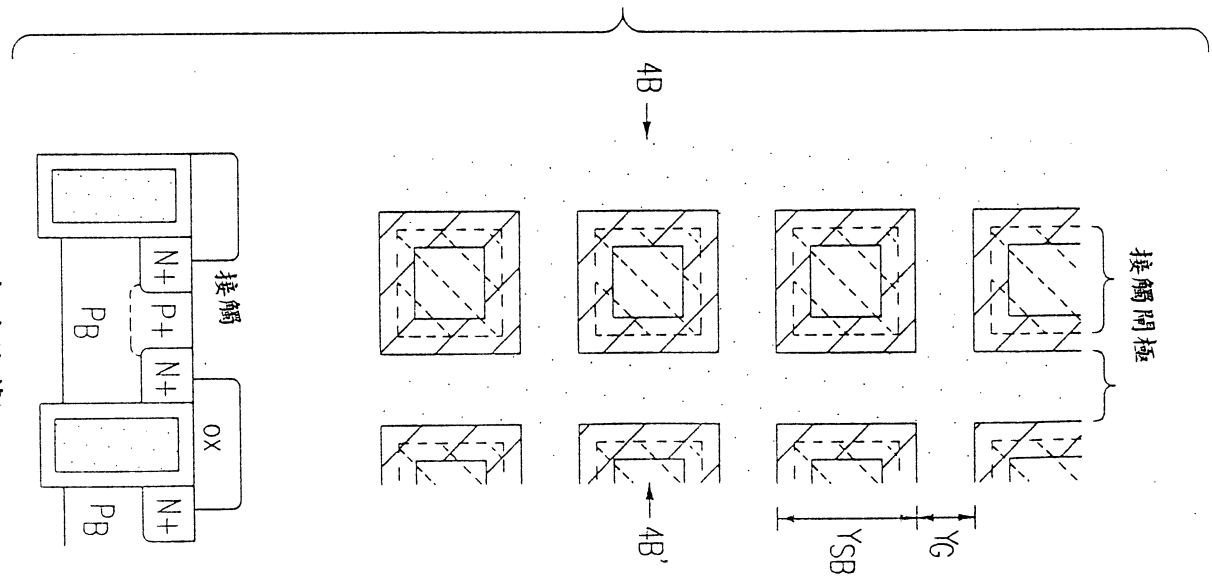
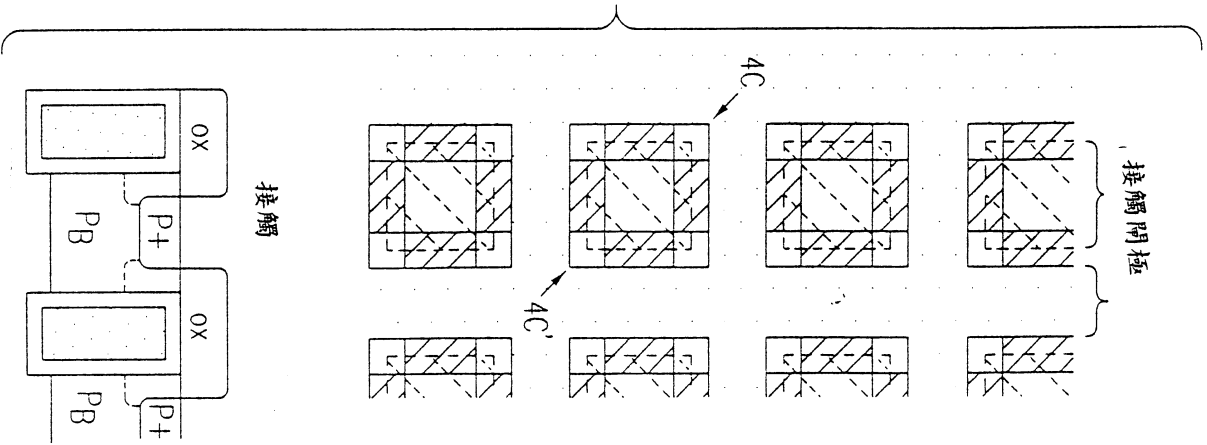
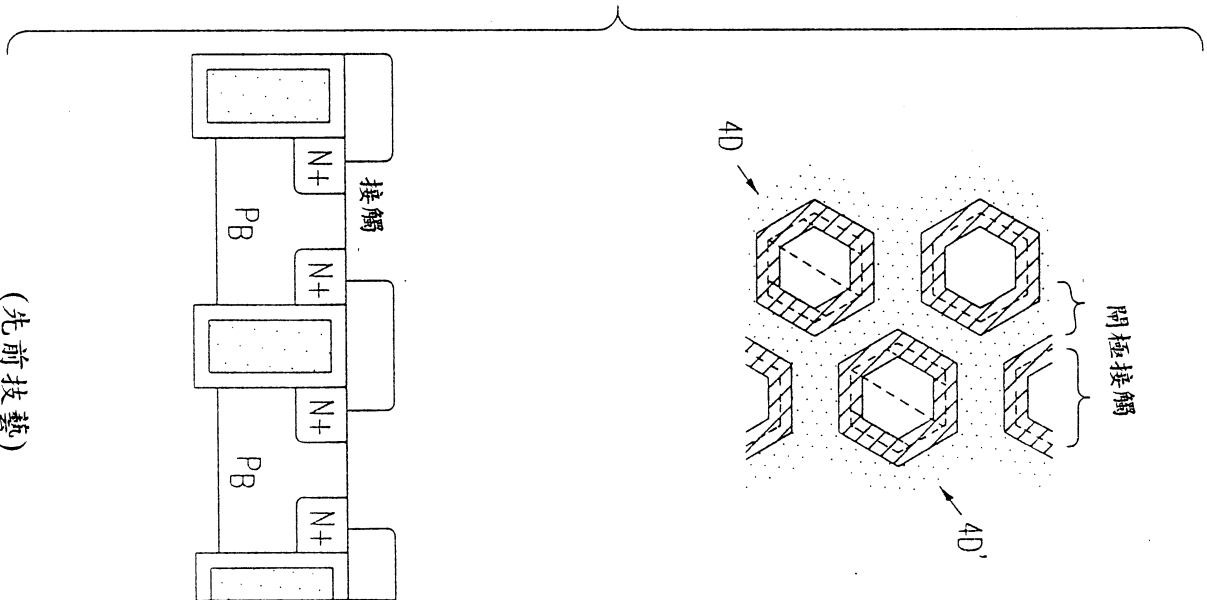


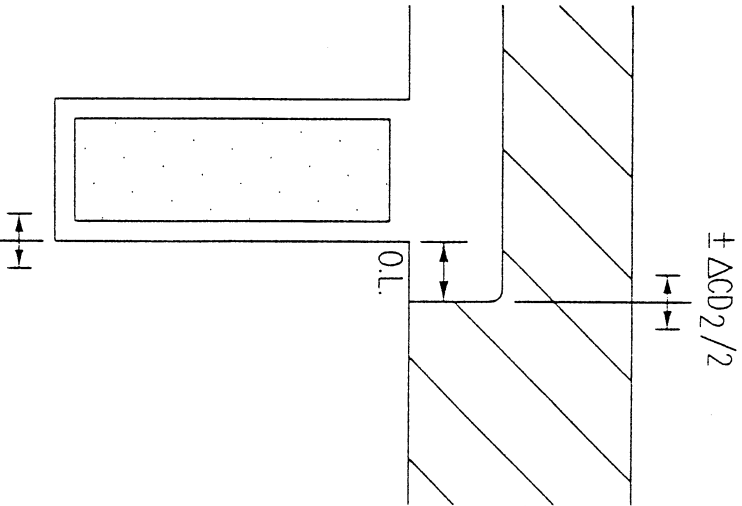
圖 4B



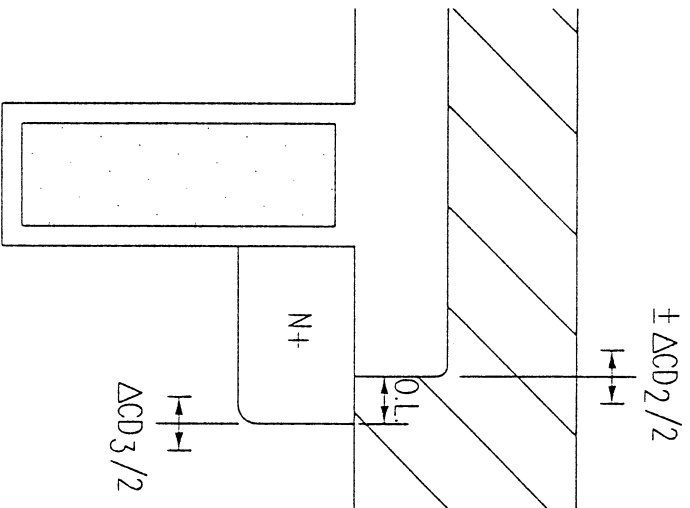
(先前技藝)
圖 4C



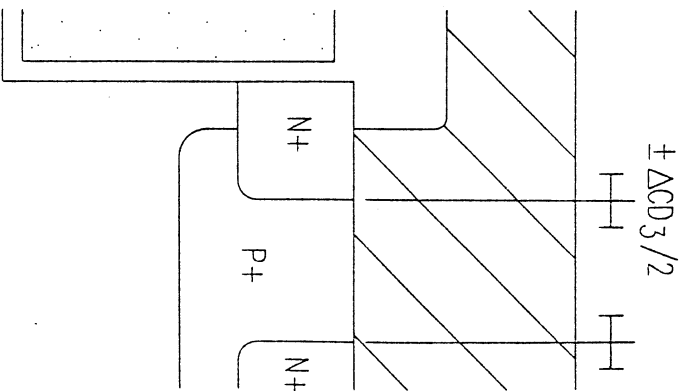
(先前技藝)
圖 4D



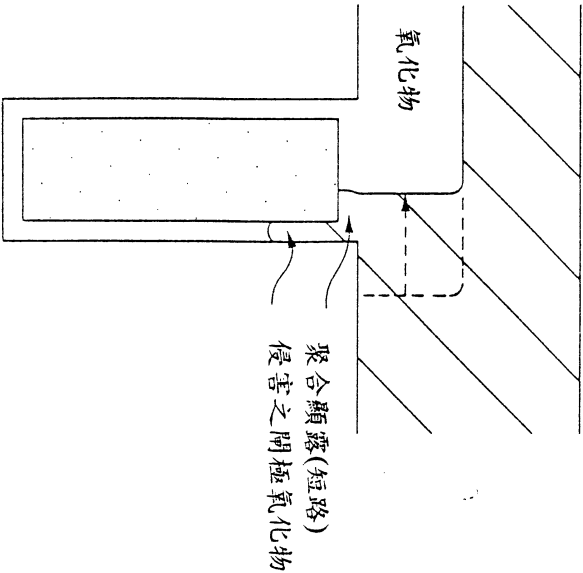
(先前技藝)
圖 5A



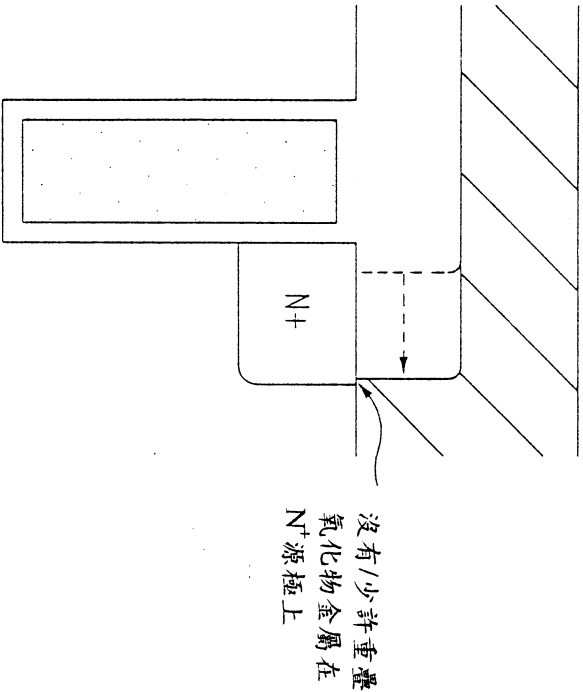
(先前技藝)
圖 5B



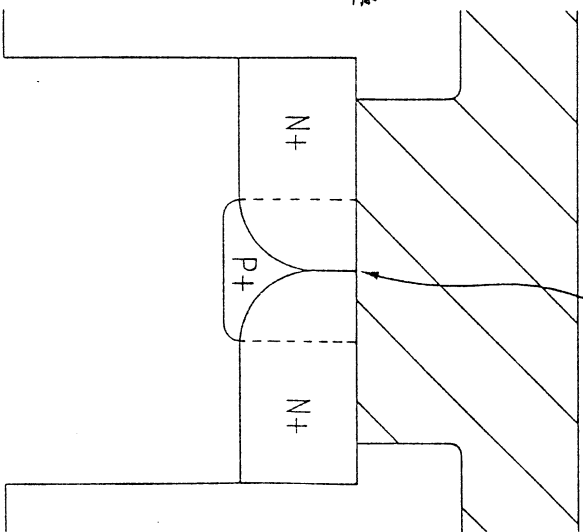
(先前技藝)
圖 5C



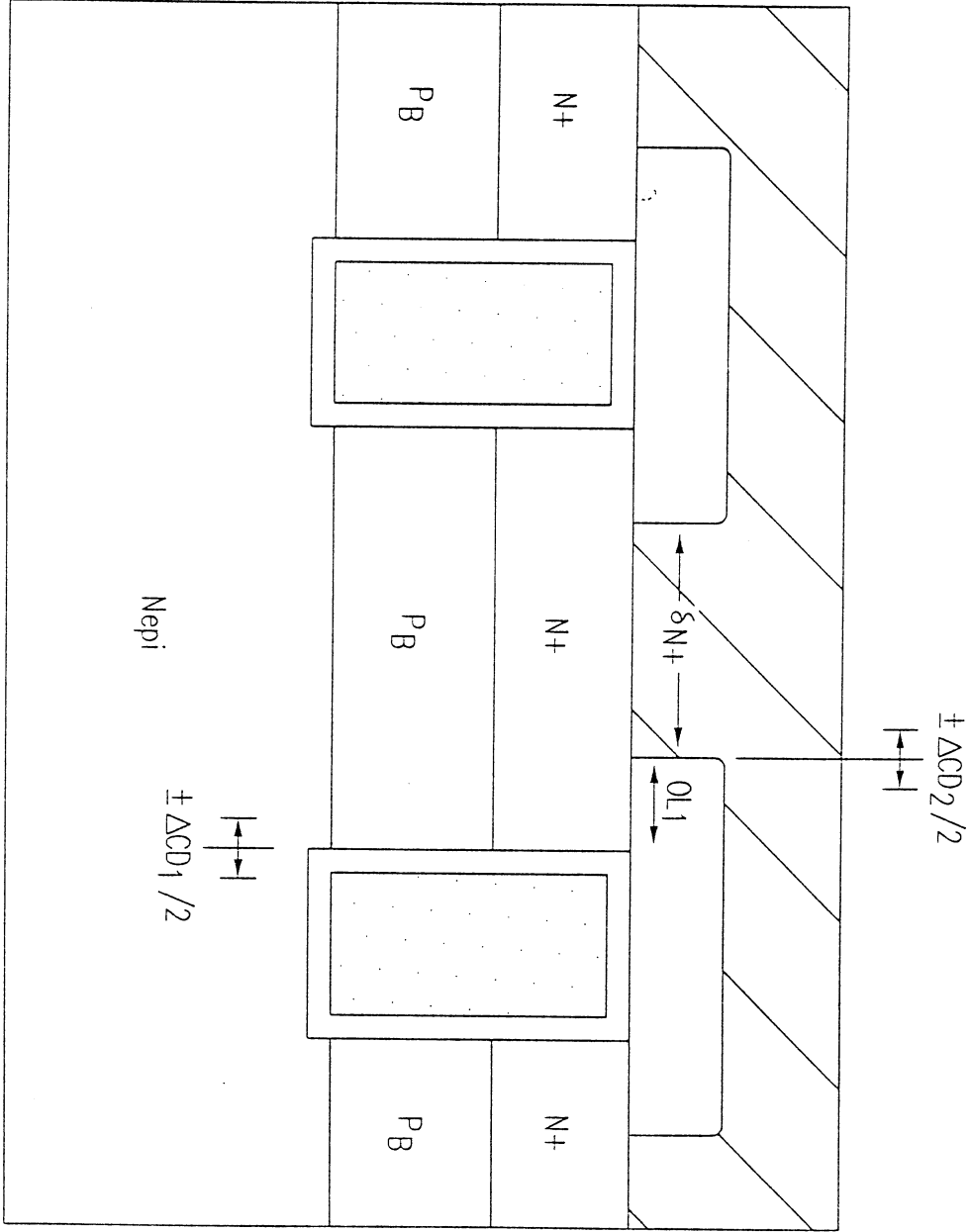
(先前技藝)
圖 5D



(先前技藝)
圖 5E

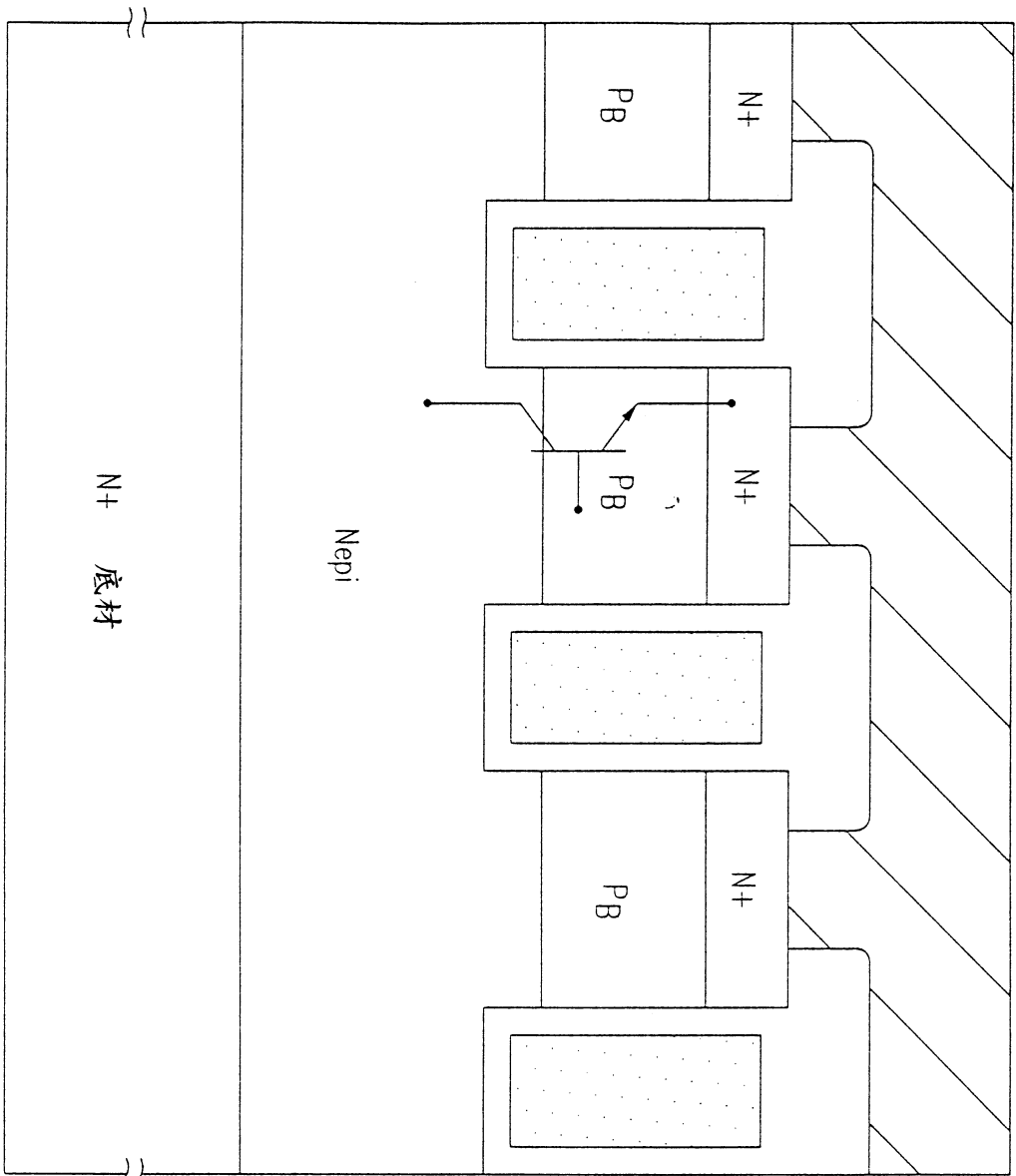


(先前技藝)
圖 5F

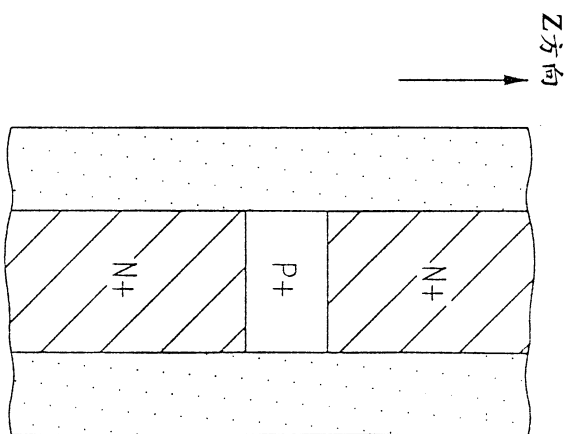


(先前技藝)

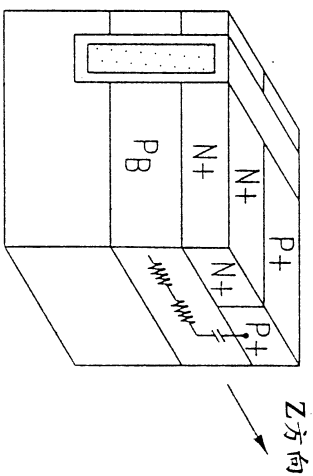
圖 6



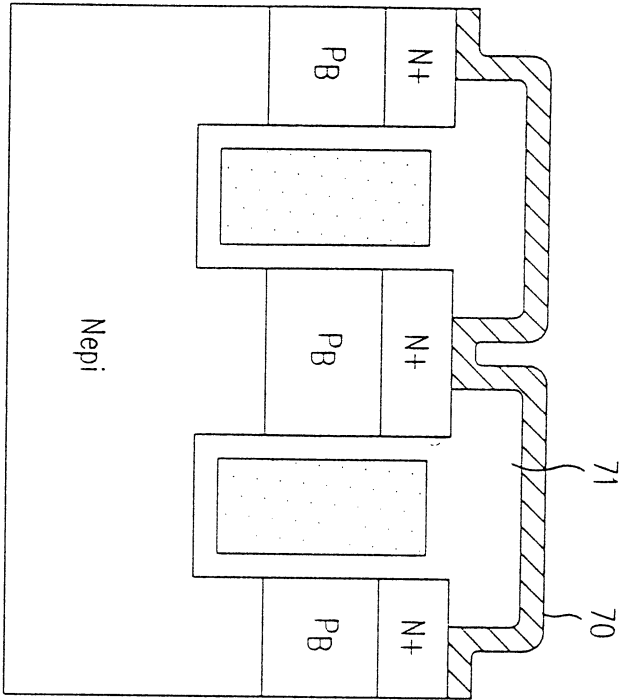
(先前技藝)
圖 7A



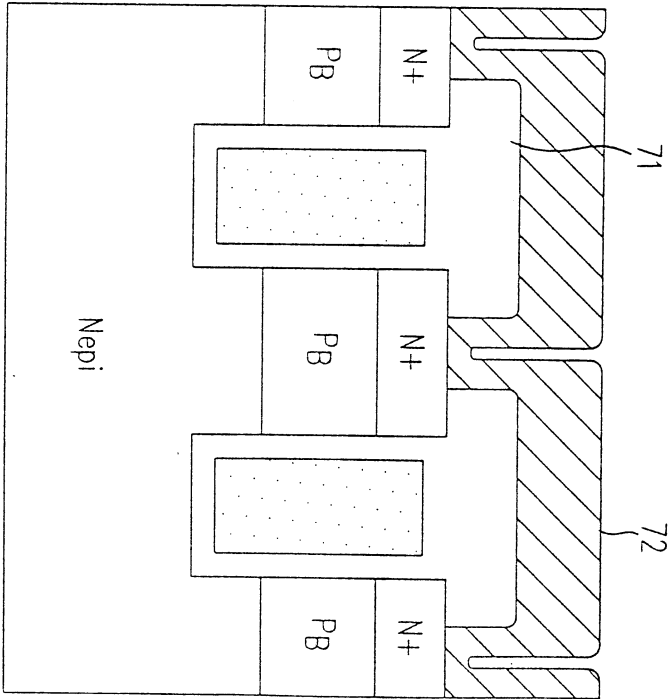
(先前技藝)
圖 7B



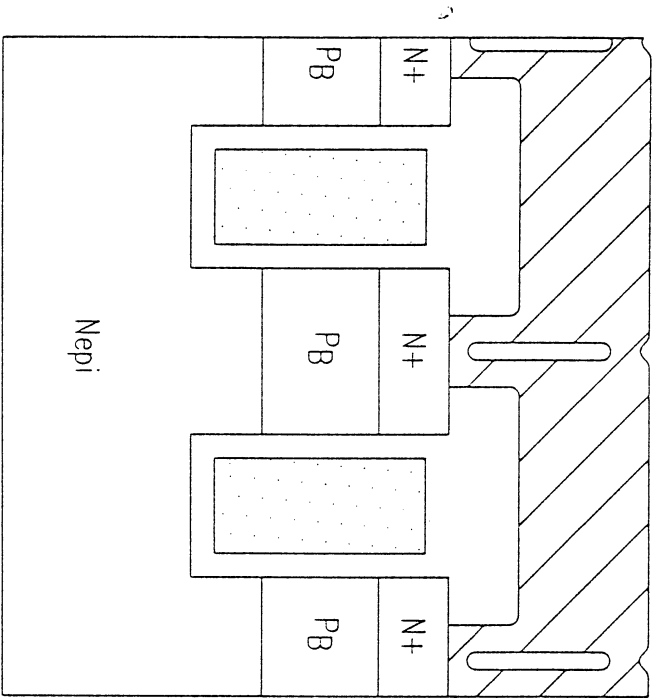
(先前技藝)
圖 7C



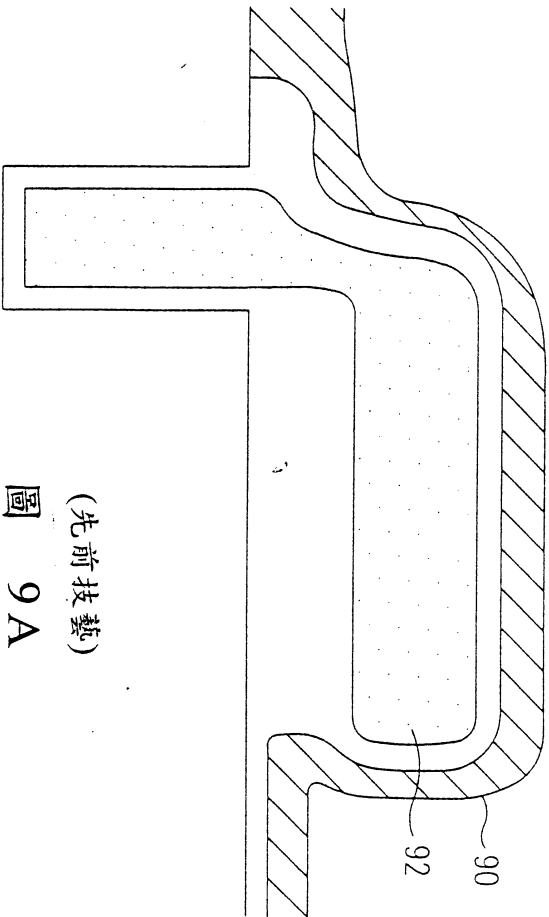
(先前技藝)
圖 8A



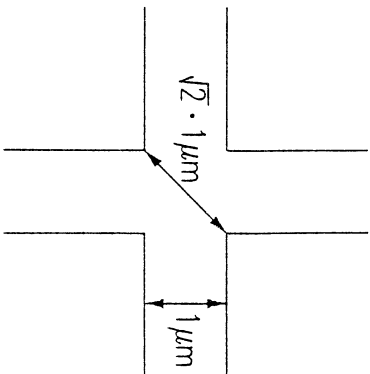
(先前技藝)
圖 8B



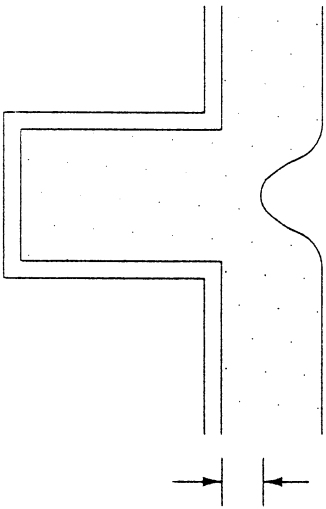
(先前技藝)
圖 8C



(先前技藝)
圖 9A



(先前技藝)
圖 9B



(先前技藝)
圖 9C

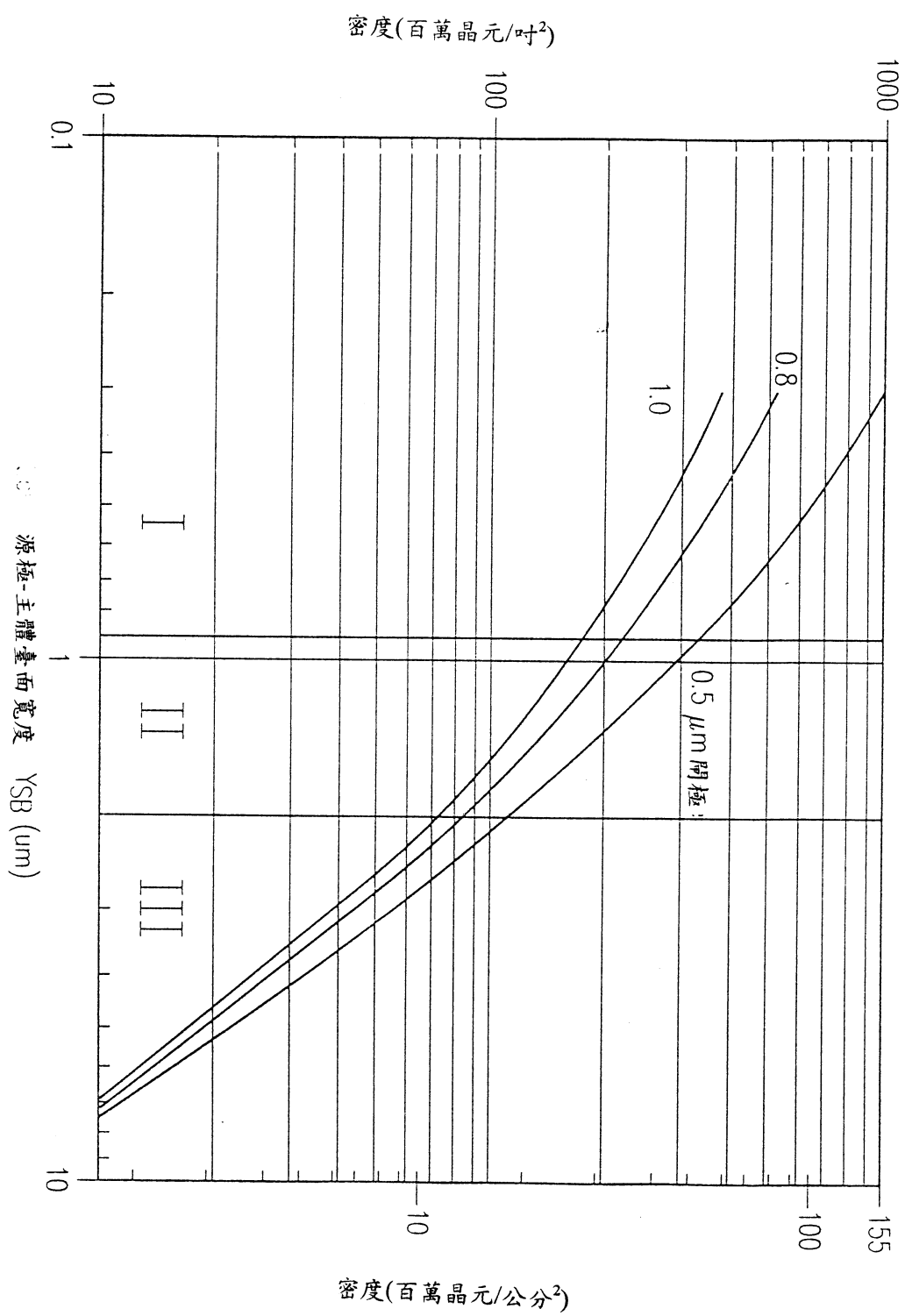


圖 10A

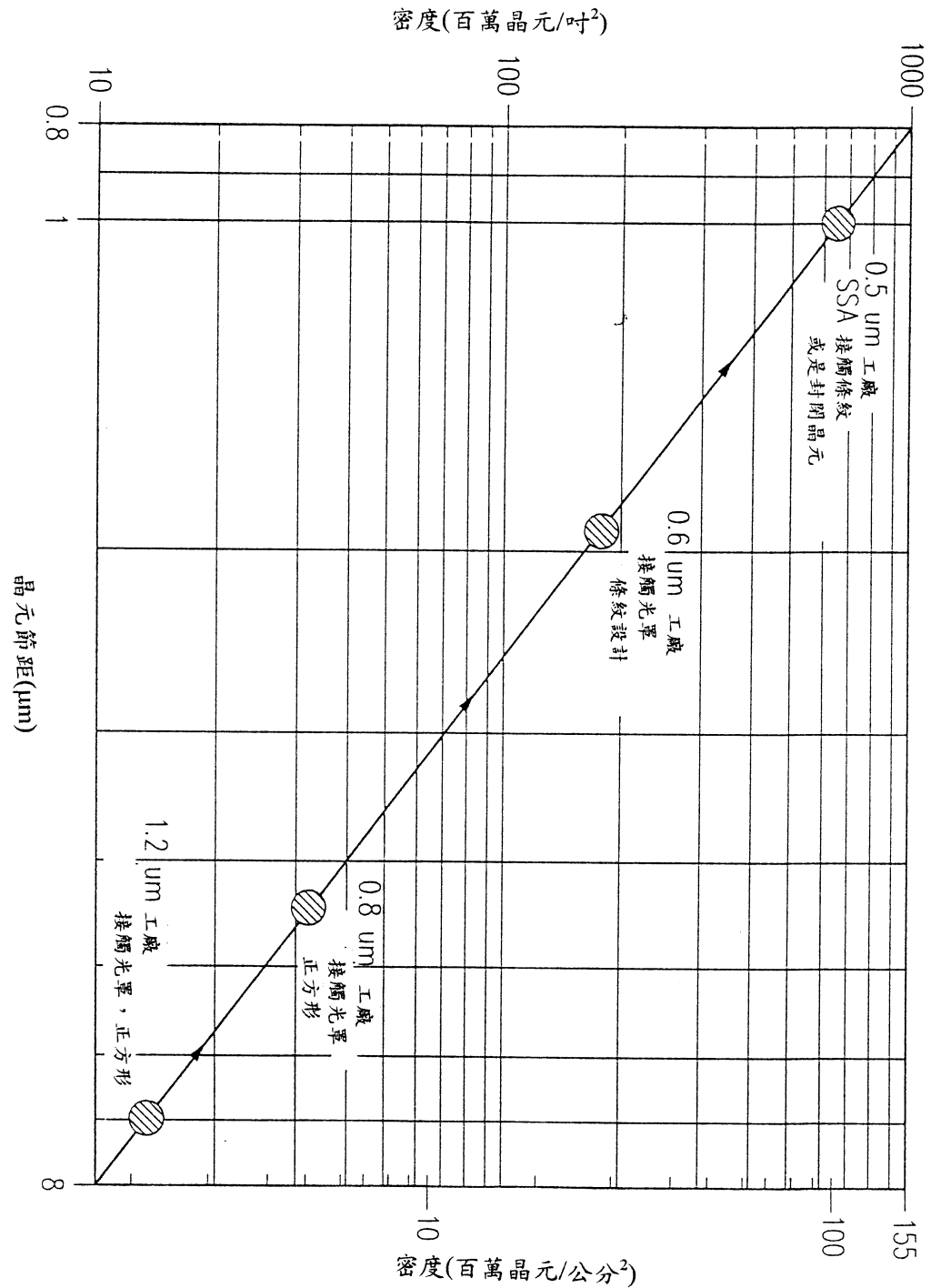


圖 10B

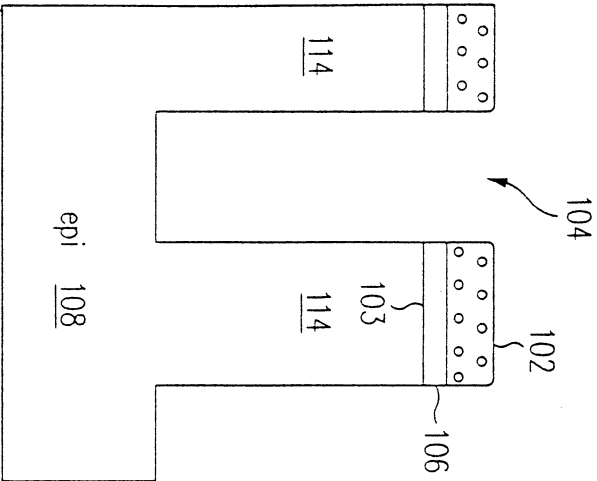


圖 11A

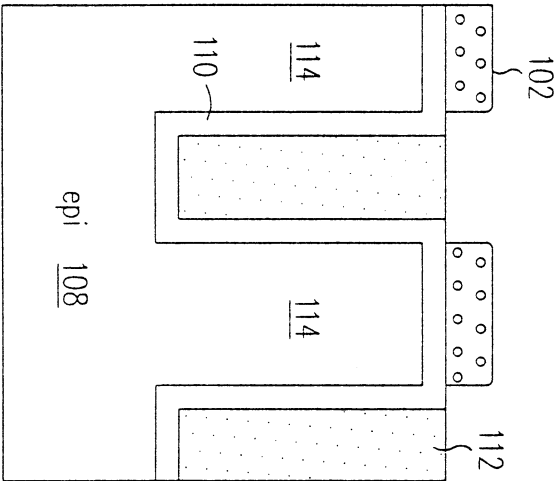


圖 11B

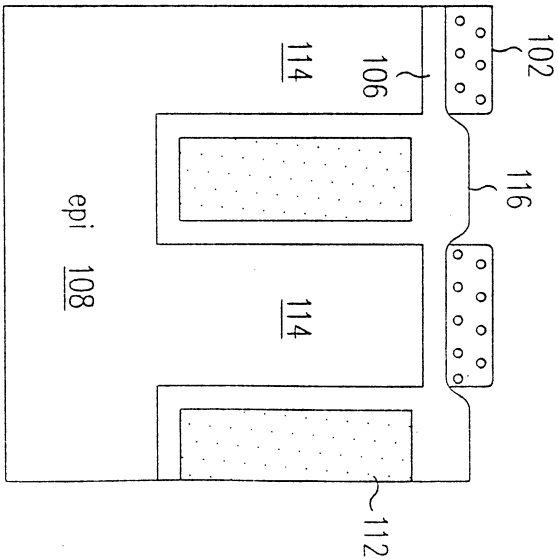


圖 11C

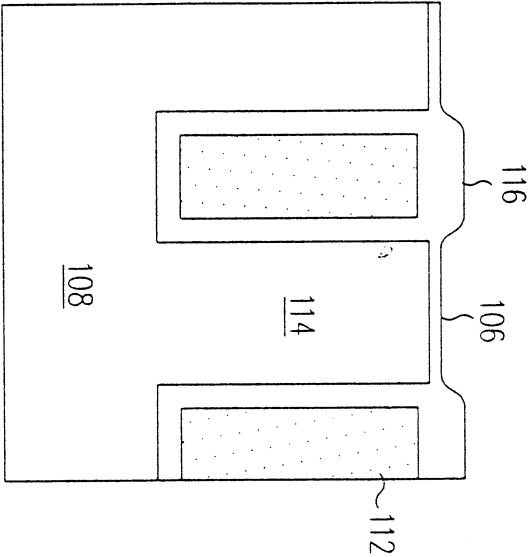


圖 11D

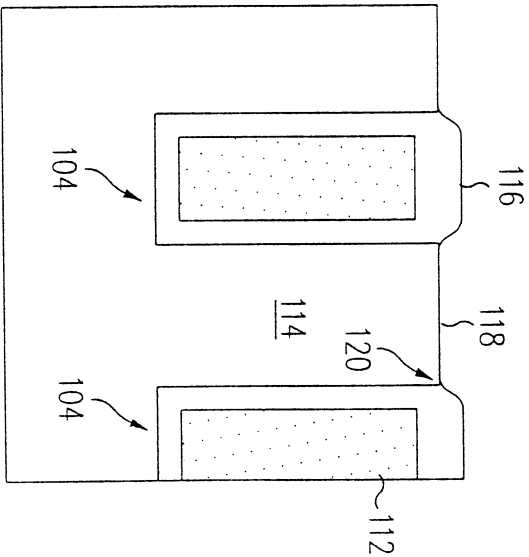
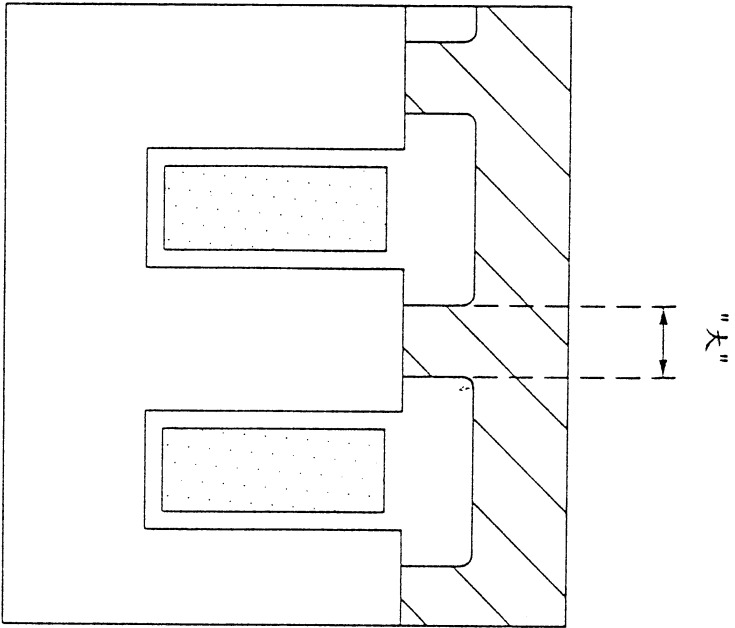


圖 11E



(先前技藝)
圖 12A

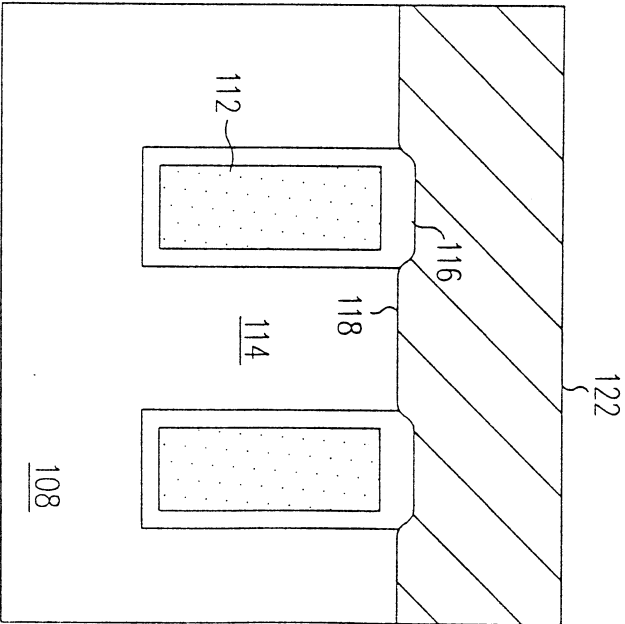


圖 12B

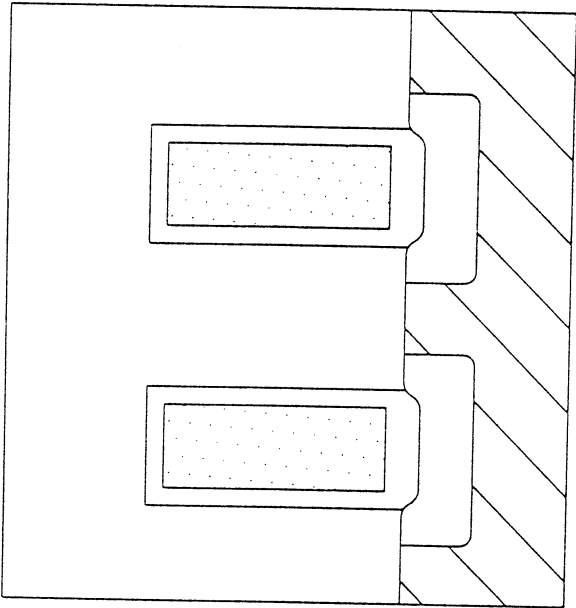


圖 12C

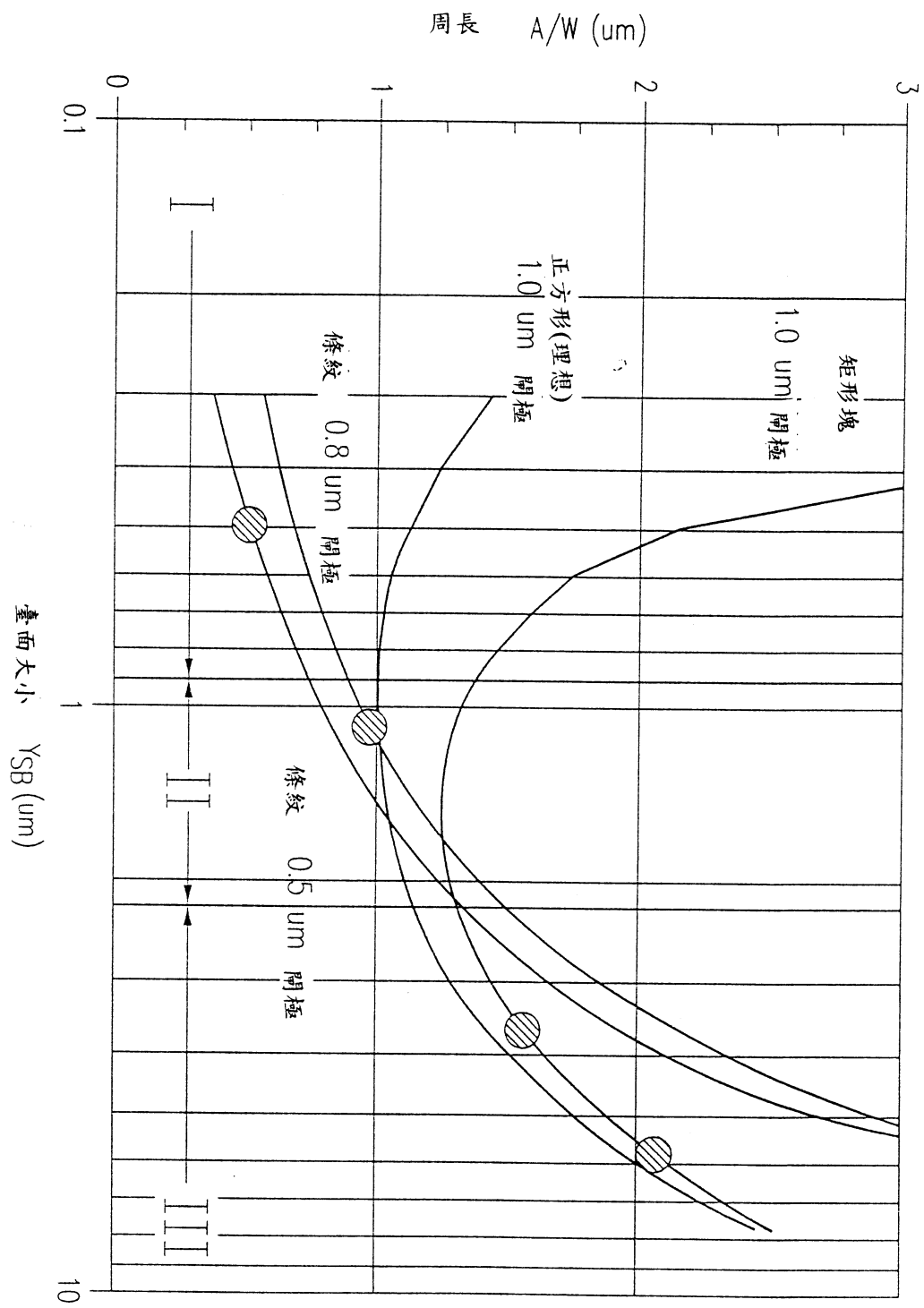


圖 13

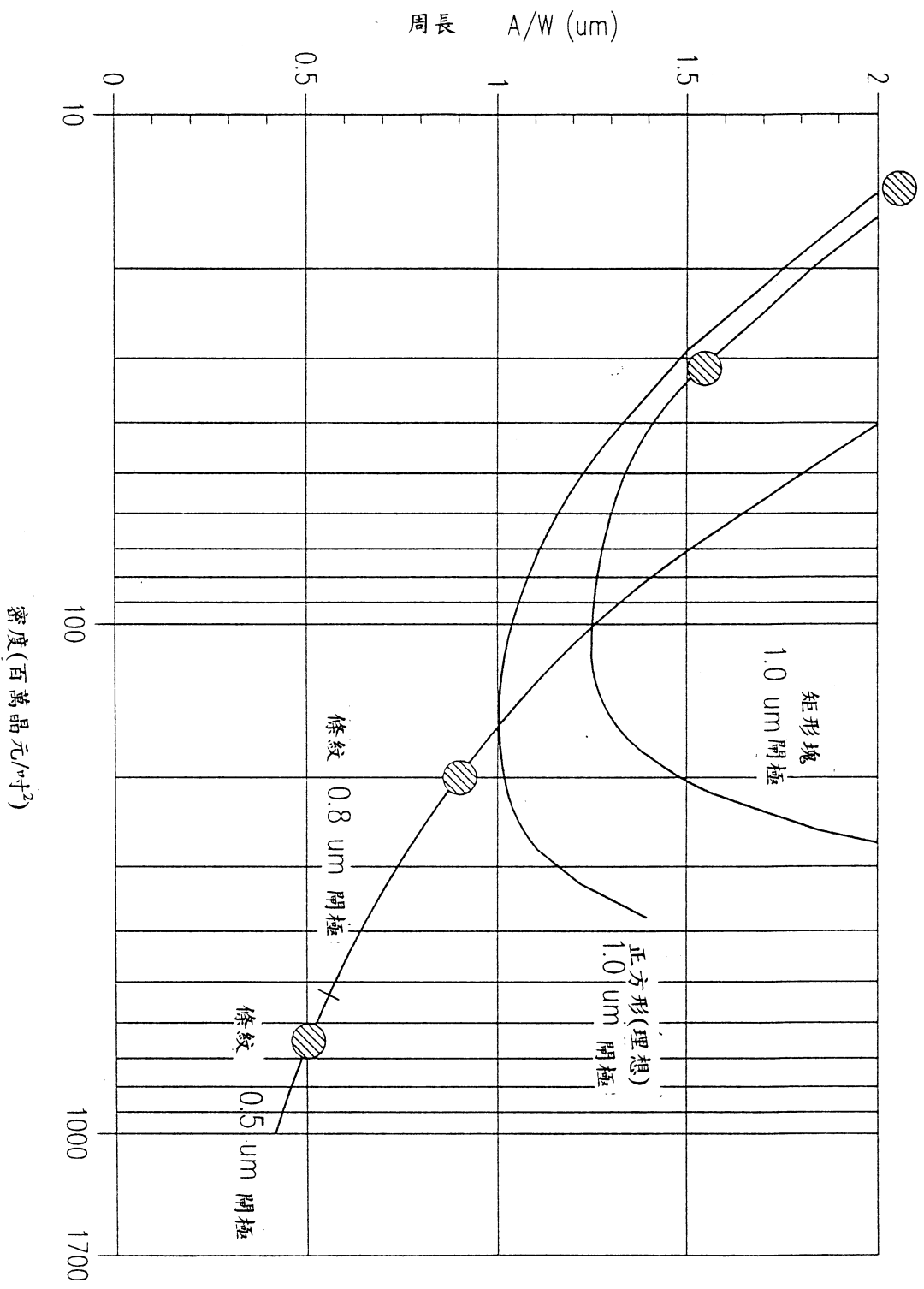


圖 14

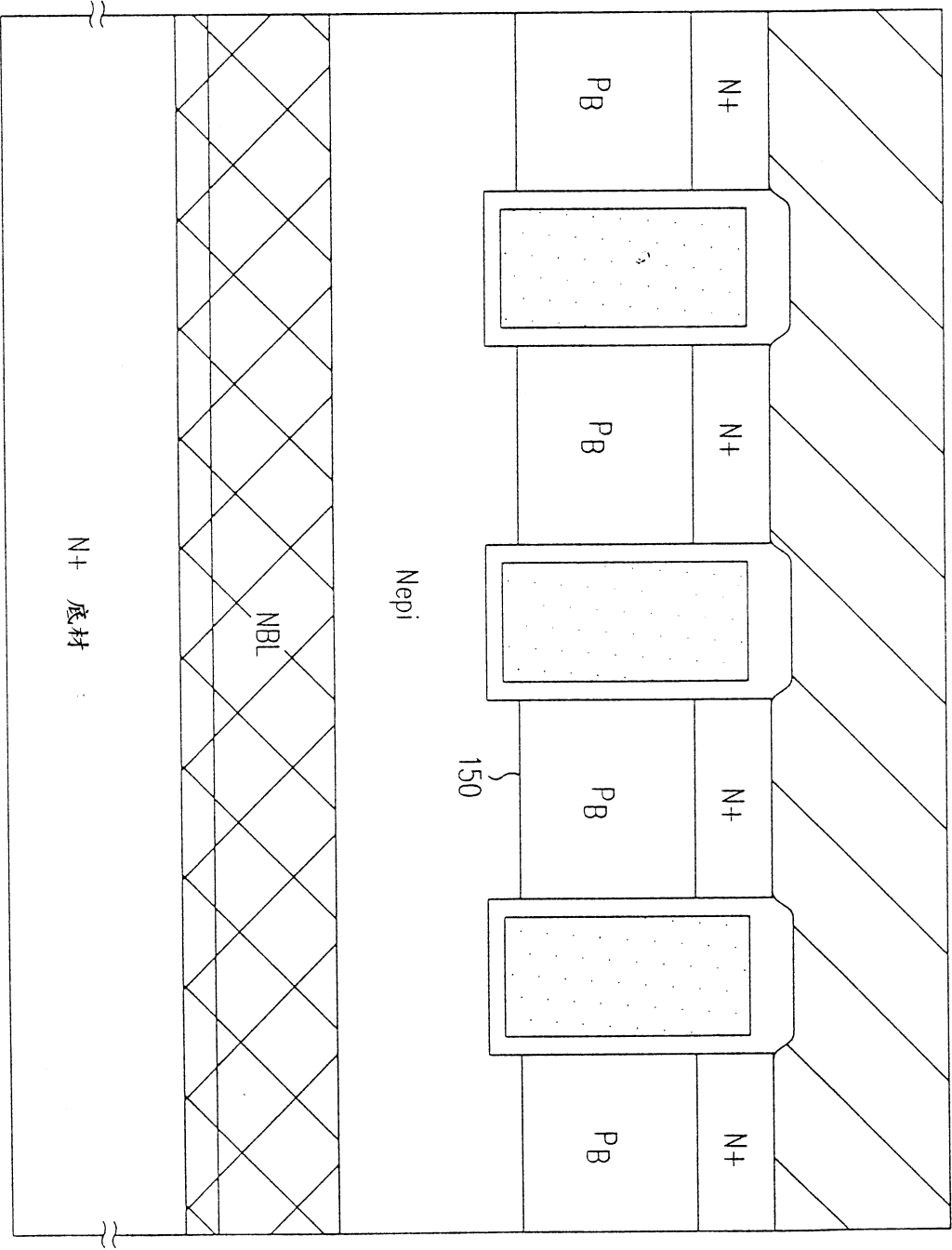


圖 15A

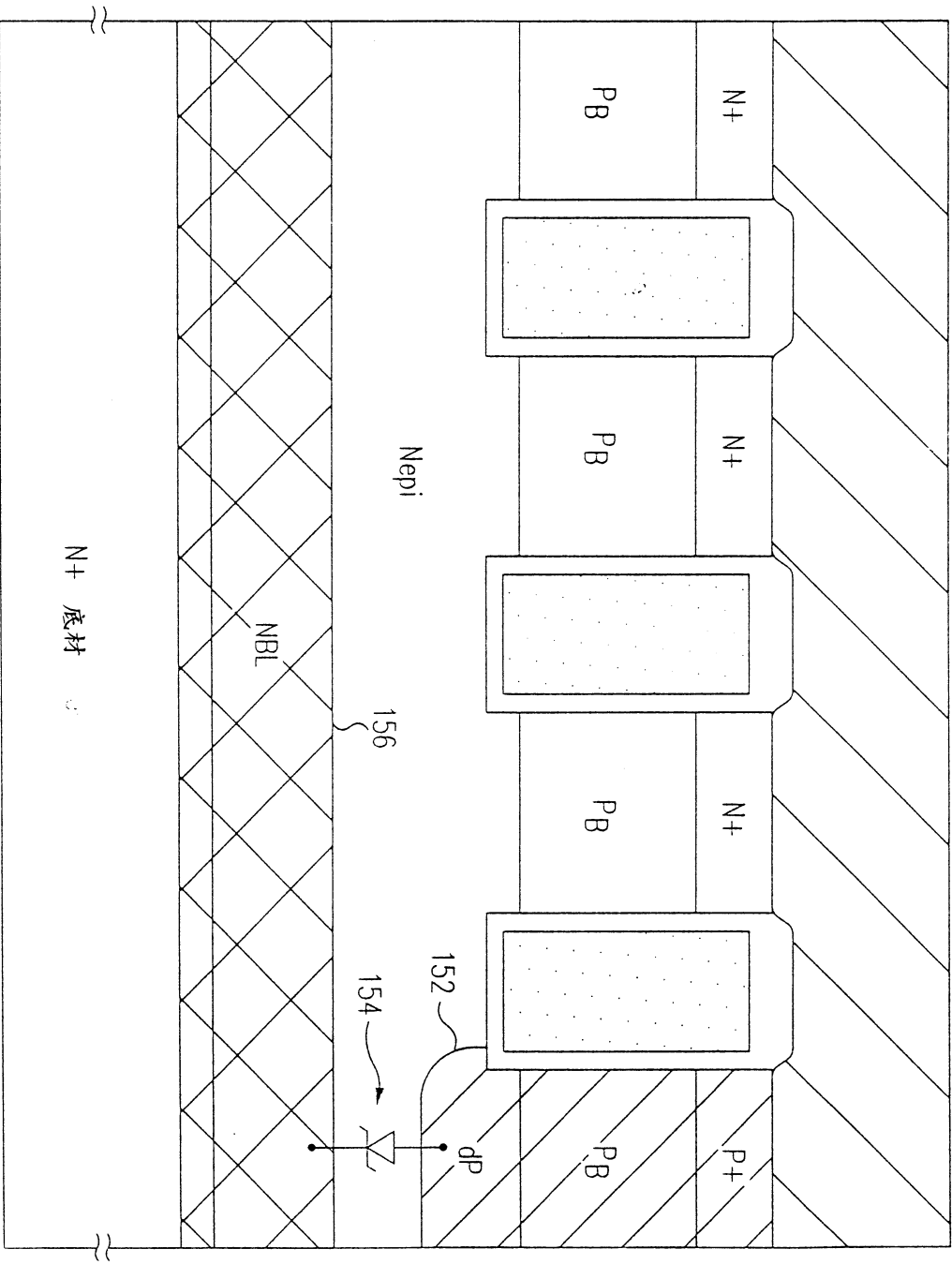


圖 15B

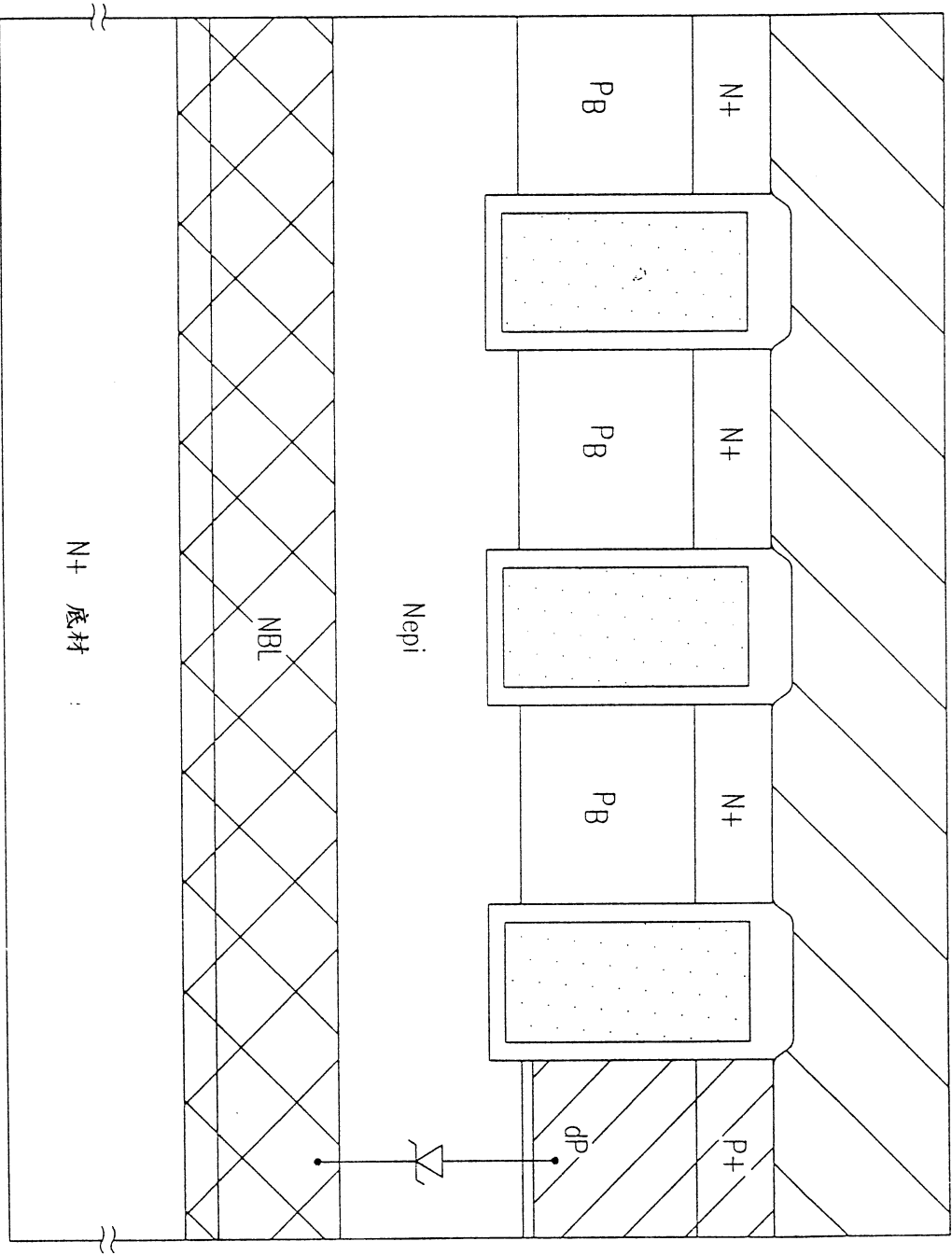


圖 15C

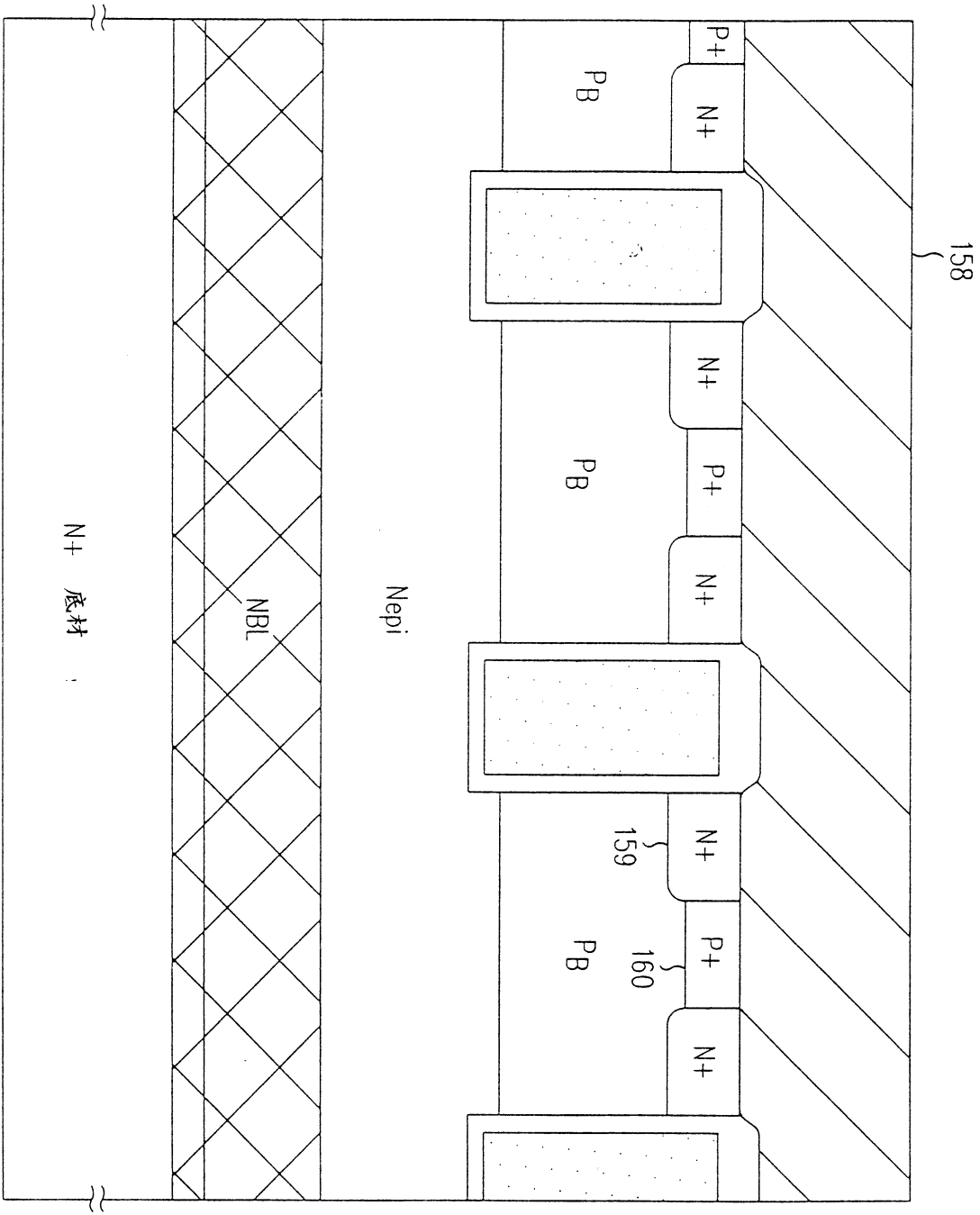
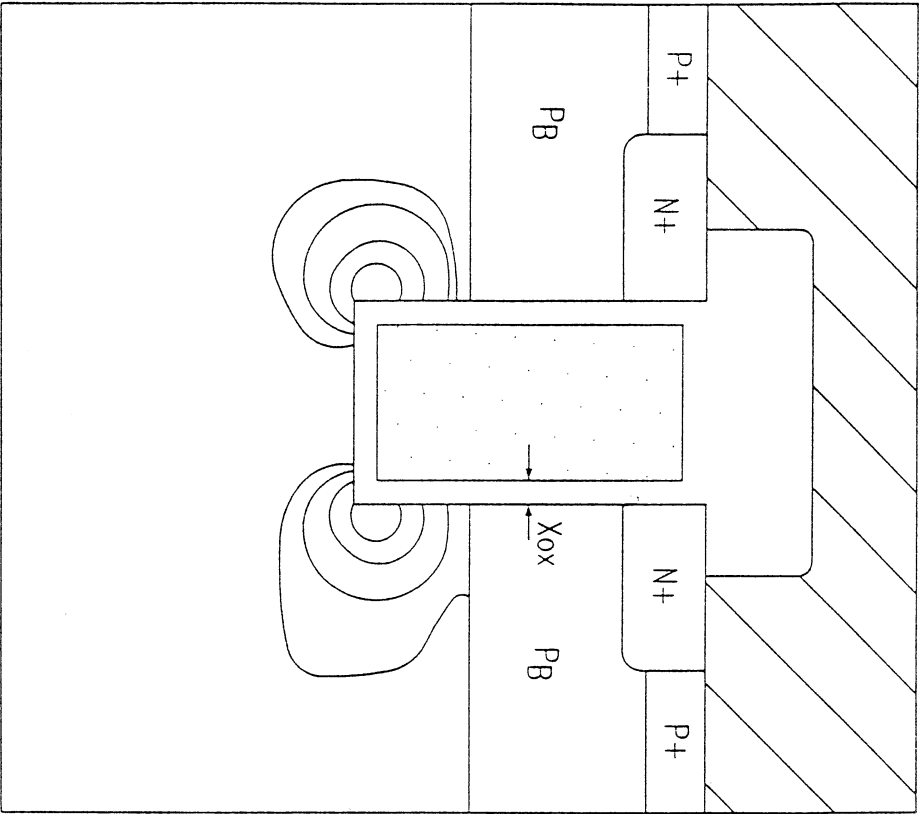


圖 15D



(先前技藝)
圖 16A

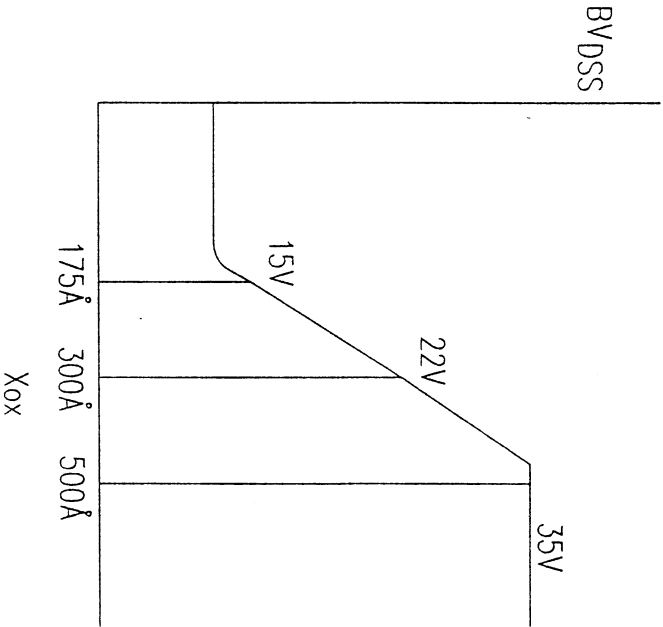


圖 16B

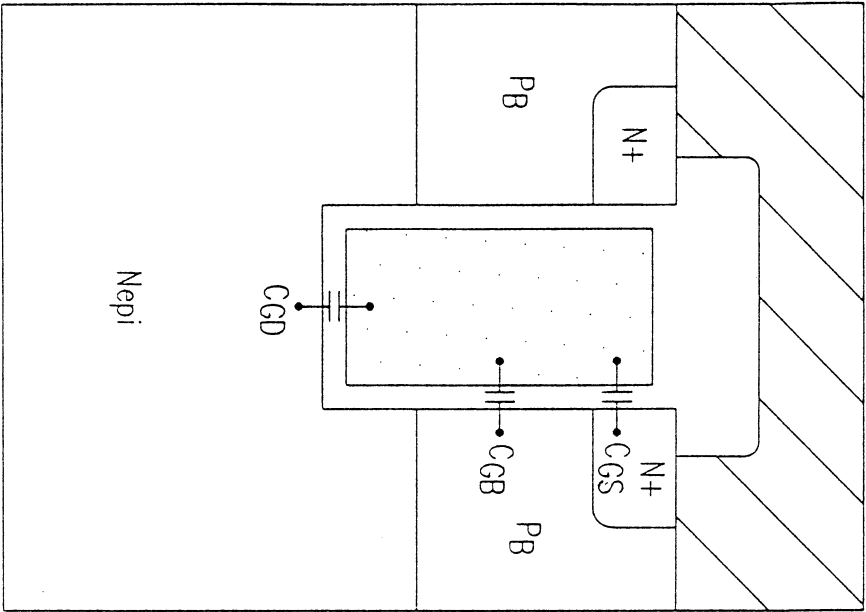


圖 17A

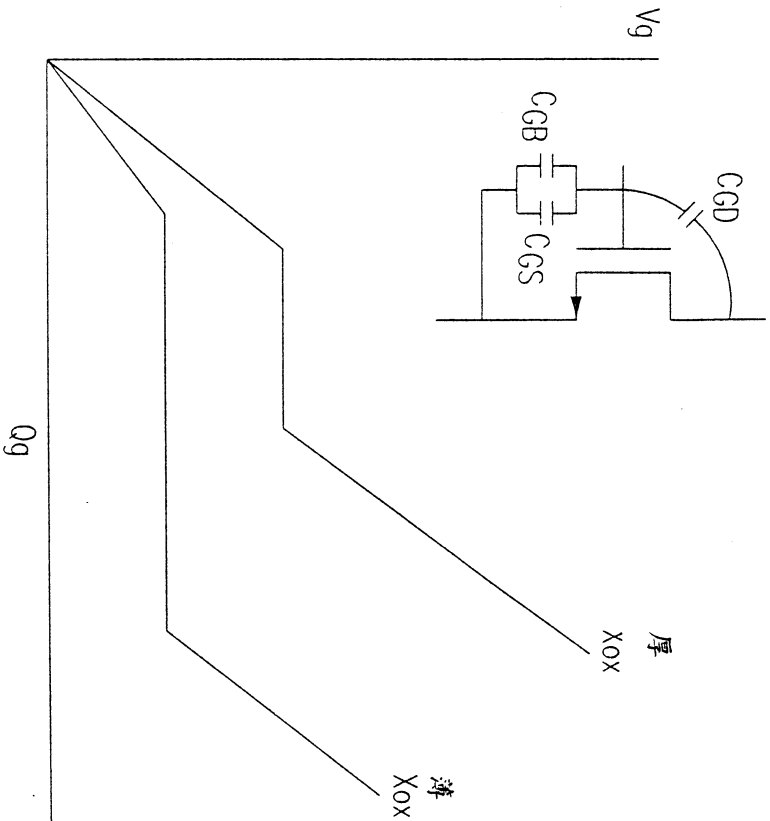


圖 17B

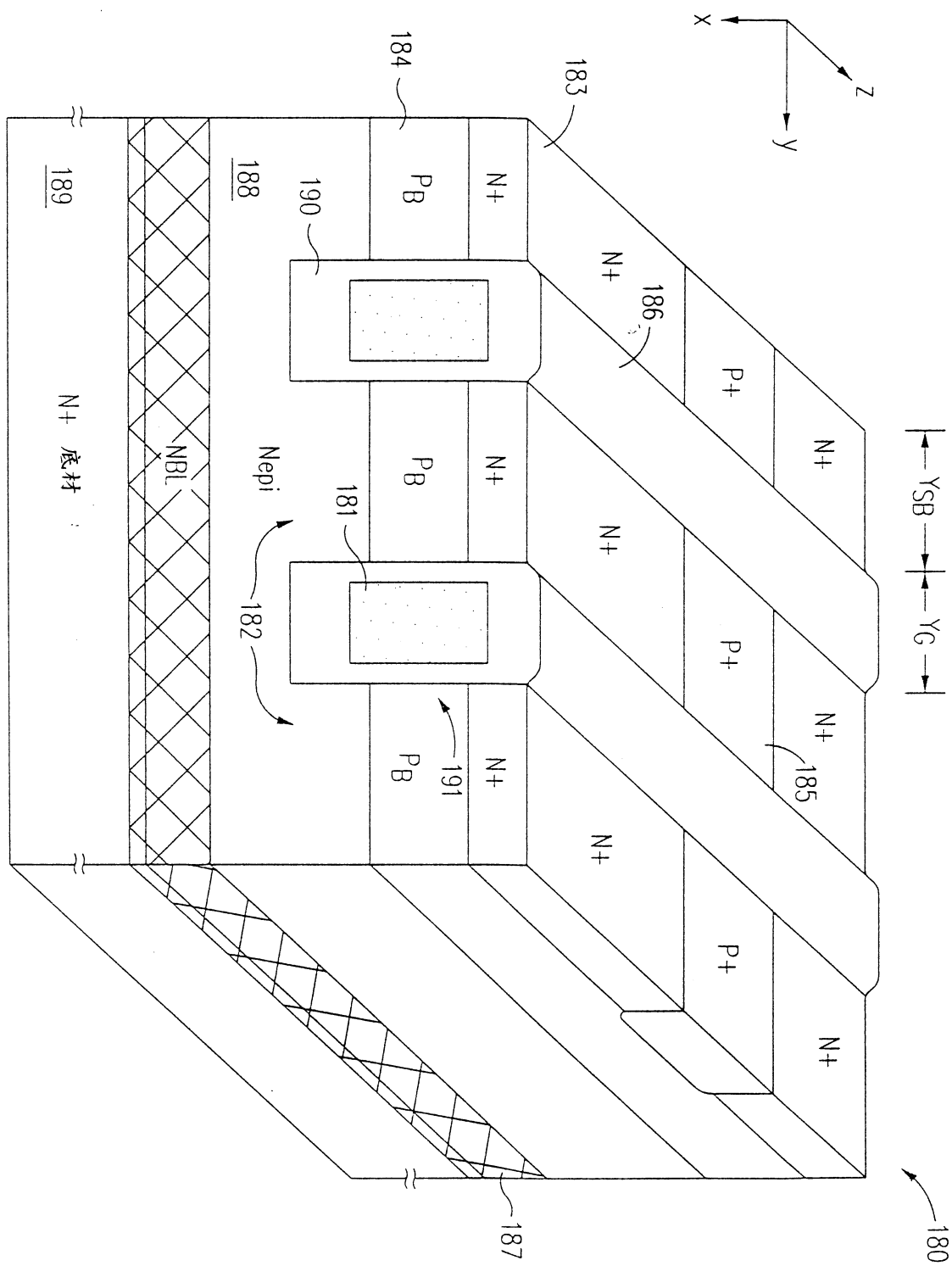


圖 18

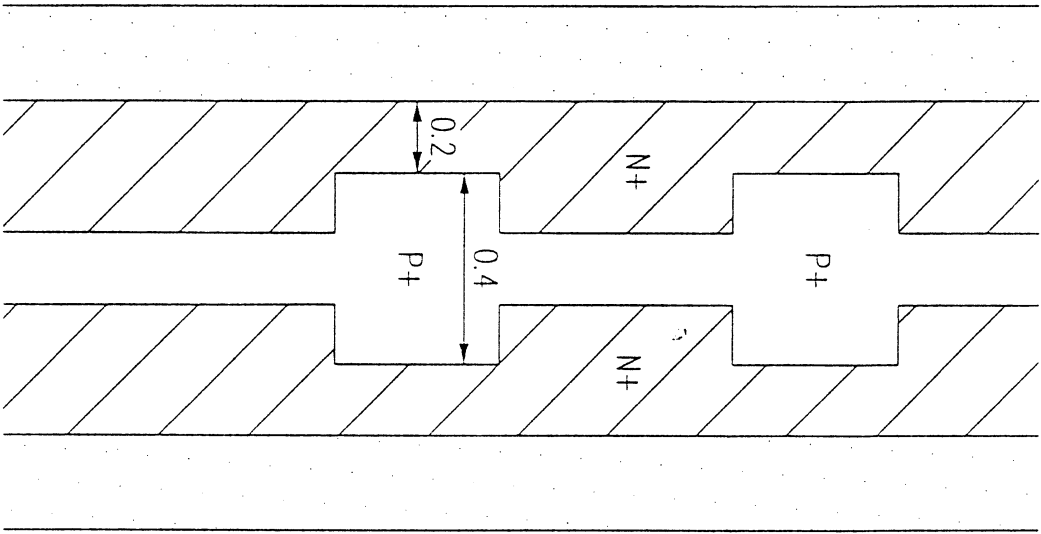


圖 19A

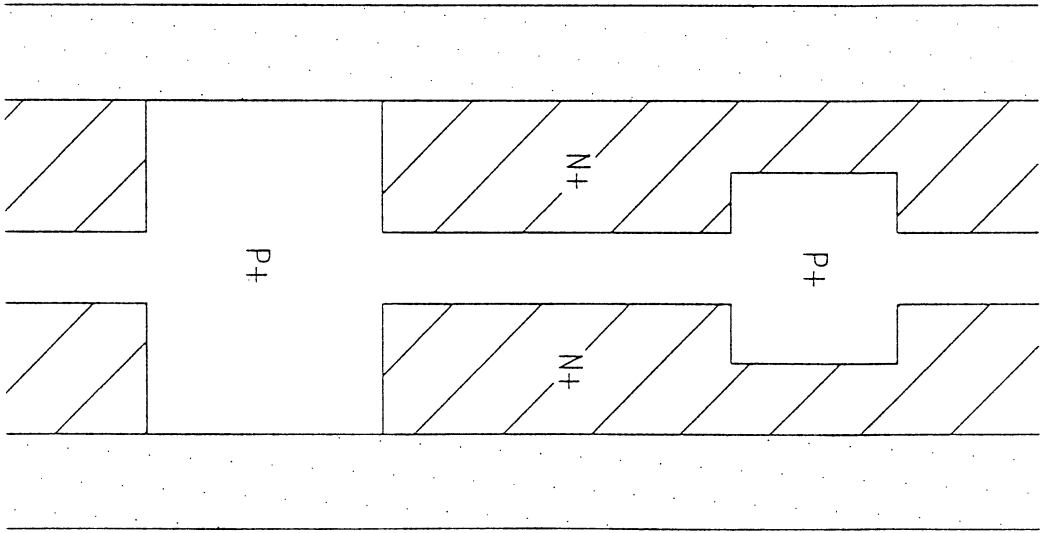


圖 19B

圖 19C

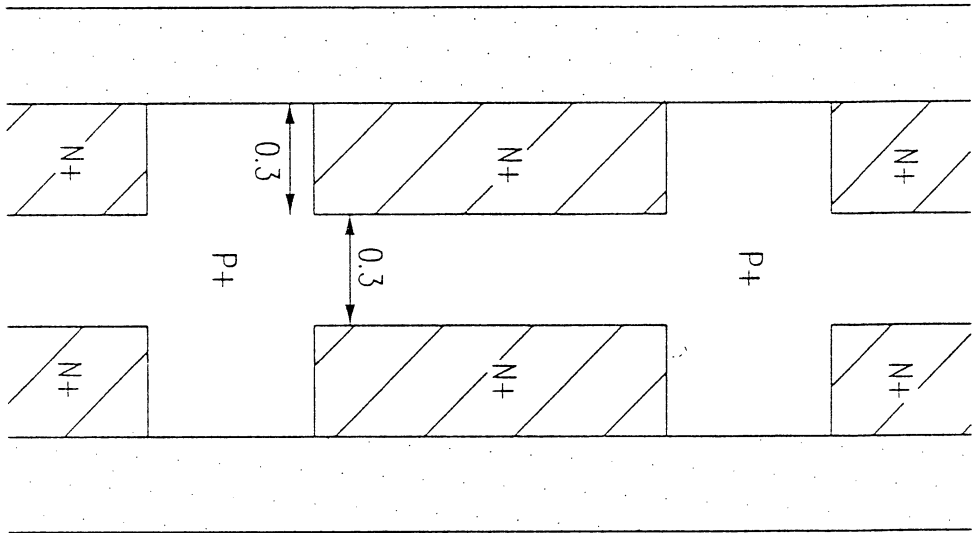
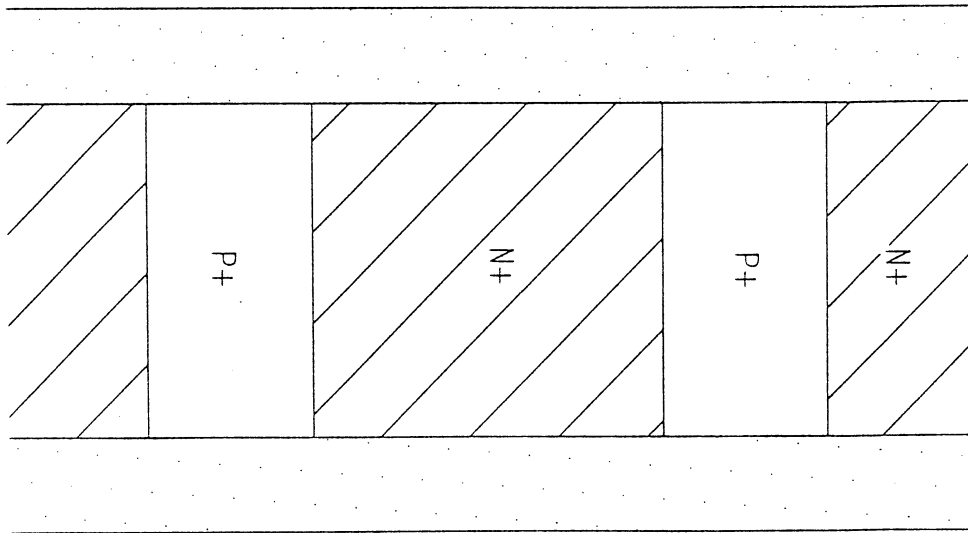


圖 19D



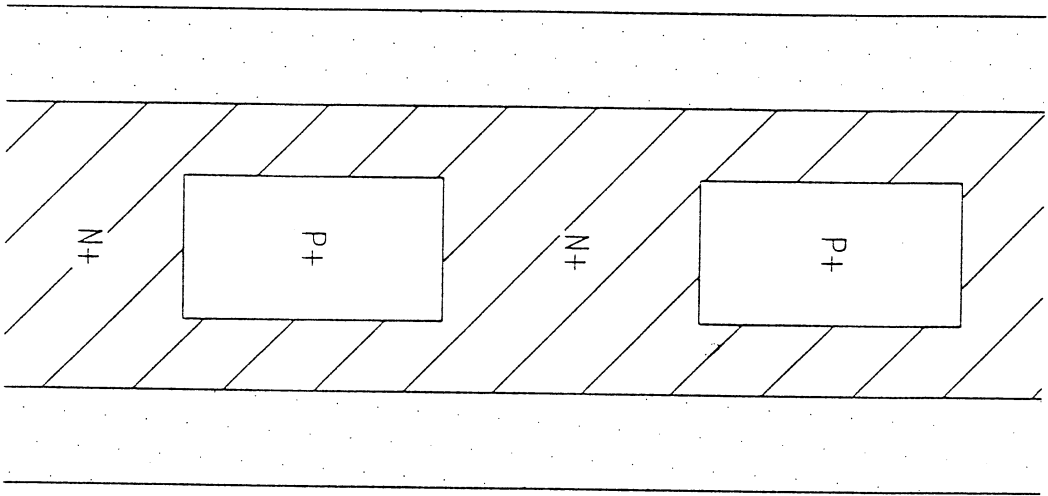


圖 19E

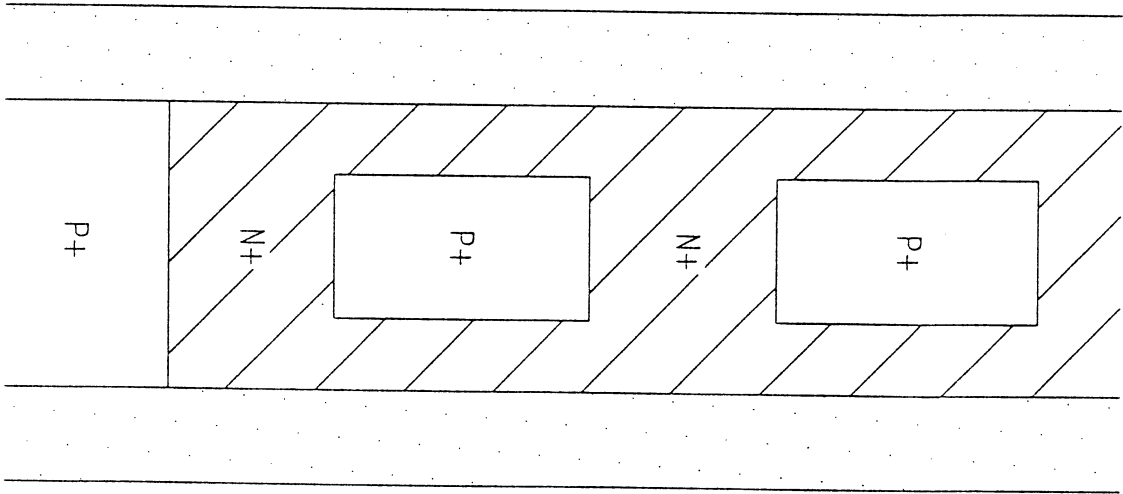


圖 19F

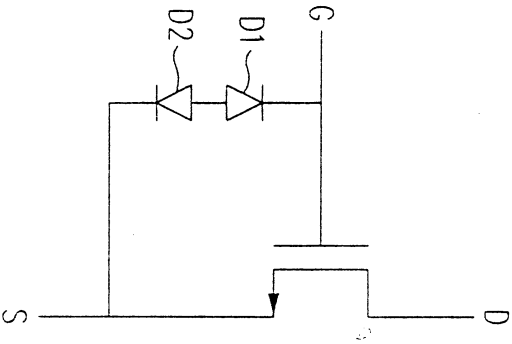


圖 20A

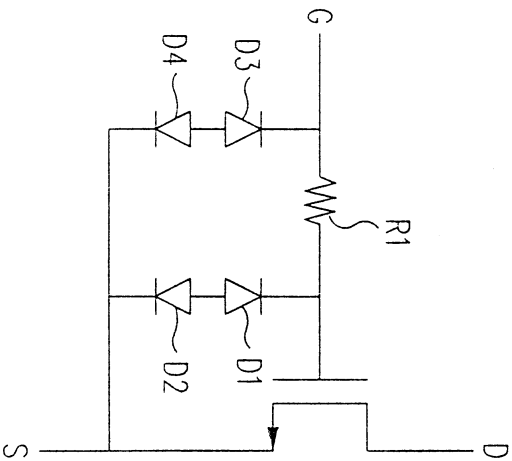


圖 20B

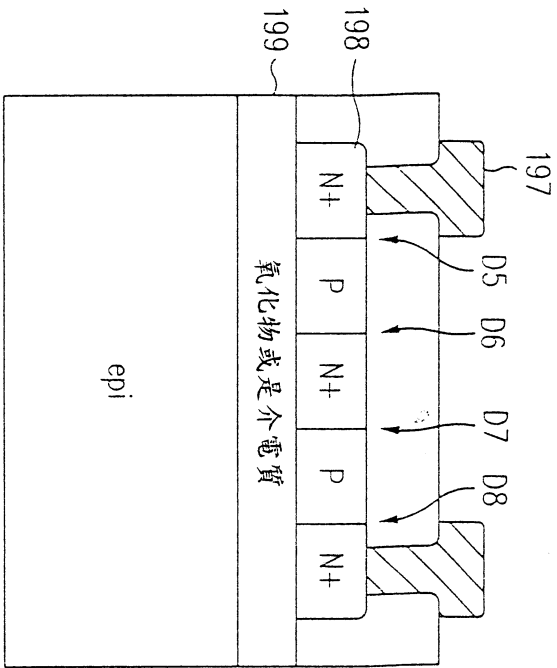


圖 20C

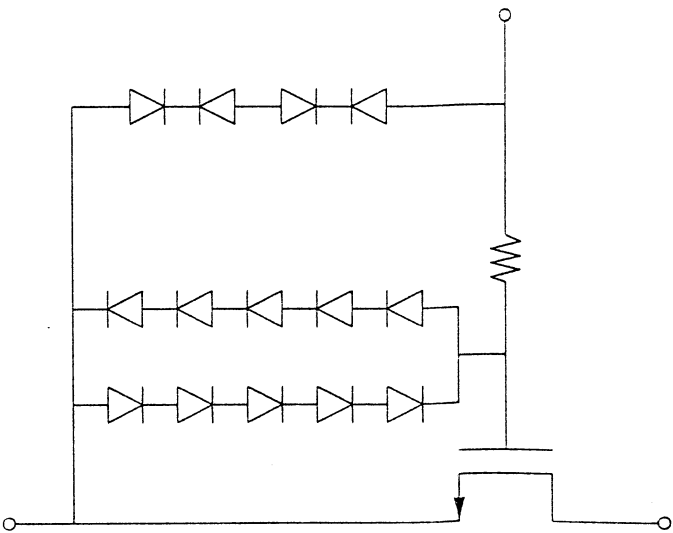


圖 20D

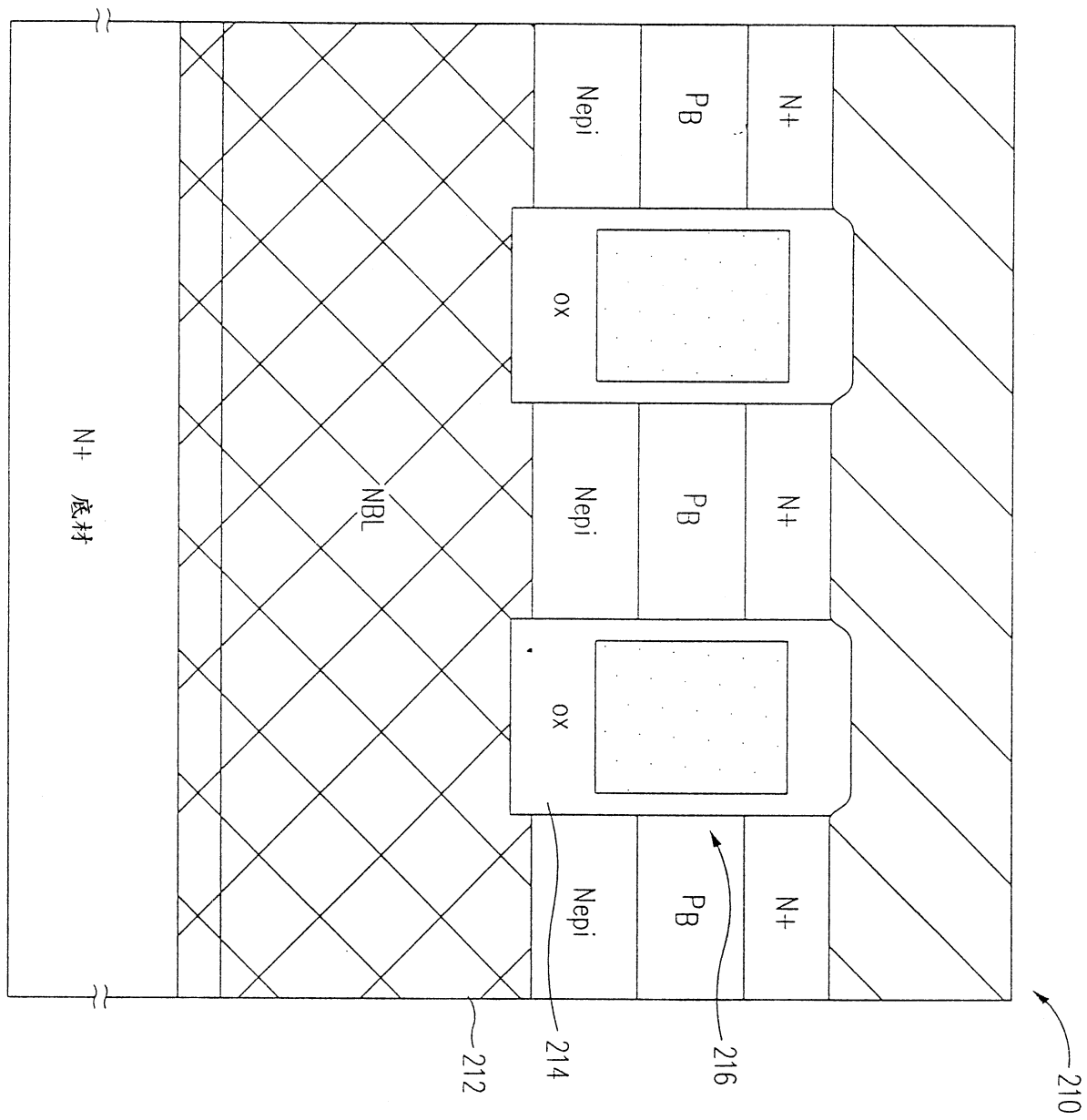


圖 21A

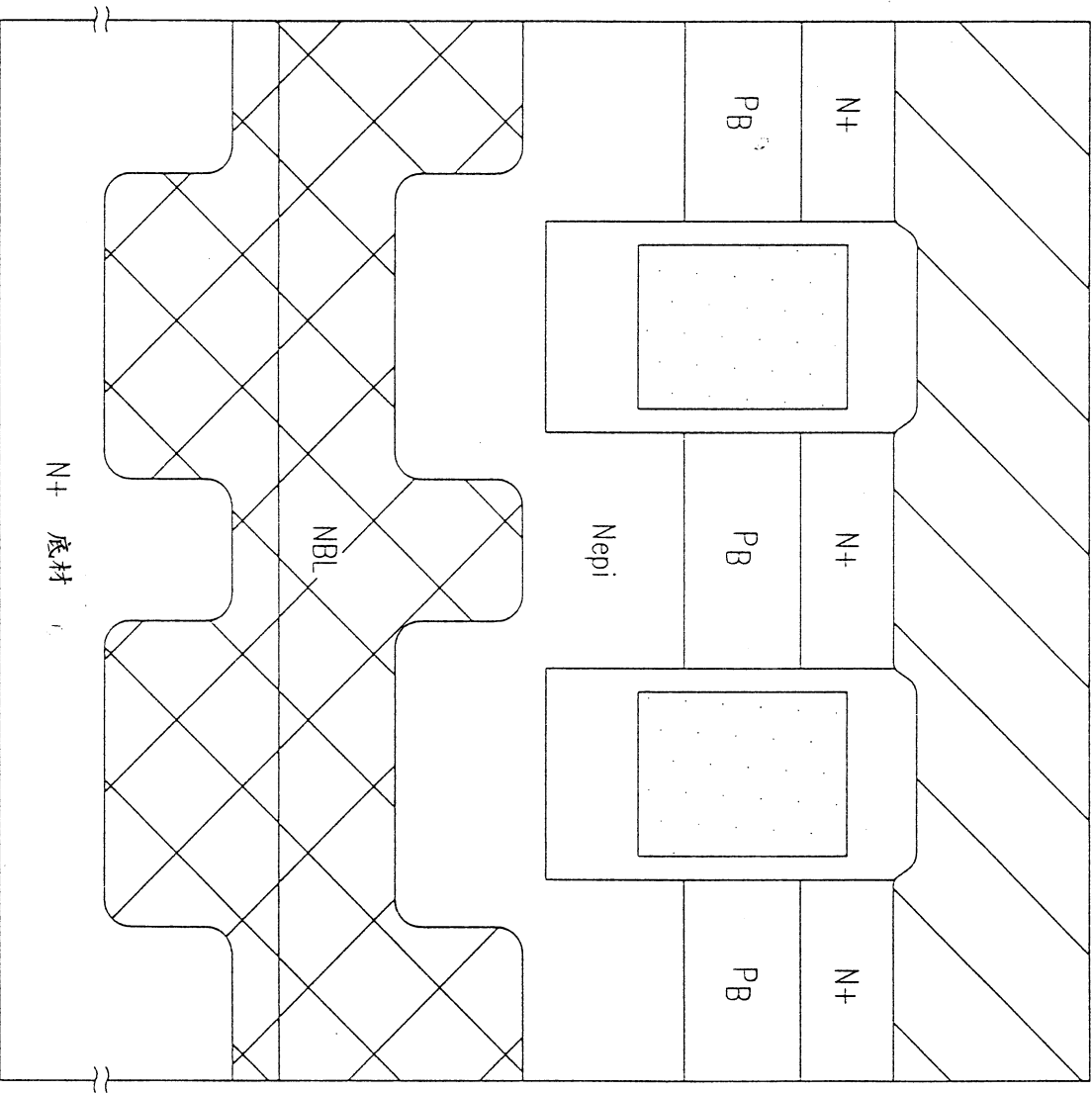


圖 21B

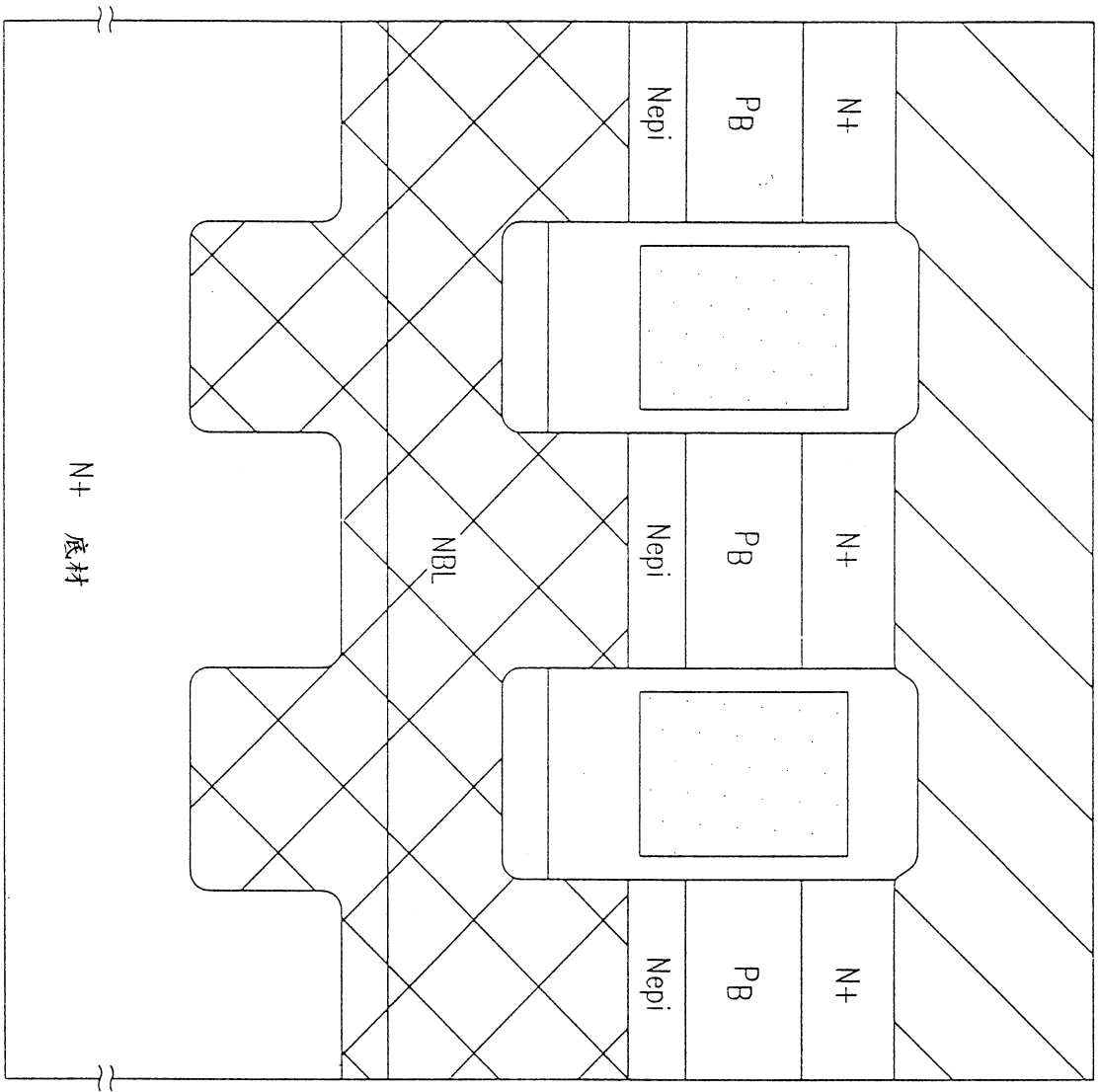


圖 21C

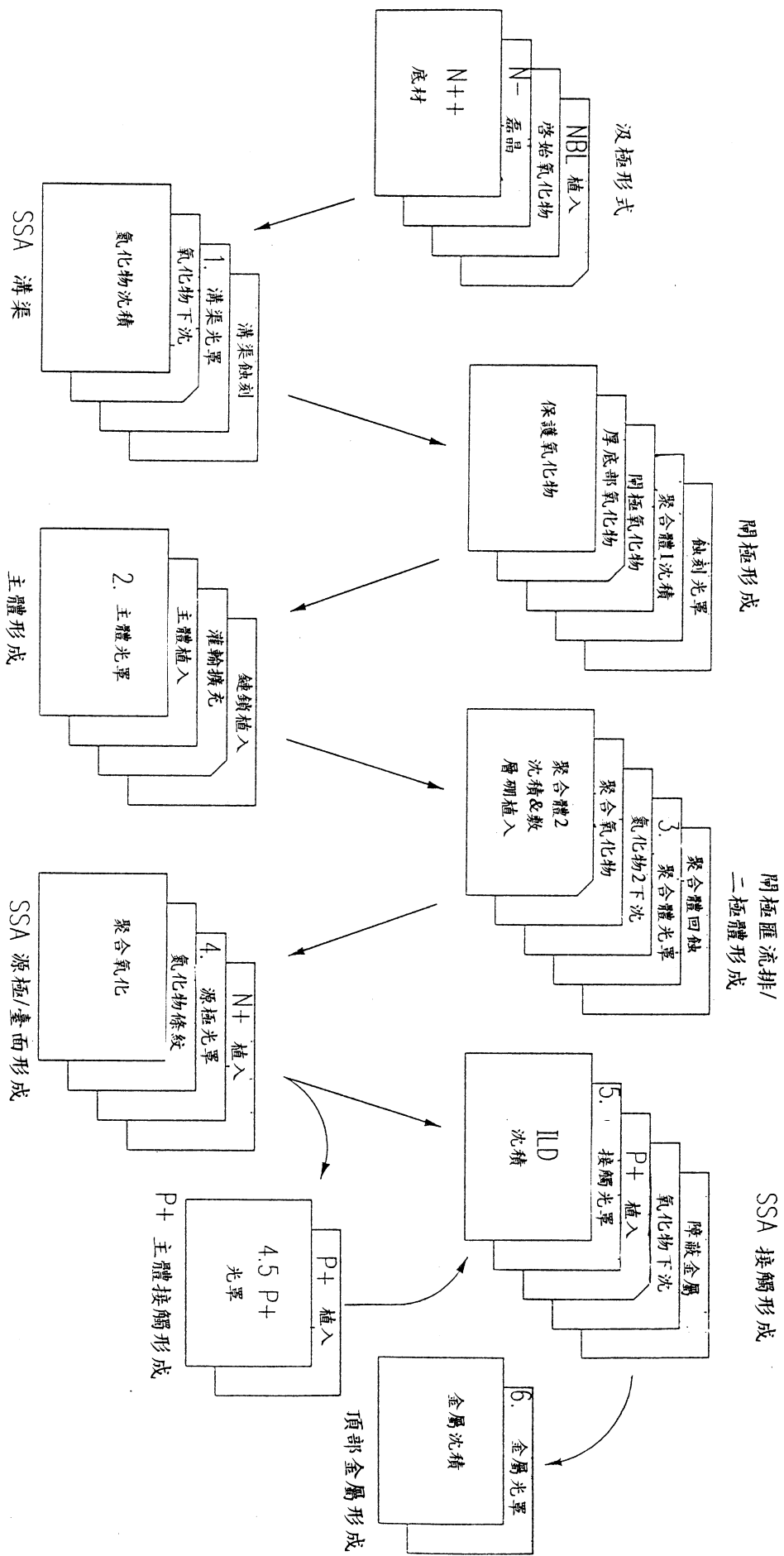
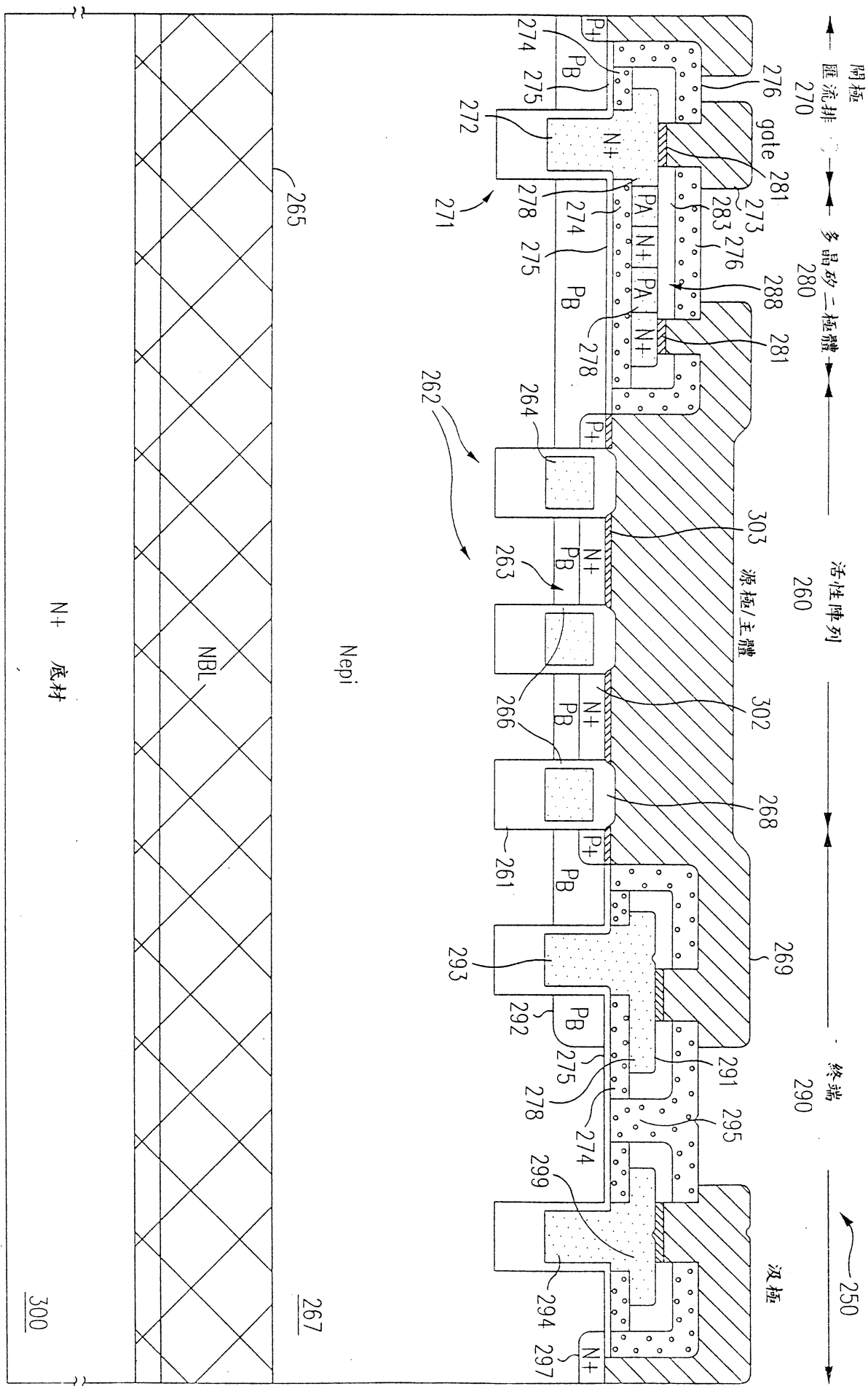


圖 22



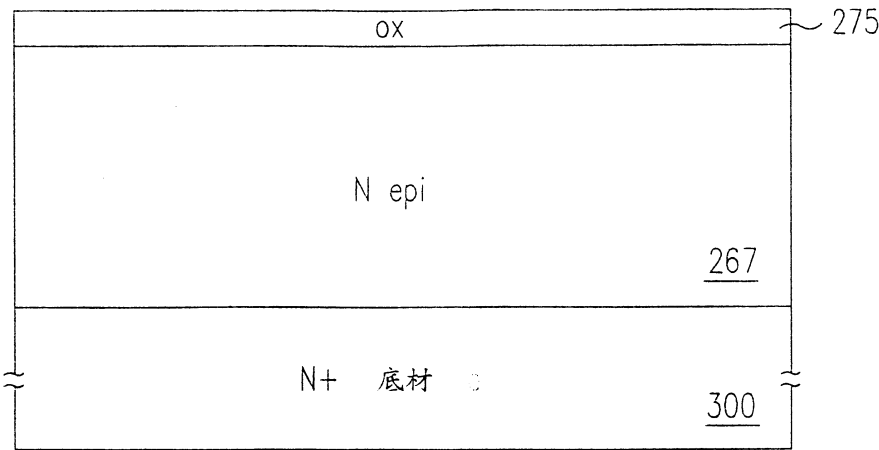


圖 24A

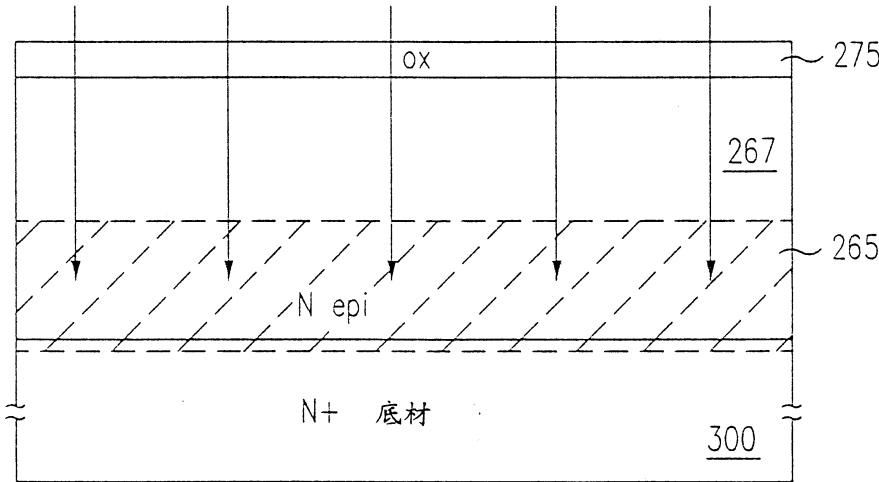


圖 24B

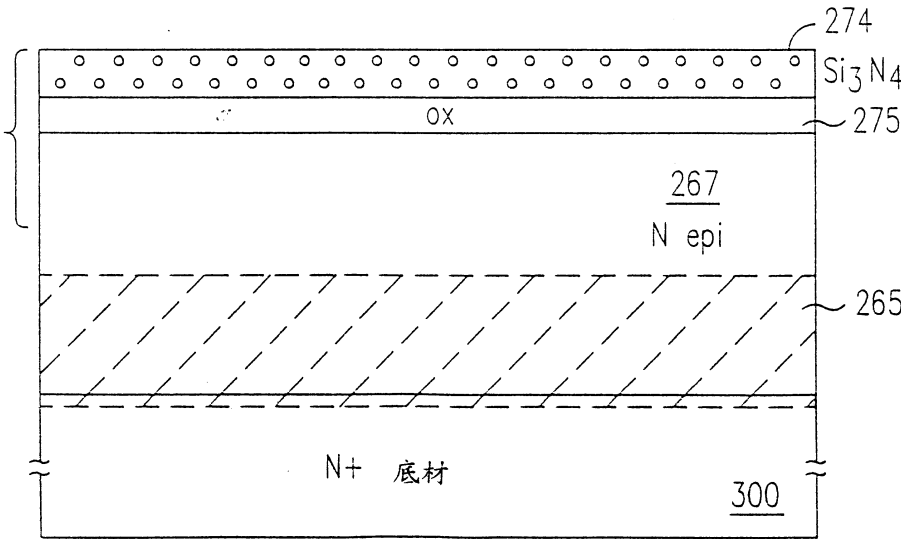


圖 24C

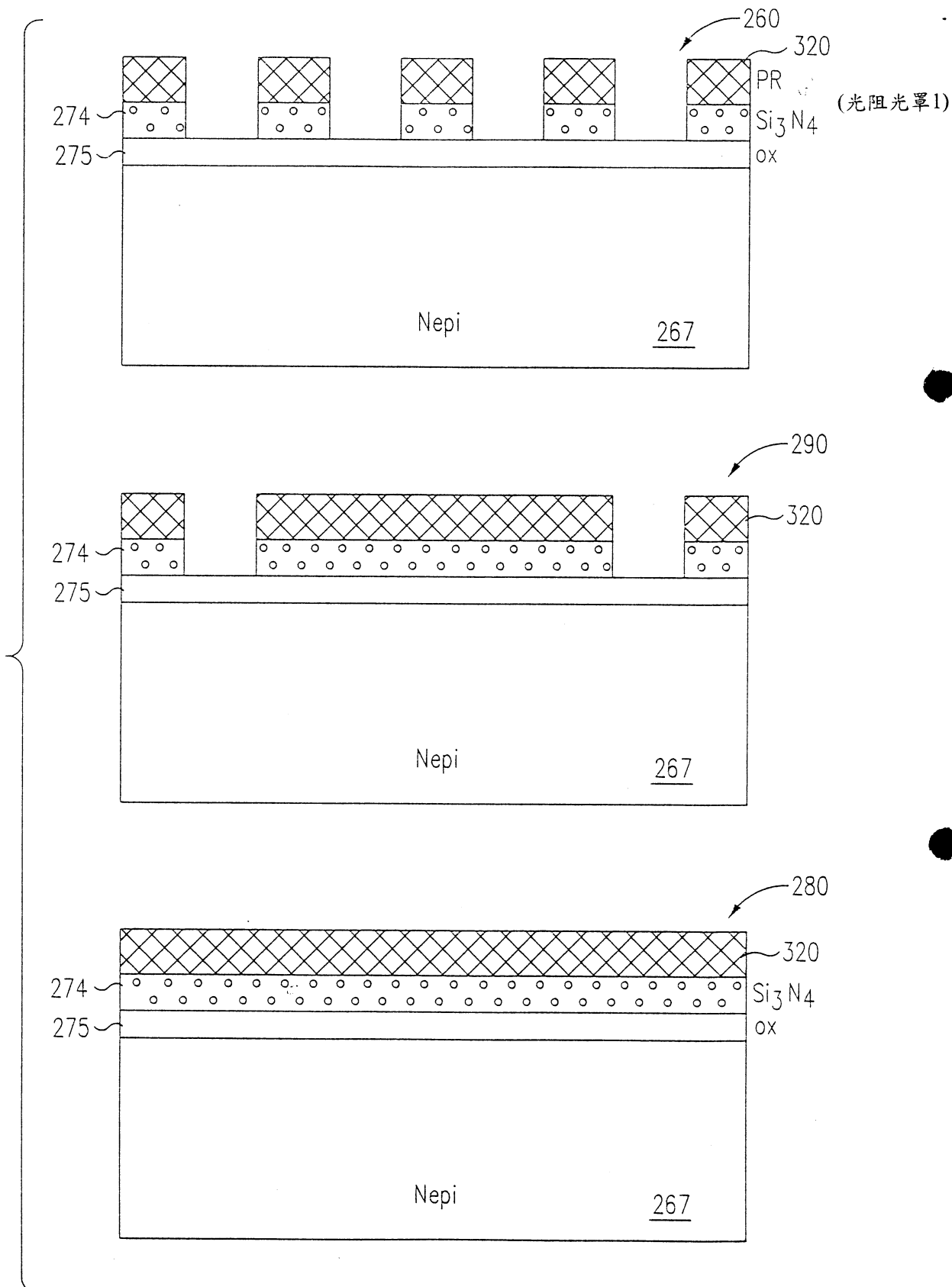


圖 24D

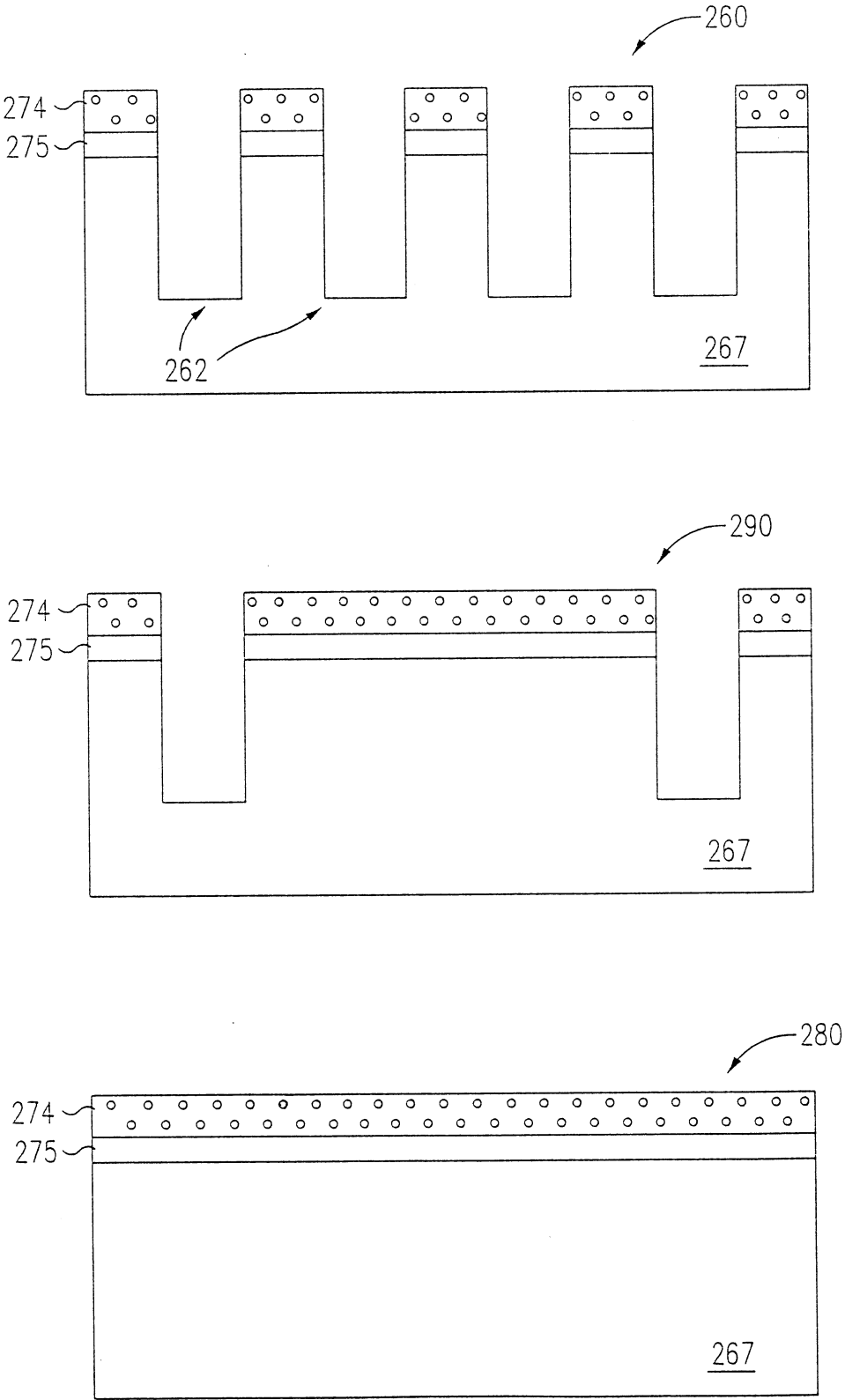


圖 24E

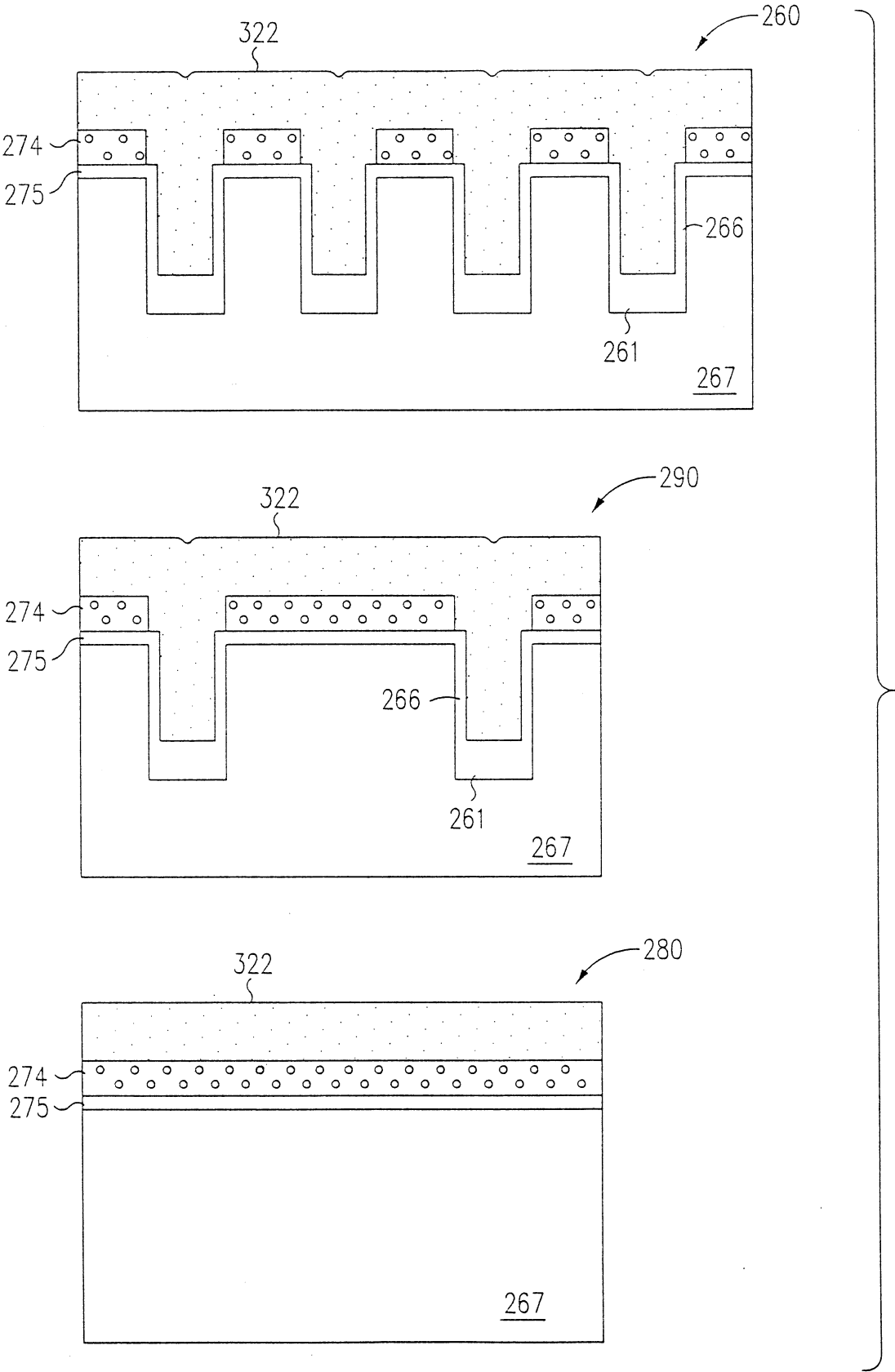


圖 24F

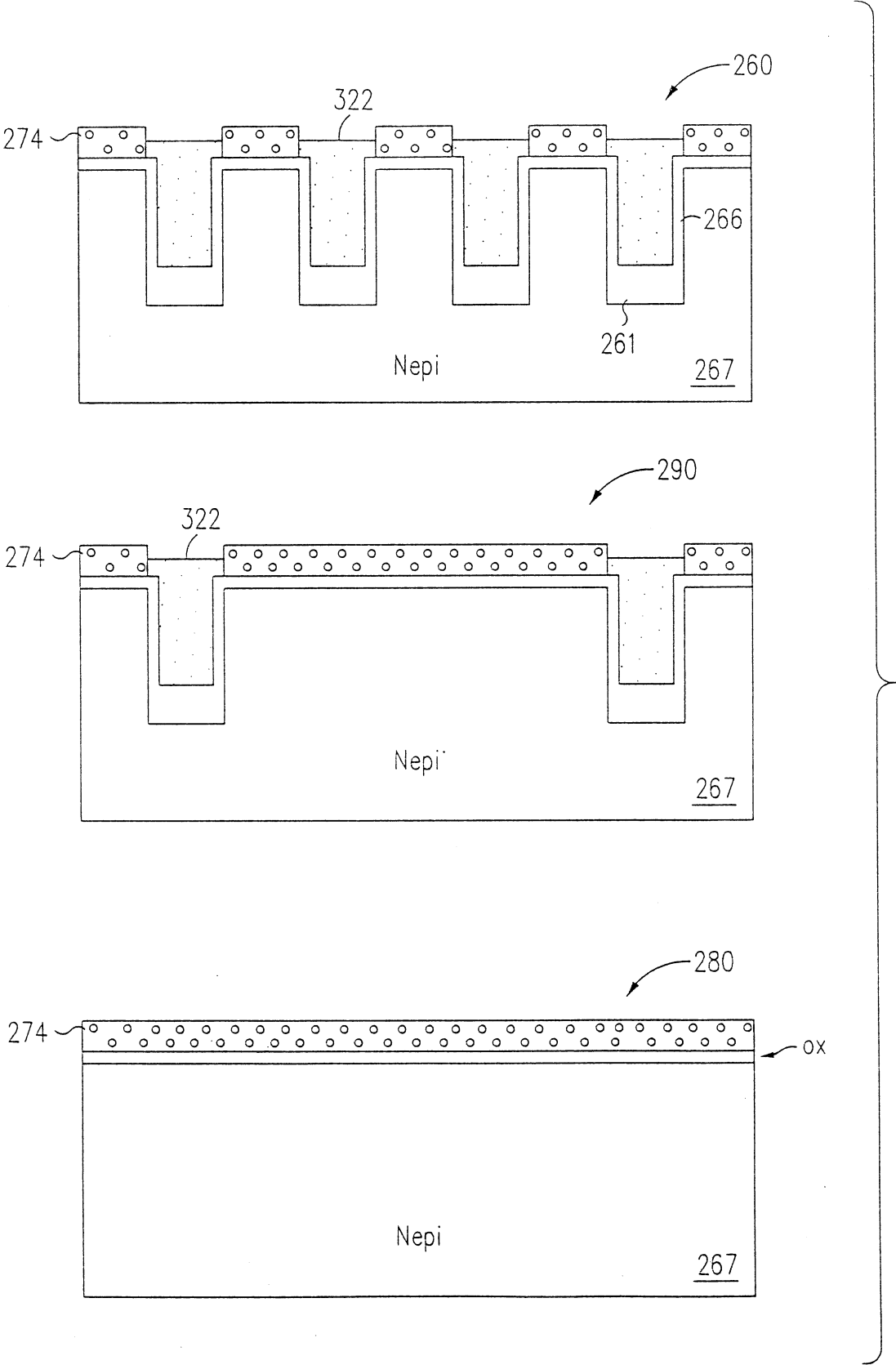


圖 24G

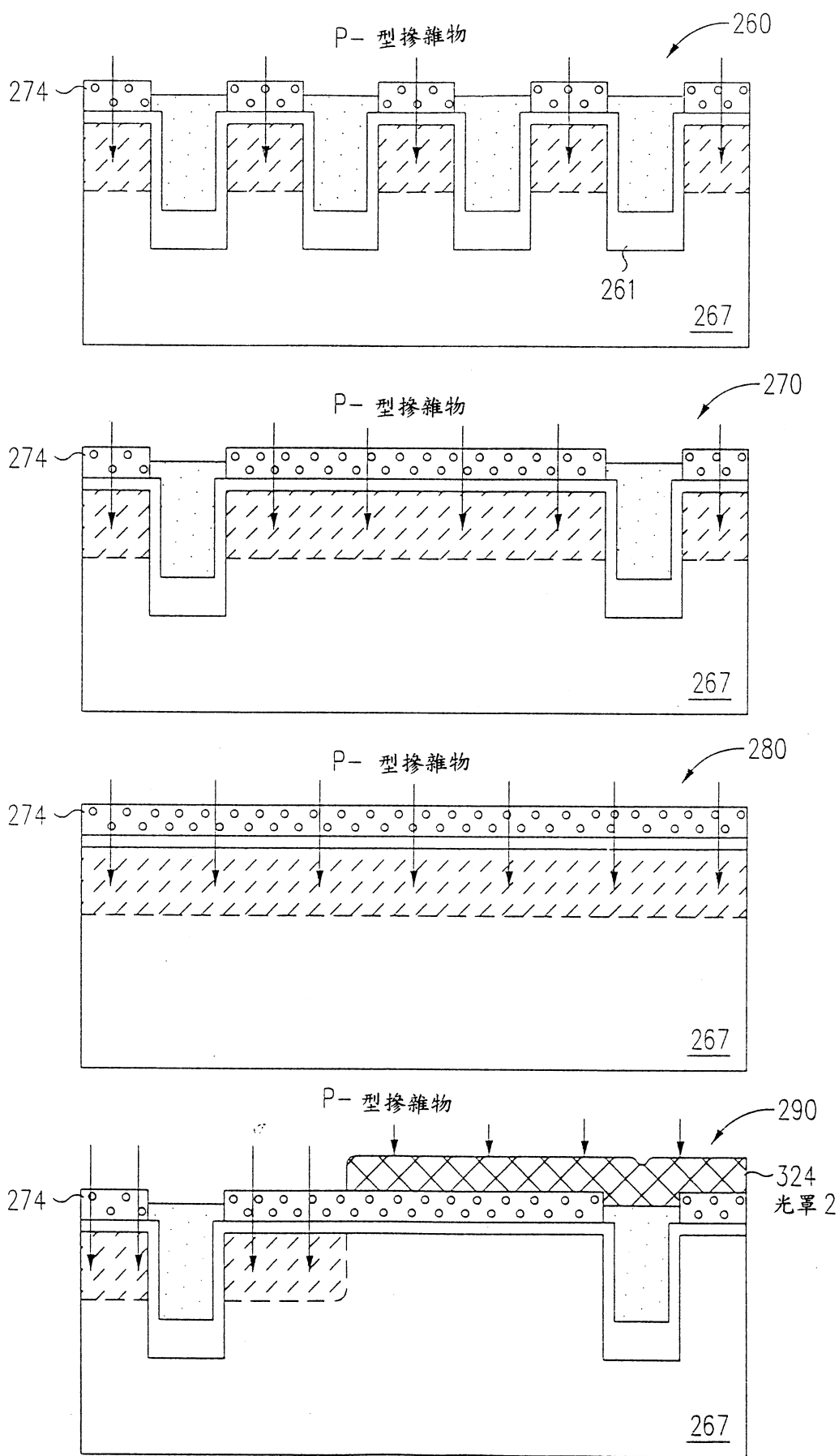


圖 24H

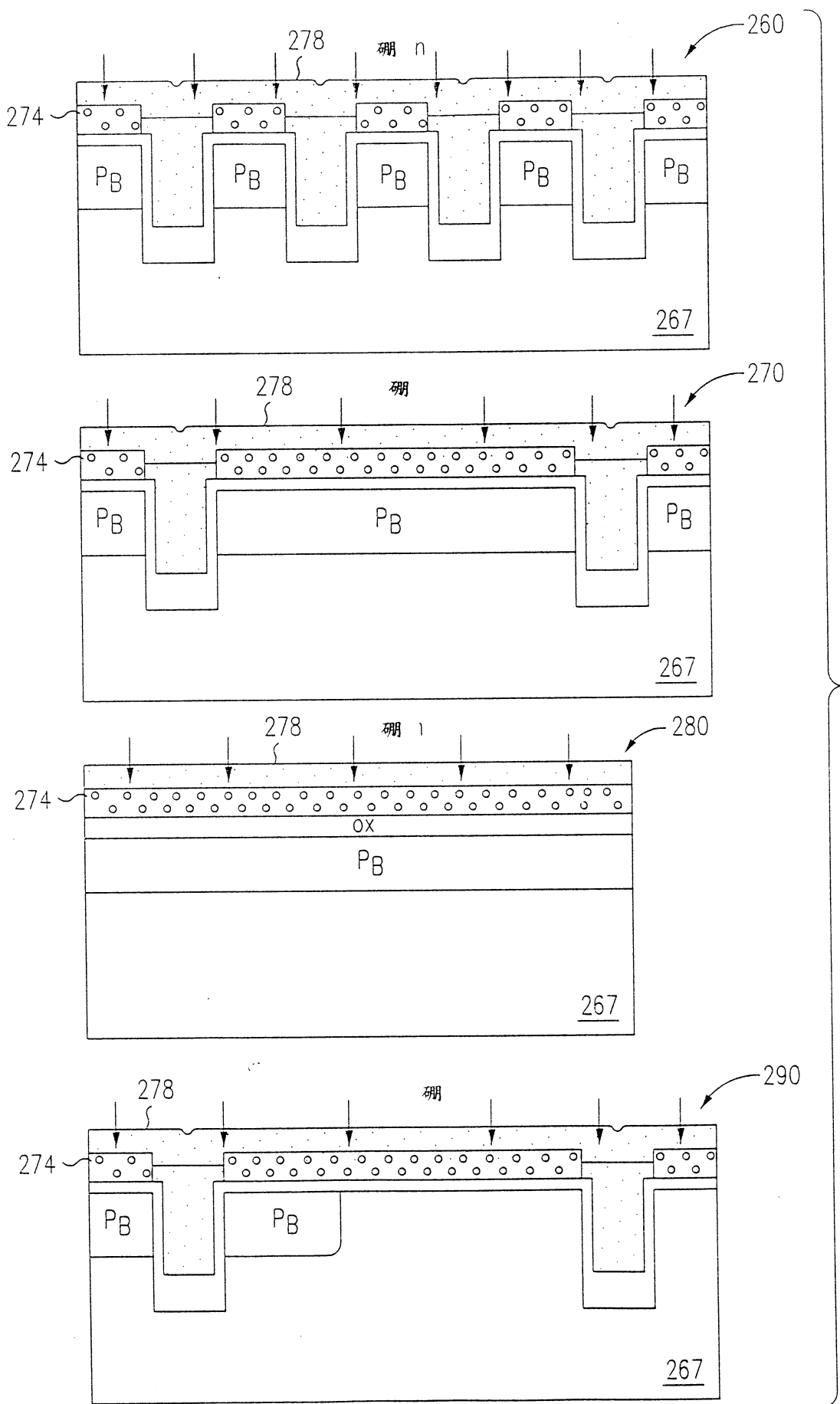


圖 24I

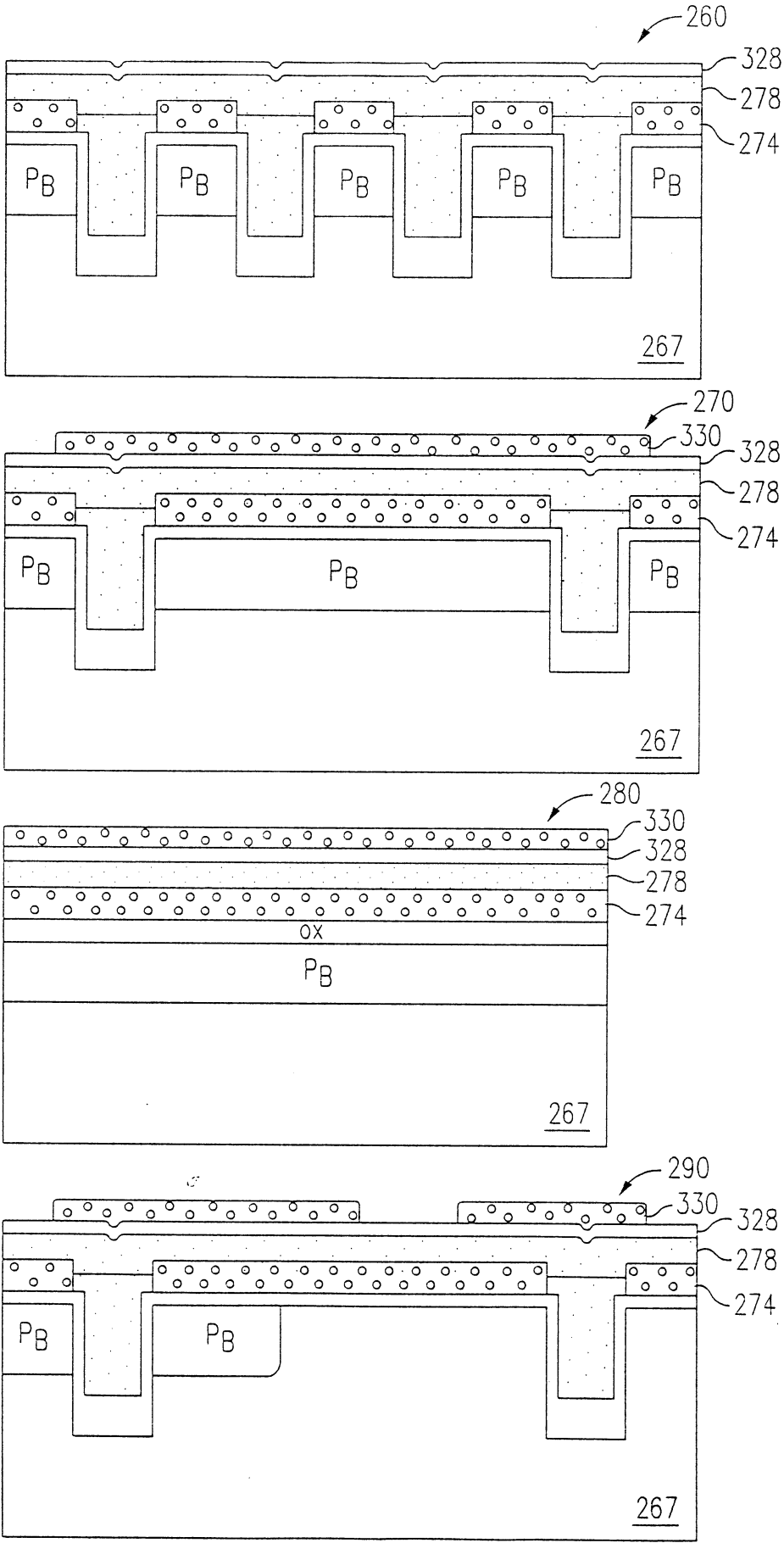


圖 24J

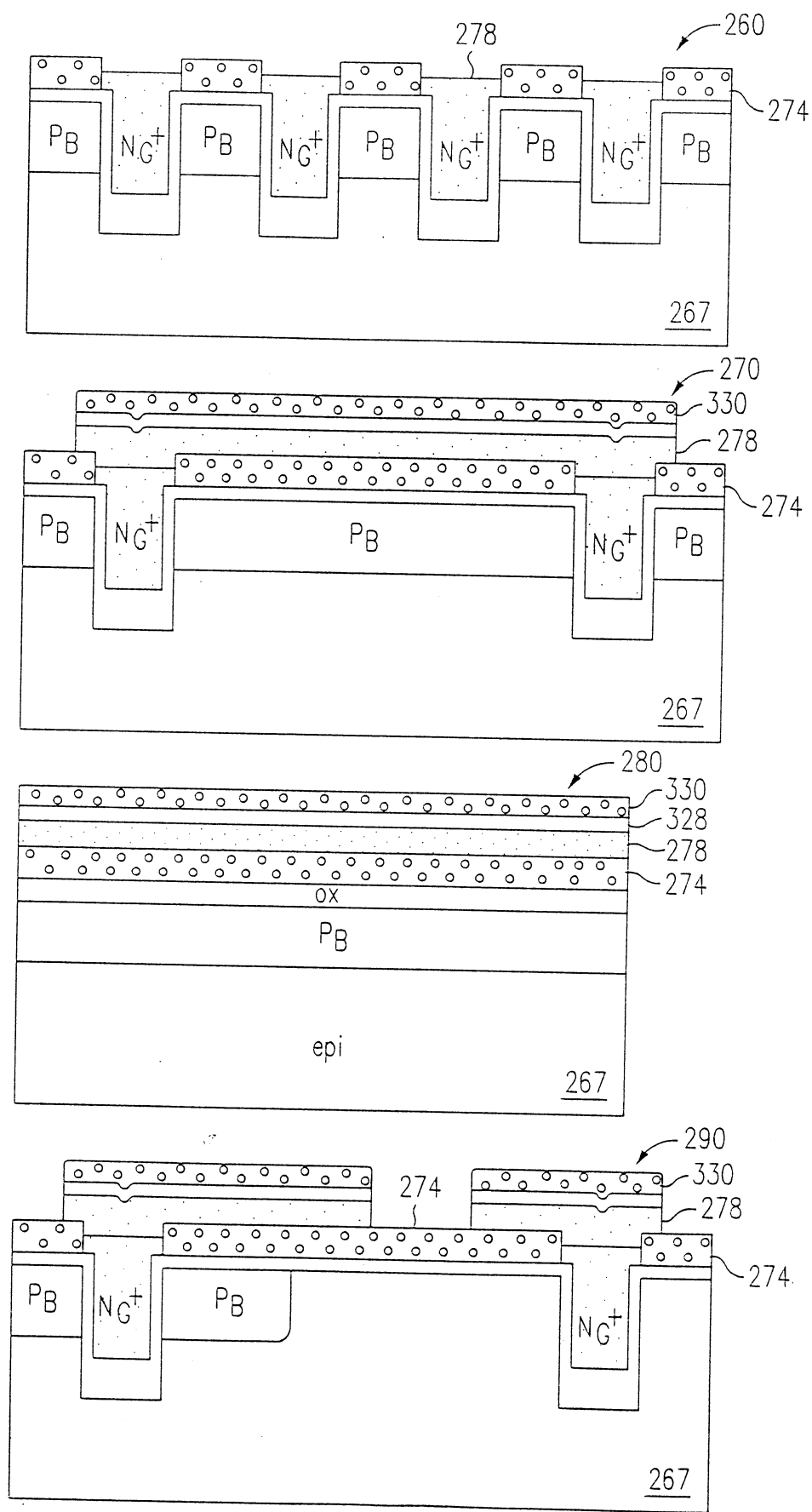


圖 24K

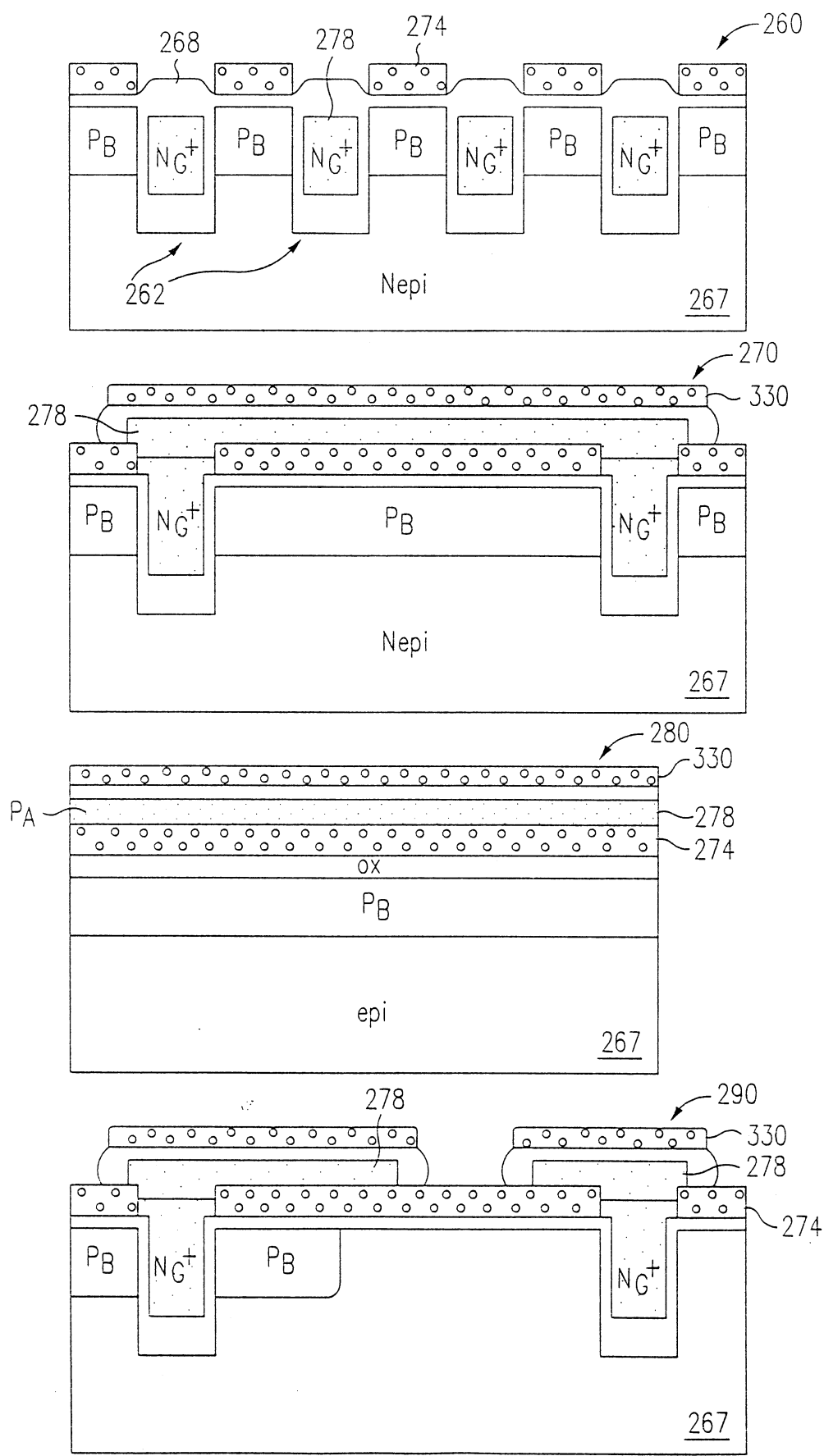


圖 24L

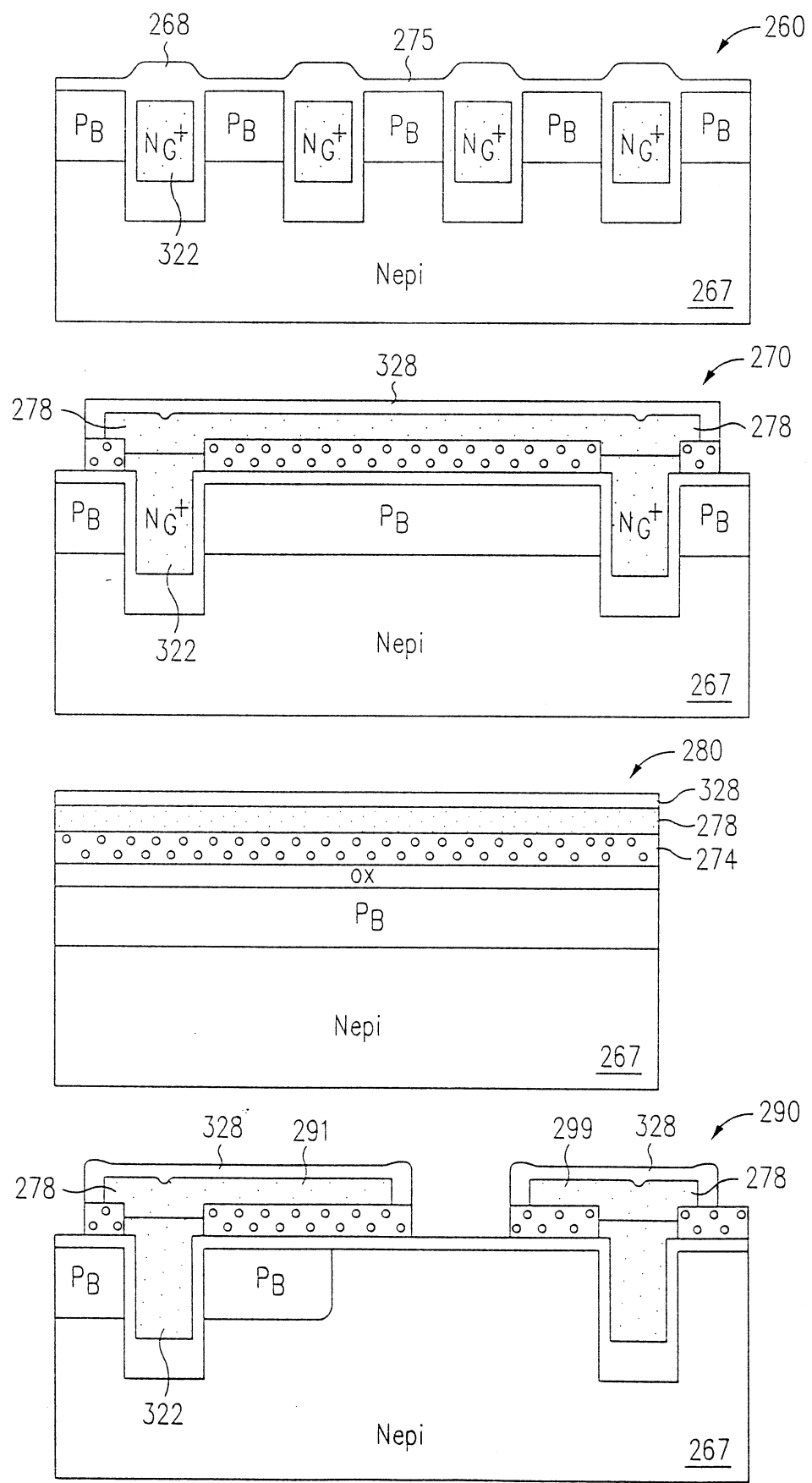


圖 24M

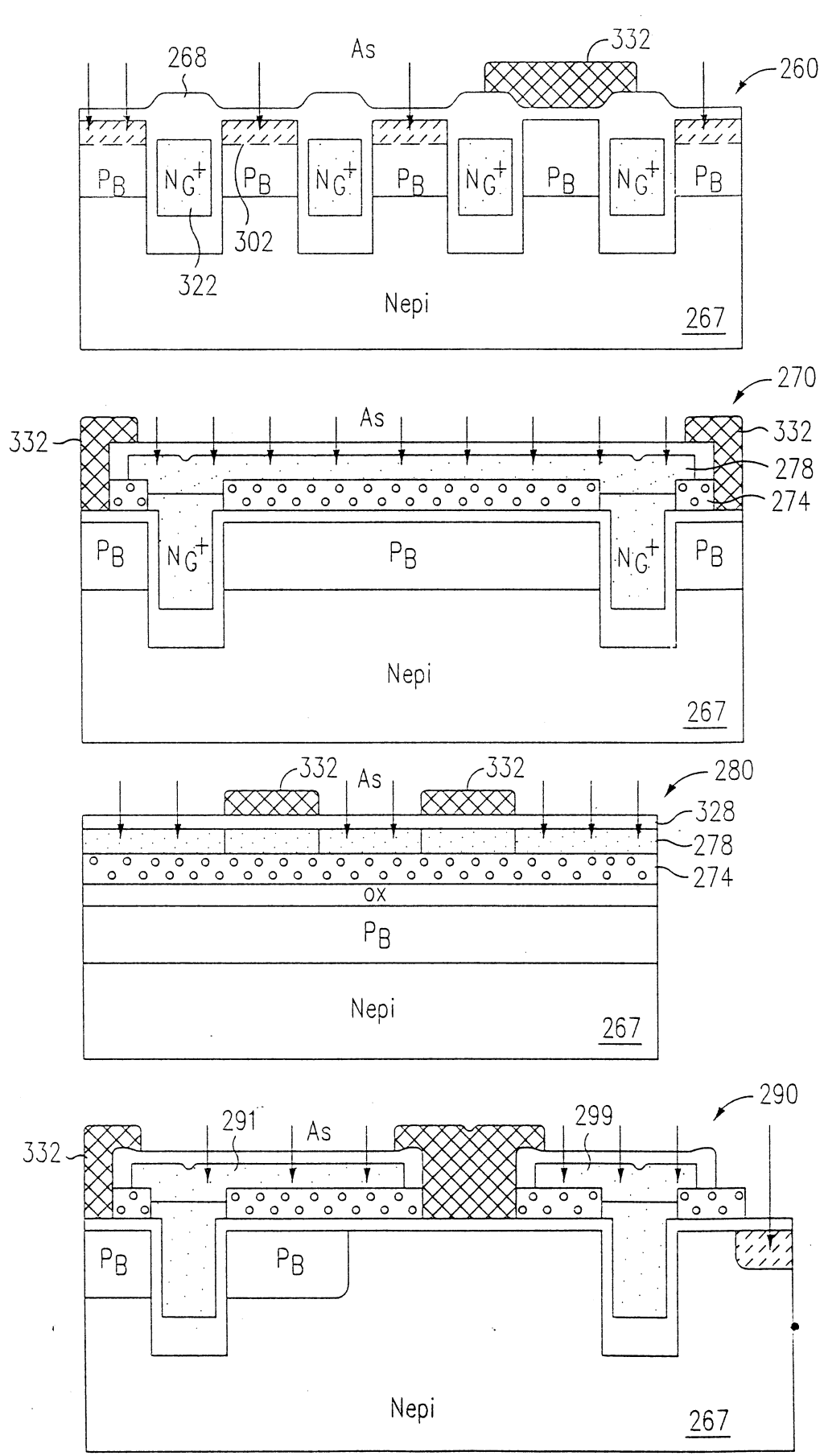


圖 24N

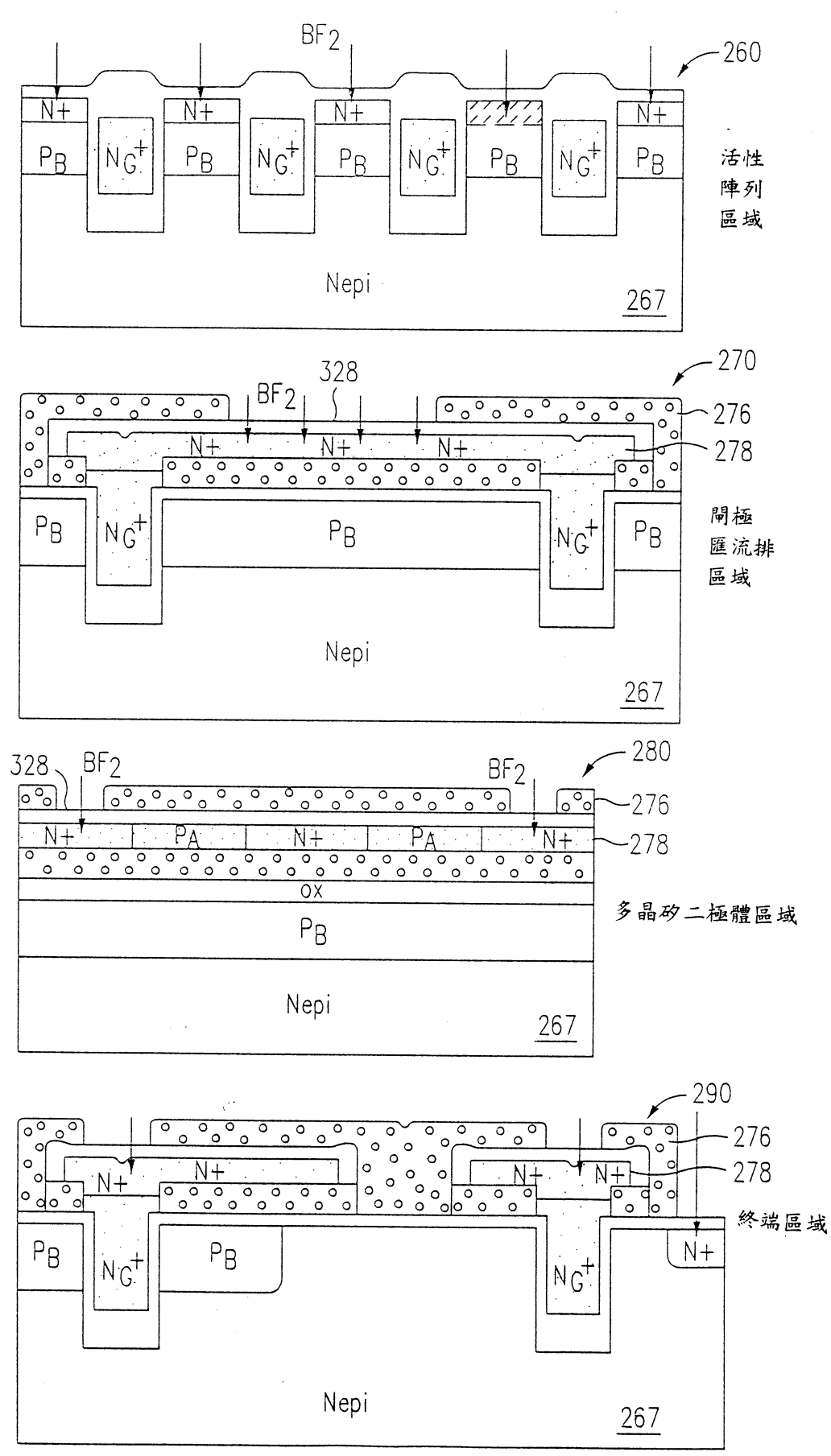


圖 240

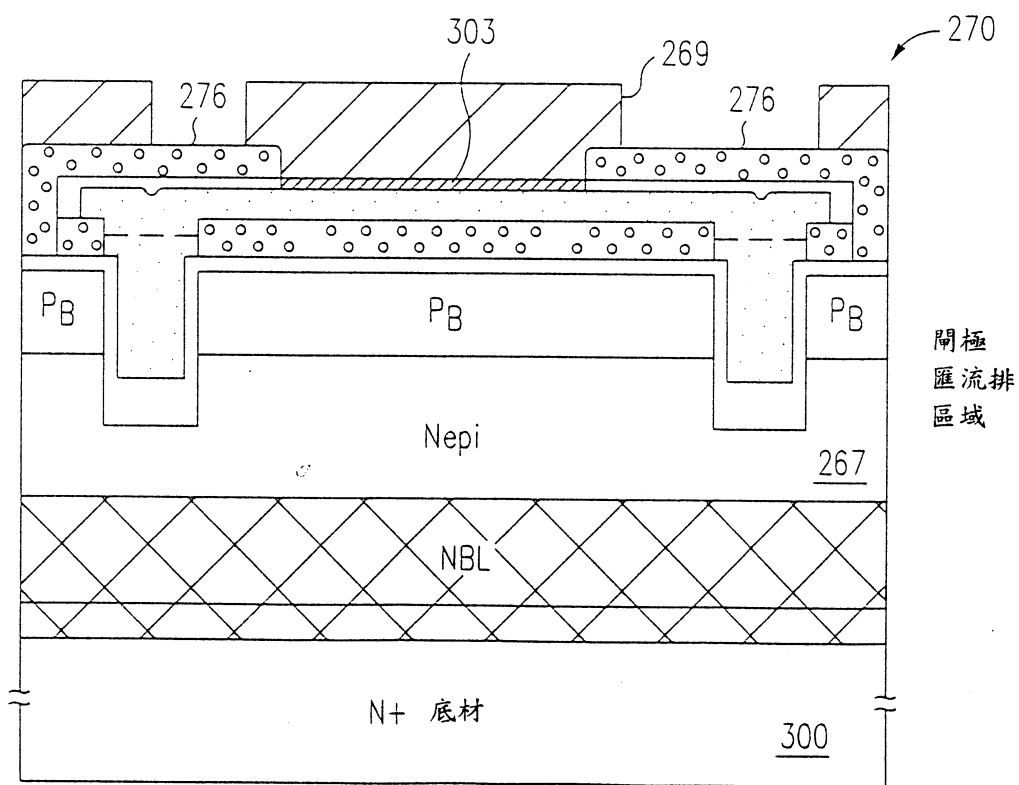
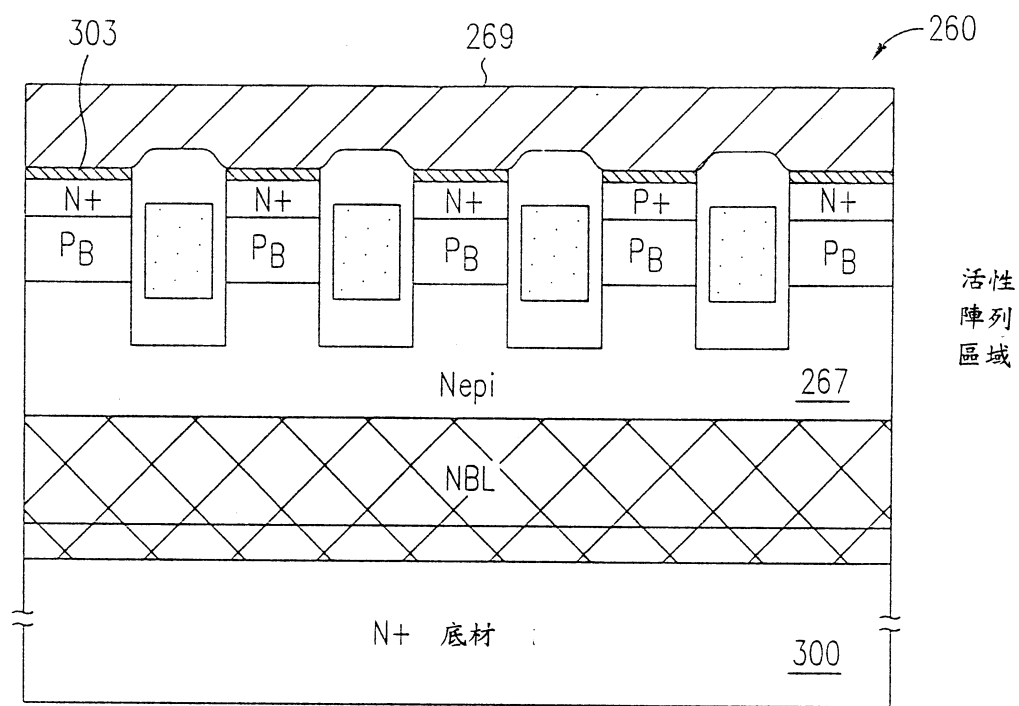


圖 24P

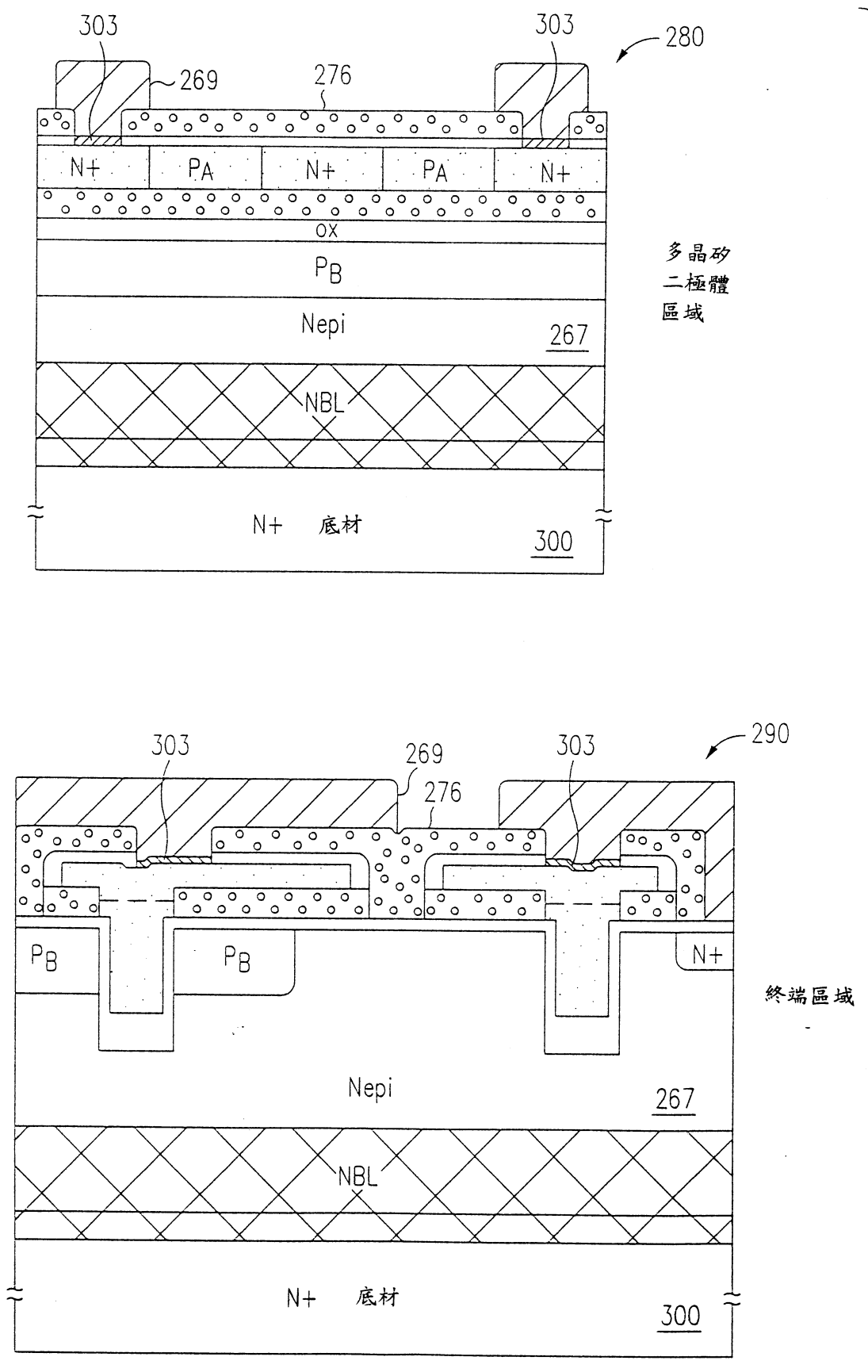


圖 24Q

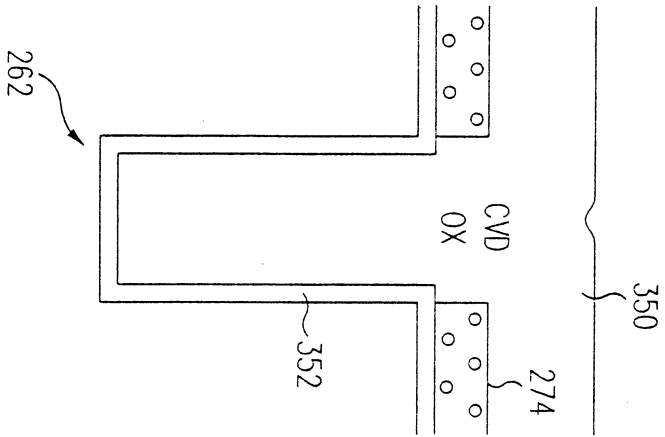


圖 25A

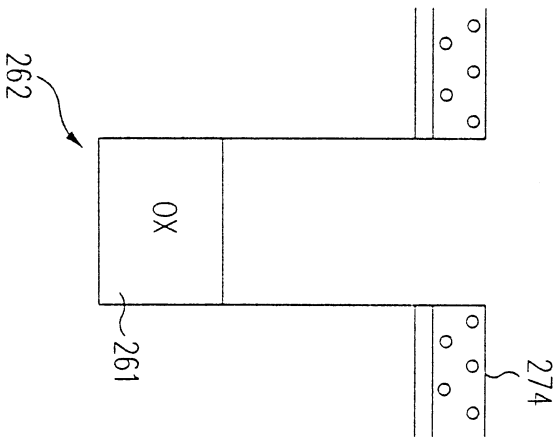


圖 25B

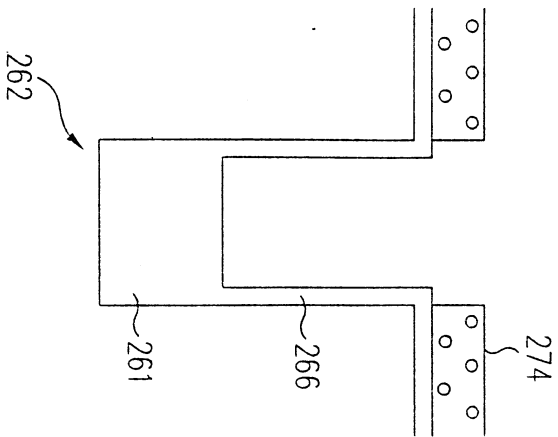


圖 25C

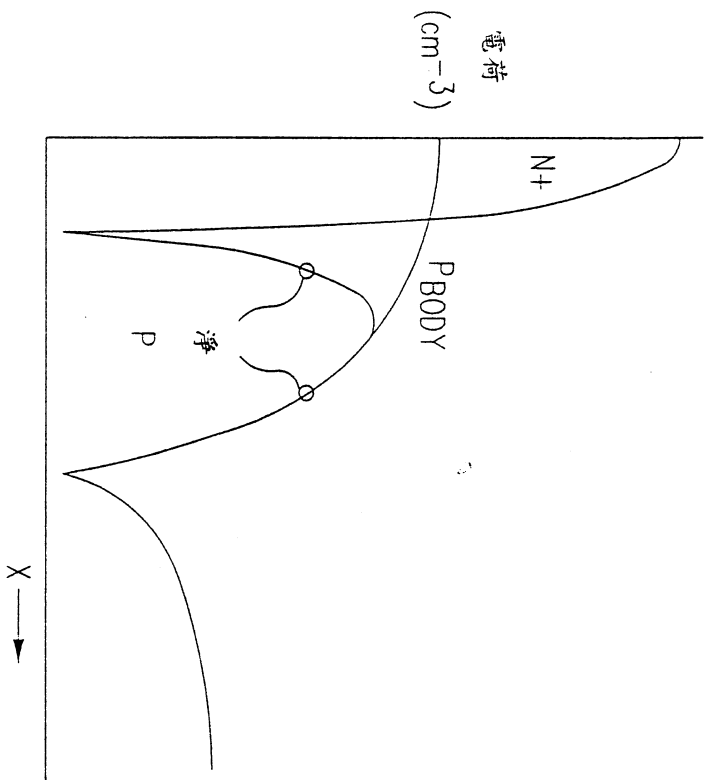


圖 26A

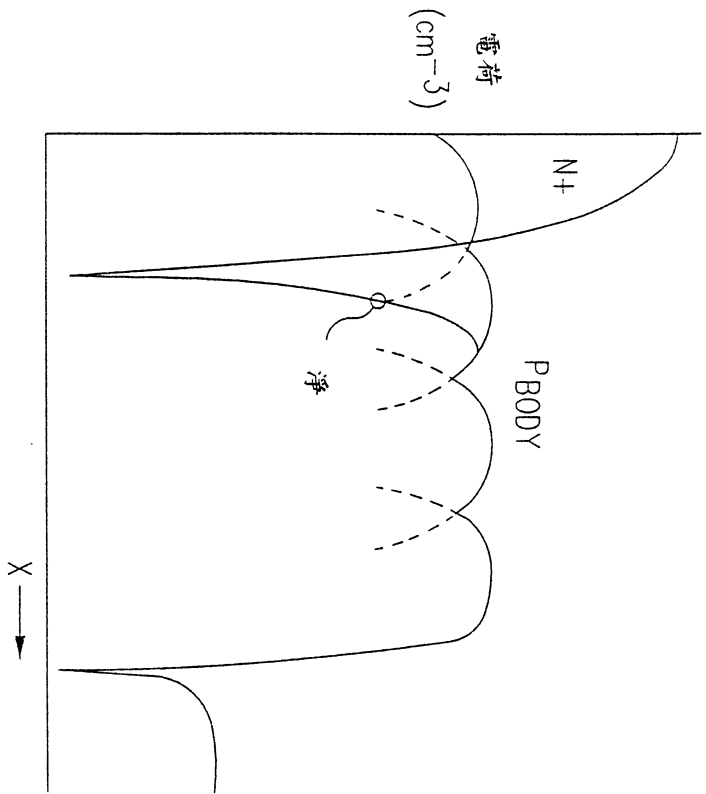


圖 26B

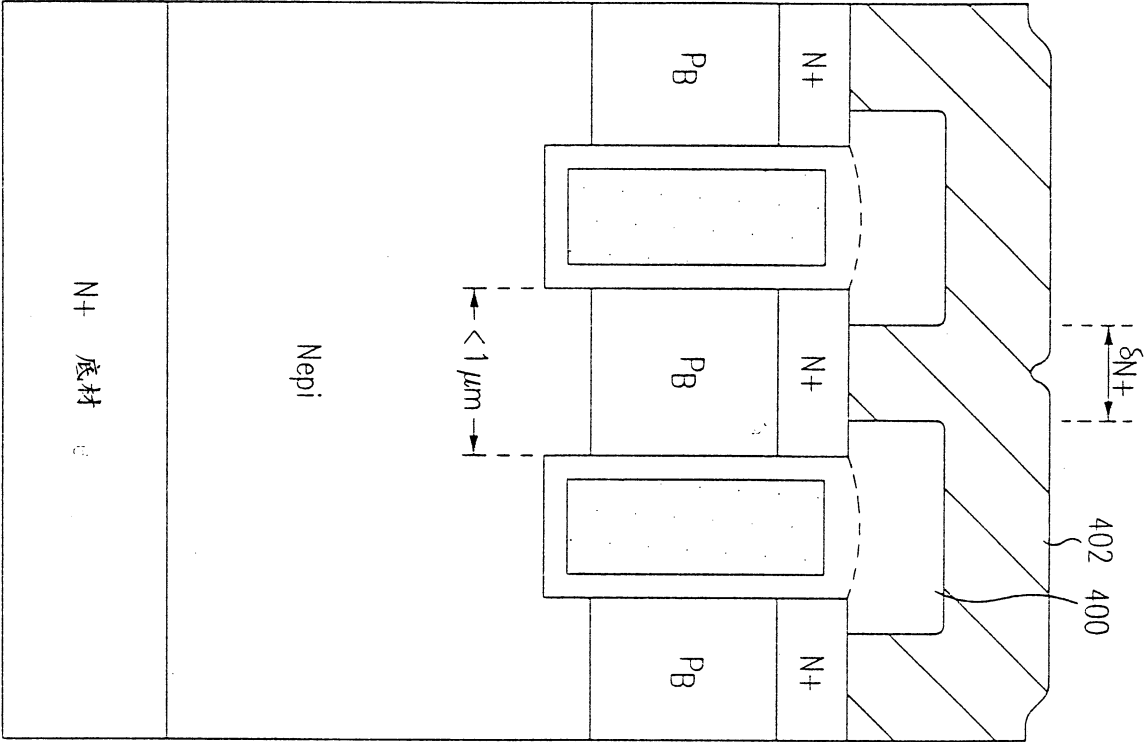


圖 27A

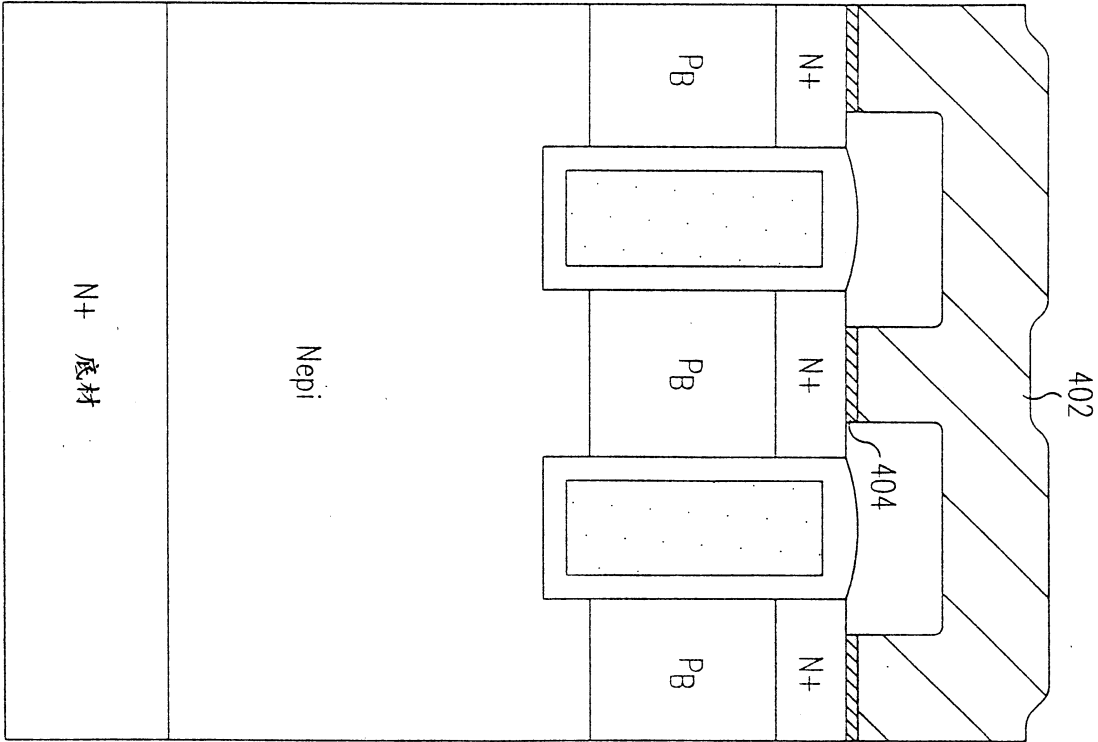


圖 27B

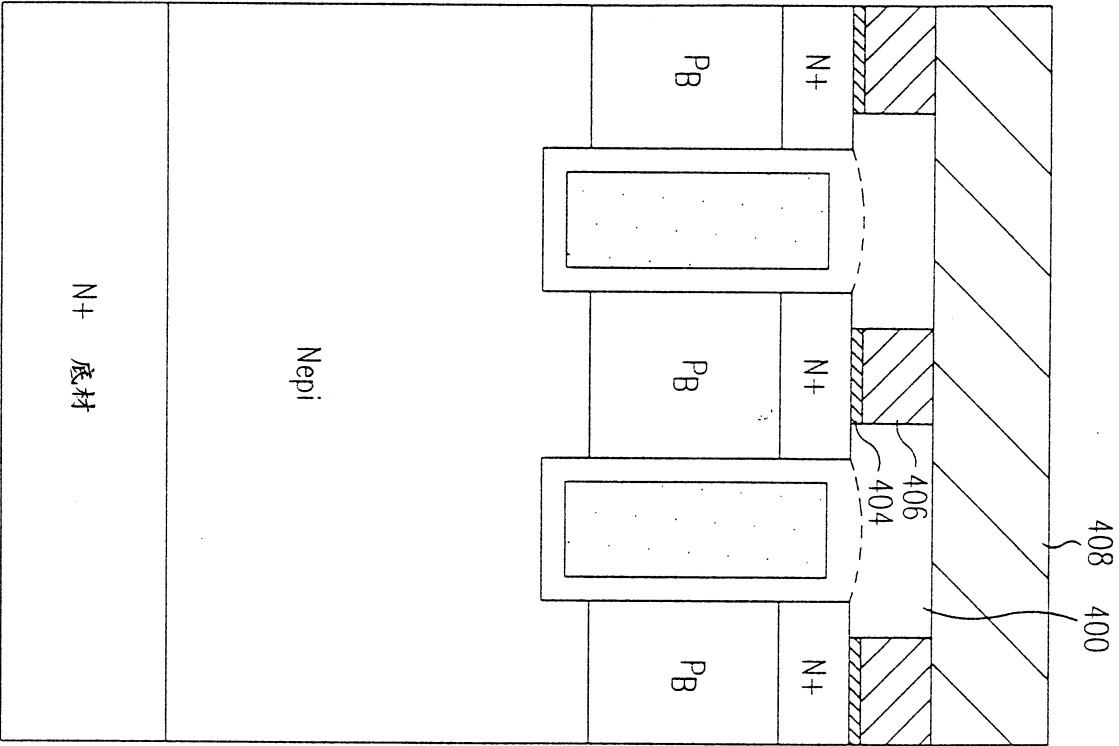


圖 27C

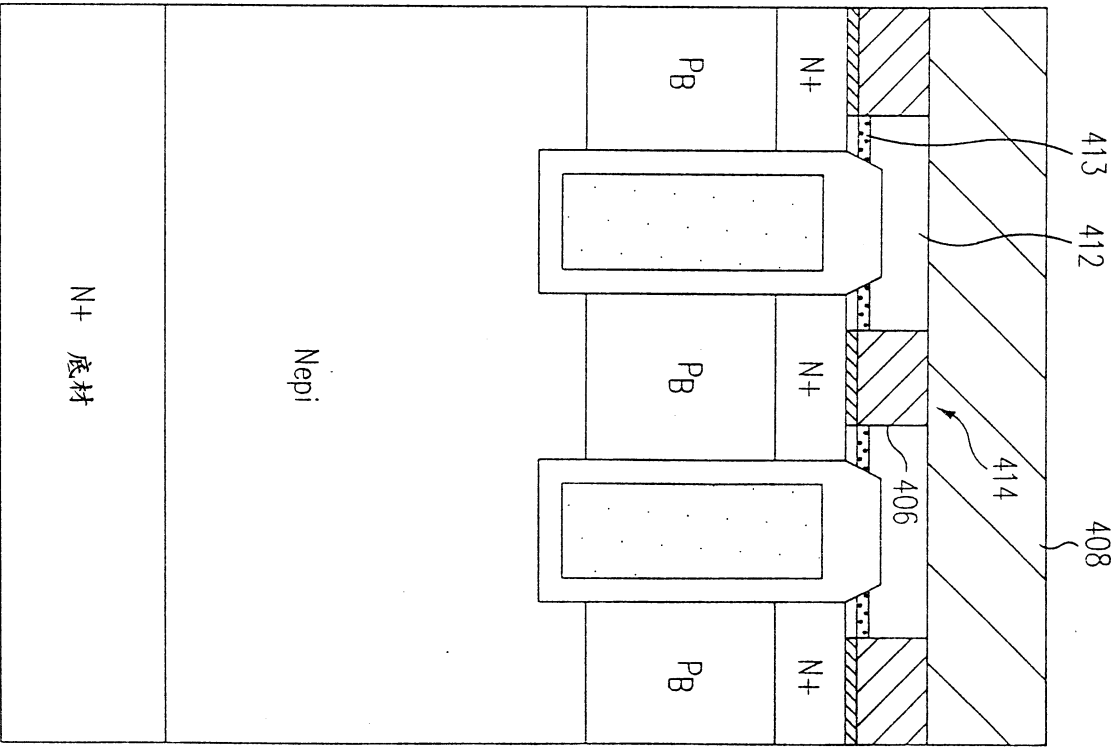


圖 27D

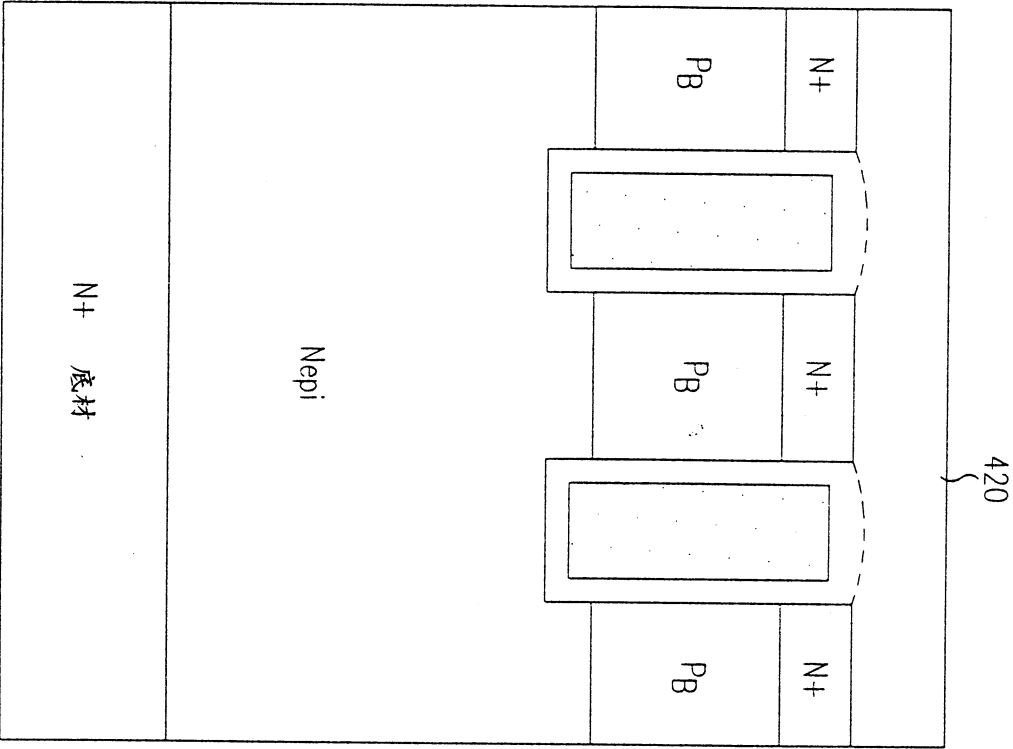


圖 28A

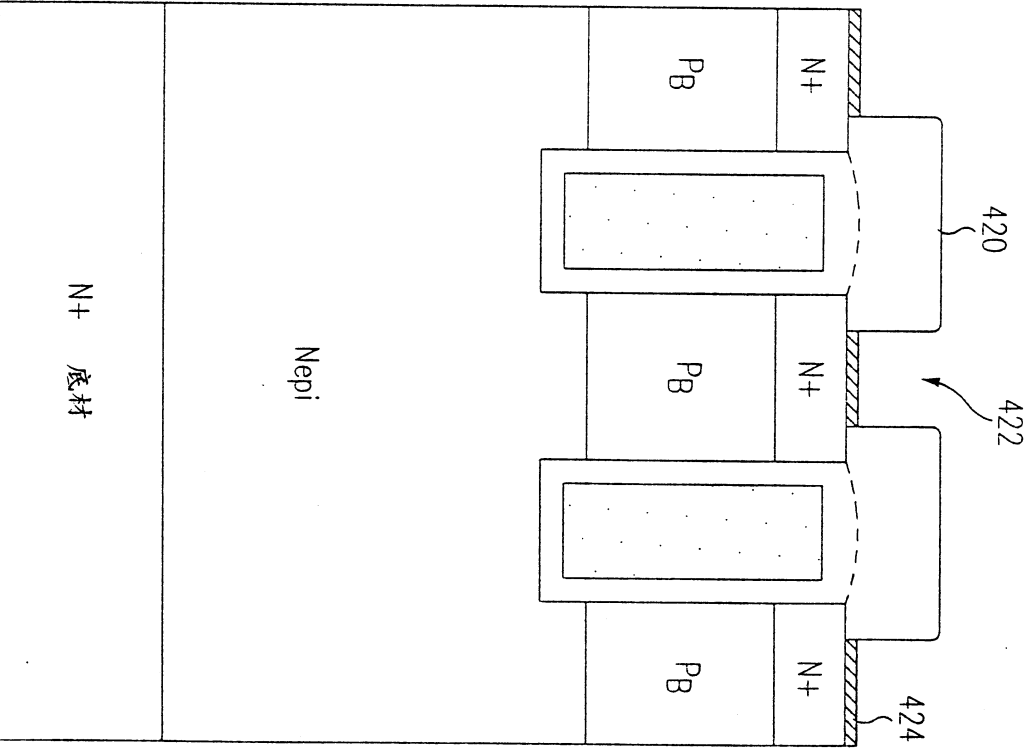


圖 28B

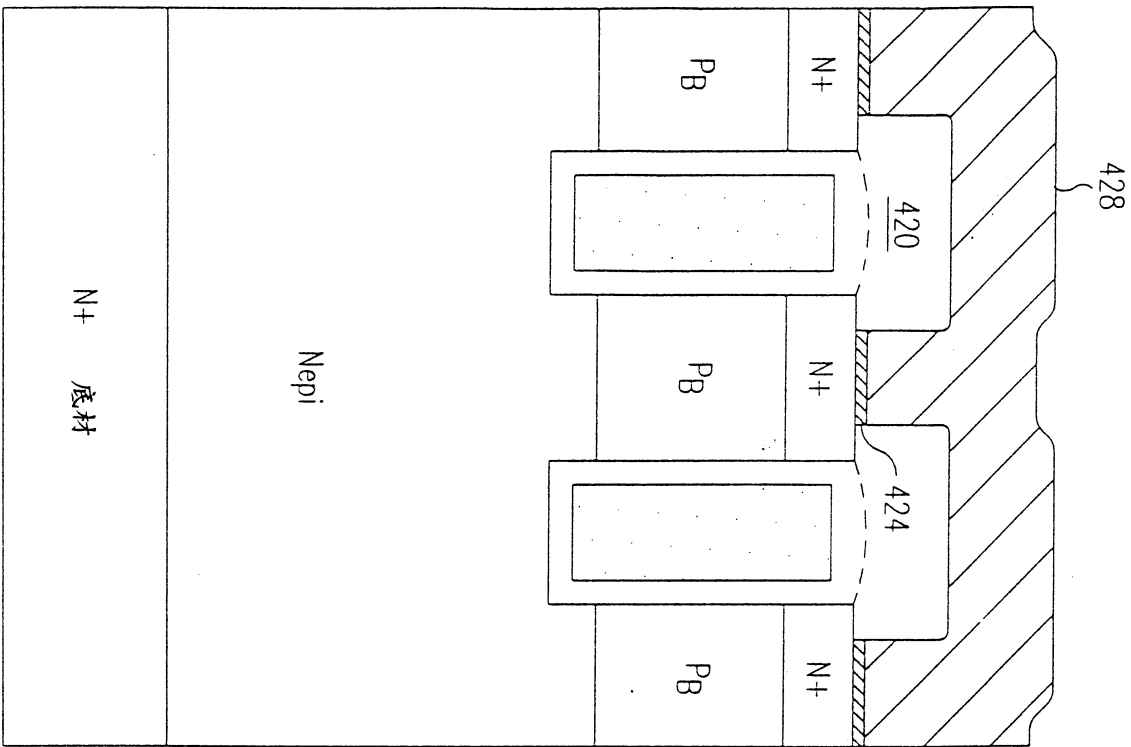


圖 28C

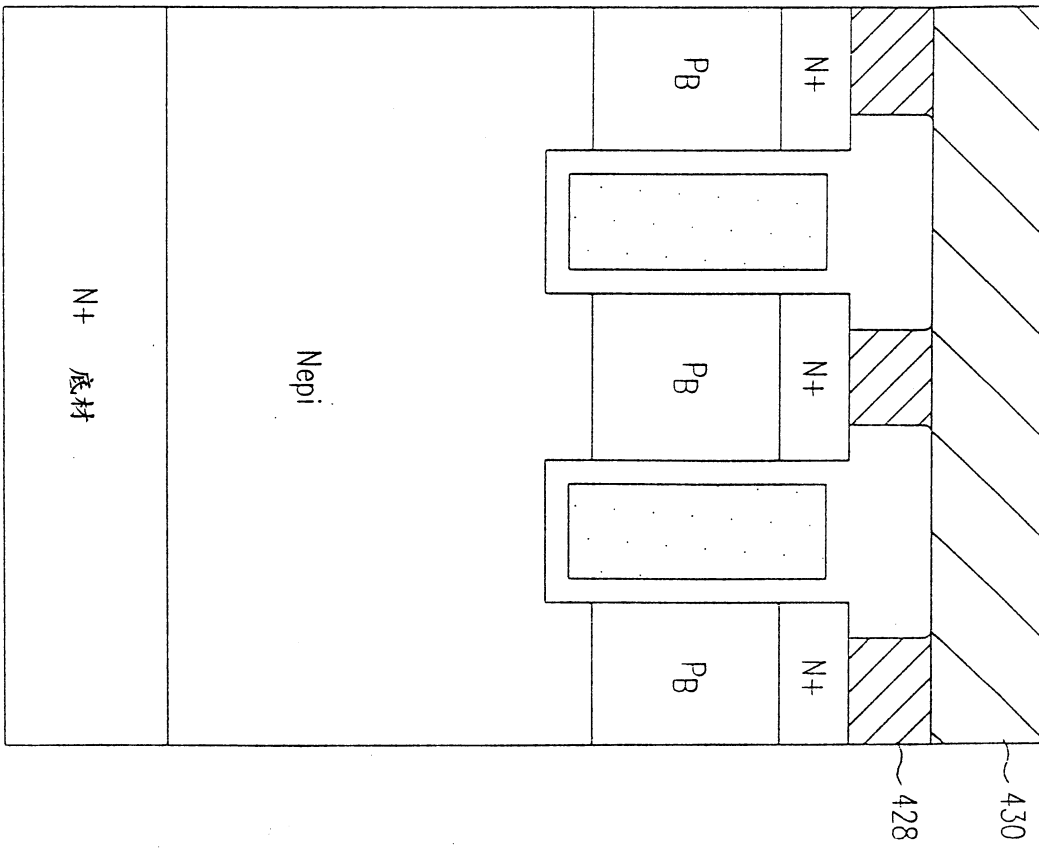


圖 28D