

公告本

申請日期	86.5.29
案 號	86107350
類 別	H01L <sup>23</sup> /60

A4  
C4

461069

(以上各欄由本局填註)

發 明 專 利 說 明 書									
一、發明 <u>名稱</u>	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%; text-align: center;">中 文</td> <td>堆疊式靜電保護電路</td> </tr> <tr> <td style="text-align: center;">英 文</td> <td></td> </tr> </table>	中 文	堆疊式靜電保護電路	英 文					
中 文	堆疊式靜電保護電路								
英 文									
二、發明 <u>人</u>	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%; text-align: center;">姓 名</td> <td>吳聰志</td> </tr> <tr> <td style="text-align: center;">國 籍</td> <td>中華民國</td> </tr> <tr> <td style="text-align: center;">住、居所</td> <td>新竹縣竹東鎮中正路九四巷七弄三號</td> </tr> </table>	姓 名	吳聰志	國 籍	中華民國	住、居所	新竹縣竹東鎮中正路九四巷七弄三號		
姓 名	吳聰志								
國 籍	中華民國								
住、居所	新竹縣竹東鎮中正路九四巷七弄三號								
三、申請人	<table border="1" style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 15%; text-align: center;">姓 名 (名稱)</td> <td>聯華電子股份有限公司</td> </tr> <tr> <td style="text-align: center;">國 籍</td> <td>中華民國</td> </tr> <tr> <td style="text-align: center;">住、居所 (事務所)</td> <td>新竹市科學工業園區工業東三路三號</td> </tr> <tr> <td style="text-align: center;">代 表 人 姓 名</td> <td>曹 興 誠</td> </tr> </table>	姓 名 (名稱)	聯華電子股份有限公司	國 籍	中華民國	住、居所 (事務所)	新竹市科學工業園區工業東三路三號	代 表 人 姓 名	曹 興 誠
姓 名 (名稱)	聯華電子股份有限公司								
國 籍	中華民國								
住、居所 (事務所)	新竹市科學工業園區工業東三路三號								
代 表 人 姓 名	曹 興 誠								

經濟部中央標準局員工消費合作社印製

裝

訂

線

## 五、發明說明( )

### 5-1 發明領域：

本發明係有關於一種靜電保護電路，特別是有關於利用堆疊式動態隨機存取記憶體(Stack DRAM)之製程，在打線鐳(bonding pad)下的空間，形成一等效電阻，藉以完成整個堆疊式靜電保護電路。

### 5-2 發明背景：

參見第 1 圖所示，為靜電保護電路之電路示意圖。在打線鐳(bonding pad)10 與內部電路之間，以一電阻 12 與一 MOS 元件 14 形成具保護內部電路之靜電保護電路 16。該內部電路係根據不同的半導體製程之需求，設計成具不同功能性之電路。

參見第 2A 圖所示，為依據傳統方法，形成靜電保護電路完成之剖面結構圖。參見第 2B 圖所示，為依據第 2A 圖相對應之佈局(Layout)示意圖。在傳統的靜電保護電路製程中，利用一隔離製程，例如區域氧化法(LOCOS)，在半導體底材矽 20 上形成一場氧化層(Field Oxide；FOX)22 以定義出一主動區域，接著在半導體底材矽 20 上之主動區域內，沈積多晶矽層並以光罩(Layout)24a 為蝕刻罩幕，形成 MOS 元件之閘極 24，接著利用光罩

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( )

(Layout)26a 進行離子植入，摻雜離子擴散驅入底材矽 20，以形成 MOS 元件之汲極 26 和源極 28。之後，在場氧化層 22、閘極 24 與底材矽 20 上，形成一介電層 30。接著利用光罩 (Layout)32a，以非等向性蝕刻介電層 30 以形成一打線鉚接觸窗 (bonding pad contact hole)32。利用光罩 (Layout)36a，以非等向性蝕刻介電層 30 以形成一內連線接觸窗 (interconnect contact hole)36。接著在場氧化層 22 與介電層 30 上，形成一金屬層以填如打線鉚接觸窗 32 與內連線接觸窗 36 內，並個別利用光罩 (Layout)34a 與光罩 (Layout)38a，定義出打線鉚 (bonding pad)34 圖案與金屬內連線 (interconnect)38 圖案，以完成整個靜電保護電路。此時，MOS 元件之汲極 26 係作為靜電保護電路之電阻，而金屬內連線 (interconnect)38 連接至半導體製程的其他內部電路之 MOS 元件。

由於傳統的靜電保護電路，係以 MOS 元件之汲極作為靜電保護電路之電阻，因此隨著製程之中電阻值增加的需求，將會被不斷地要求加長半導體底材矽上的摻雜區域 (MOS 元件之汲極) 以增加電阻值，因此對於整個積體電路的設計，將造成過度空間的浪費。此外，因為利用離子植入和熱擴散方法，在半導體底材矽上形成摻雜區域 (MOS 元件之汲極和源極)，並以 MOS 元件之汲極作為靜電保護電路架構中的電阻，因此藉由擴散所形成的電阻值，往往不易控制，造成誤差過大。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( )

## 5-3 發明目的及概述：

本發明的主要目的在提供一種堆疊式靜電保護電路，用以節省空間，並可提昇控制電阻值的精確度。

根據以上所述之目的，本發明之堆疊式靜電保護電路架構，係利用堆疊式動態隨機存取記憶體(Stack DRAM)之製程，在打線鉸(bonding pad)下的空間，形成一等效電阻，以節省空間，並有效地控制電阻值。該堆疊式靜電保護電路製程如下所述：

利用一隔離製程以形成一場氧化層於一半導體底材矽上；形成一MOS元件於底材矽上，該MOS元件具有源極、汲極與閘極；形成第一介電層於閘極、源極與底材矽上，用以作為一絕緣層；形成第一導電層於場氧化層、汲極與第一介電層上，係由微影蝕刻以定義出第一導電層圖案，用以作為電容之下極板；形成第二介電層於第一導電層、第一介電層上，用以作為電容之介電層；形成第二導電層於第一介電層上，係由微影蝕刻以定義出第二導電層圖案，用以作為電容之上極板；形成第三介電層於第二導電層、第二介電層上，用以作為一保護層；形成打線鉸接觸窗於場氧化層上，係由乾式蝕刻位於場氧化層上之第三

(請先閱讀背面之注意事項再填寫本頁)

訂

## 五、發明說明( )

介電層、第二導電層與第二介電層至第一導電層以形成；形成位元線接觸窗於 MOS 之源極上，係由乾式蝕刻位於 MOS 之源極上之第三介電層、第二介電層與第一介電層至源極以形成；形成金屬導電層於第三介電層上，並填入打線鉍接觸窗、位元線接觸窗中，該金屬導電層藉由微影蝕刻以定義出一打線鉍(bonding pad)圖案，用以封裝(package)與一位元線(bit line)圖案。

### 5-4 圖式簡單說明：

第 1 圖為靜電保護電路之電路架構示意圖。

第 2A 圖為依據傳統方法，形成靜電保護電路完成之剖面結構圖。

第 2B 圖為依據第 2A 圖相對應之佈局(Layout)示意圖。

第 3A 圖至第 3F 圖為依據本發明方法，形成堆疊式靜電保護電路之各階段完成之剖面結構圖。

第 4A 圖為依據本發明方法，形成堆疊式靜電保護電路完成之剖面結構圖。

第 4B 圖為依據第 4A 圖相對應之佈局(Layout)示意圖。

### 5-5 發明詳細說明：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紙

## 五、發明說明( )

本發明之堆疊式靜電保護電路，係利用堆疊式動態隨機存取記憶體(Stack DRAM)之製程，形成具堆疊式的電容結構，並在堆疊式電容的上極板與介電層上形成一接觸窗，之後一金屬層形成於其結構之上，並填入接觸窗中，以作為打線鉚(bonding pad)。利用該接觸窗與 MOS 元件之汲極之間之堆疊式電容的下極板來有效地控制堆疊式靜電保護電路之電阻值。

參見第 3A 圖所示，藉由一隔離製程，例如區域氧化法(LOCOS)，在半導體底材 100 上形成一場氧化層(Field Oxide ; FOX)102 以定義出一主動區域，接著在半導體底材 100 上之主動區域內，形成一 MOS 電晶體(Metal-Oxide-Semiconductor Field Effect Transistor)，其具有閘極 104、汲極 106 和源極 108。場氧化層 102 形成於底材 100 上，並且和汲極 106 相鄰以作為隔離製程。接著以化學氣相沈積法(CVD)沈積第一介電層 110 於 MOS 電晶體、底材 100、場氧化層 102 上，用以作為一絕緣層。該第一介電層 110 為二氧化矽，其厚度約為 900 至 1100 埃之間。之後利用微影蝕刻技術，形成一層光阻 111 以定義出第一介電層 110 圖案，並以光阻 111 為蝕刻罩幕，蝕刻去除場氧化層 102 與汲極 106 上之部份第一介電層 110，以形成第一介電層 110 圖案。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

封

## 五、發明說明( )

參見第 3B 圖所示，在場氧化層 102、汲極 106 與第一介電層 110 上，形成其厚度約為 900 至 1100 埃之間之第一導電層 112。該第一導電層 112 可為多晶矽層。接著利用微影蝕刻技術，形成一層光阻 113 以定義出第一導電層 112 圖案，並以光阻 113 為蝕刻罩幕，蝕刻去除部份第一導電層 112，以形成第一導電層 112 圖案，用以作為電容之下極板。

接著參見第 3C 圖所示，利用化學氣相沈積法 (CVD) 沈積第二介電層 114 於第一導電層 112、第一介電層 110 上，其材質可為二氧化矽或二氮化矽、氮化矽、二氧化矽之組合結構 (ONO) 等，其厚度約為 60 至 70 埃之間，該第二介電層 114 用以作為電容之介電層。

接著參見第 3D 圖所示，在第二介電層 114 上，形成第二導電層 116。該第二導電層 116 之厚度約為 900 至 1100 埃之間，其材質可為多晶矽層。接著覆蓋一層光阻 117 以定義出第二導電層 116 圖案，並以光阻 117 為蝕刻罩幕，蝕刻去除部份第二導電層 116，以形成第二導電層 116 圖案，用以作為電容之上極板。

參見第 3E 圖所示，以化學氣相沈積法 (CVD) 沈積第三介電層 118 於第二導電層 116、第二介電層 114 上，其材質可為二氧化矽、磷矽玻璃、硼磷矽玻璃等，其厚度約

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明 ( )

為 7000 至 9000 埃之間，用以作為保護層。接著上一層光阻 119 於第三介電層 118 上，以定義出位元線接觸窗 (bit line contact hole) 120 與打線銲接觸窗 (ponding pad contact hole) 122。之後以光阻 119 為蝕刻單幕，利用乾式蝕刻方式蝕刻位於場氧化層 102 上之部份第三介電層 118、第二介電層 114 與第一介電層 110 至源極 108，以形成位元線接觸窗 (bit line contact hole) 120。同時，以光阻 119 為蝕刻單幕，利用乾式蝕刻方式蝕刻位於源極 108 上之部份第三介電層 118、第二導電層 116、第二介電層 114 至第一導電層 112，以形成打線銲接觸窗 (ponding pad contact hole) 122。由於電阻值與導電係數、面積與長度有關：

$$R = \rho \times L / A \quad \Rightarrow \quad R \propto L$$

其中 R 為電阻值、L 為長度。

因此，僅需根據堆疊式靜電保護電路製程中電阻的需求，在場氧化層 102 上的適當位置，形成打線銲接觸窗 122，即可利用打線銲接觸窗 122 與汲極 106 之間距離 (L) 123 之第一導電層 112 來控制靜電保護電路之電阻值。

參見第 3F 圖所示，形成第三導電層 124 於第三介電層 118 上，並填入打線銲接觸窗 (ponding pad contact hole) 122 與位元線接觸窗 (bit line contact hole) 120 中。該第三導電層 124 材質可為鉍矽銅合金，其厚度約為 7500 至 8500 埃之間。接著利用微影蝕刻技術，形成一層光阻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明( )

以定義出第三導電層 124 圖案，並以該光阻為蝕刻罩幕，蝕刻去除部份第三導電層 124，以形成打線鉾((bonding pad)126，用以封裝(package)，與位元線(bitline)128。

綜合上述，第 4A 圖為依據本發明方法，形成堆疊式靜電保護電路完成之剖面結構圖。第 4B 圖為依據第 4A 圖相對應之佈局(Layout)示意圖。在本發明之堆疊式靜電保護電路製程中，利用一隔離製程，例如區域氧化法(LOCOS)，在半導體底材矽 40 上形成一場氧化層(Field Oxide ; FOX)42 以定義出一主動區域，接著在半導體底材矽 40 上之主動區域內，沈積多晶矽層並以光罩(Layout)44a 為蝕刻罩幕，形成 MOS 元件之閘極 44，接著利用光罩(Layout)46a 進行離子植入，摻雜離子擴散驅入底材矽 40，以形成 MOS 元件之汲極 46 和源極 48。之後，在場氧化層(Field Oxide ; FOX)48 上陸續形成具堆疊式電容形式之第一導線層 50 與第二導線層 52，並利用光罩(Layout)50a 形成第一導線層 50 與第二導線層 52 圖案。接著形成一介電層 54 於其結構之上，之後利用光罩(Layout)56a，藉由乾式蝕刻以形成一打線鉾接觸窗(bonding pad contact hole)56。利用光罩(Layout)58a，藉由乾式蝕刻以形成一位元線接觸窗(bit line contact hole)58。接著在介電層 54 上，形成一金屬層以填如打線鉾接觸窗 56 與位元線接觸窗 58 內，並個別利用光罩(Layout)56a 與光罩(Layout)58a，定義出打線鉾(bonding

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

綫

## 五、發明說明( )

pad)60 圖案與位元線(bit line)58 圖案，以完成本發明之堆疊式靜電保護電路。此時，MOS 元件之汲極 46 與介於打線鉚接觸窗 56 與汲極 46 之間之第一導線層 50，作為本發明之堆疊式靜電保護電路所需的一等效電阻。

根據上述，由於傳統靜電保護電路架構，需利用離子植入和熱擴散方法，在半導體底材矽上形成摻雜區域(MOS 元件之汲極或源極)，其中以 MOS 元件之汲極作為靜電保護電路架構中的電阻，往往因為電阻是藉由擴散所形成的，因此不易控制電阻值，造成誤差過大，且佔用過多的空間，造成不必要的浪費。本發明之堆疊式靜電保護電路架構，係利用堆疊式動態隨機存取記憶體(Stack DRAM)之製程，在打線鉚(bonding pad)下的空間，形成由第一導電層與汲極所組成的一等效電阻，藉以節省製作靜電保護電路時，所需的空間，以提昇整個半導體製程的積集度。此外，由於電阻值的控制係由第一導電層與汲極所決定，因此可藉由調整製程中打線鉚接觸窗之形成位置，亦即利用調整介於打線鉚接觸窗與汲極之間之第一導線層長度，而控制靜電保護電路之電阻值，進而得到精確的靜電保護電路之電阻值。

以上所述僅為本發明之較佳實施例而已，並非用以限定本發明之申請專利範圍；凡其它未脫離本發明所揭示之精神下所完成之等效改變或修飾，均應包含在下述之申請

(請先閱讀背面之注意事項再填寫本頁)

訂

給

五、發明說明( )

專利範圍內。

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：

### 堆疊式靜電保護電路

一種堆疊式靜電保護電路，係利用堆疊式動態隨機存取記憶體(Stack DRAM)之製程，形成具堆疊式的電容結構，並在堆疊式電容的上極板與介電層上形成一打線鉚接觸窗，之後一金屬層形成於其結構之上，並填入打線鉚接觸窗中，以作為打線鉚(bonding pad)。此時在打線鉚(bonding pad)下的空間，係以堆疊式電容的下極板與一MOS元件的汲極作為一等效電阻，以節省製作靜電保護電路時，電阻所需的空間。並且利用堆疊式電容的下極板之上所連接之打線鉚接觸窗與該動態隨機存取記憶體之MOS元件之汲極間之距離，有效地控制該靜電保護電路結構之電阻值。

英文發明摘要(發明之名稱：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

1. 一種半導體之靜電保護電路結構，該靜電保護電路結構之一電阻係為一動態隨機存取記憶體之一電容之一下極板與一 MOS 元件之一汲極所形成，藉由該電容之該下極板之上所連接之一打線銲接觸窗與該 MOS 元件之該汲極間之距離，控制該靜電保護電路結構之該電阻值，該靜電保護電路結構至少包含：

一場氧化層，形成於一底材矽上，用以作為隔離半導體 MOS 元件；該 MOS 元件，形成於該底材矽上，該 MOS 元件具有一源極、該汲極、一閘極；

一第一導電層，形成於該場氧化層、該汲極上，用以作為該電容之該下極板；一第一介電層，形成於該第一導電層上，用以作為該電容之一介電層；

一第二導電層，形成於該第一介電層上，用以作為該電容之一上極板；

一第二介電層，形成於該第二導電層上，用以作為一保護層；該打線銲接觸窗，形成於該場氧化層上，係穿透該第二介電層、該第二導電層與該第一介電層至該第一導電層；及

一金屬導電層，形成於該第二介電層上，並填入該打線銲接觸窗中。

2. 如申請專利範圍第 1 項之半導體之靜電保護電路結

## 六、申請專利範圍

構，其中上述之第一導電層為多晶矽層。

3.如申請專利範圍第1項之半導體之靜電保護電路結構，其中上述之第一導電層其厚度約為900至1100之間。

4.如申請專利範圍第1項之半導體之靜電保護電路結構，其中上述之第二導電層為多晶矽層。

5.如申請專利範圍第1項之半導體之靜電保護電路結構，其中上述之第二導電層其厚度約為900至1100之間。

6.如申請專利範圍第1項之半導體之靜電保護電路結構，其中上述之金屬導電層為鋁矽銅合金。

7.如申請專利範圍第1項之半導體之靜電保護電路結構，其中上述之金屬導電層其厚度約為7500至8500之間。

8.如申請專利範圍第1項之半導體之靜電保護電路結構，其中上述之第一介電層，其材質為二氧化矽。

9.如申請專利範圍第1項之半導體之靜電保護電路結構，其中上述之第一介電層其厚度約為60至70埃之間。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

10. 如申請專利範圍第 9 項之半導體之靜電保護電路結構，其中上述之第一介電層，其材質可為二氧化矽或二氧化矽、氮化矽、二氧化矽之組合結構（ONO）。

11. 如申請專利範圍第 10 項之半導體之靜電保護電路結構，其中上述之第一介電層其厚度約為 60 至 70 埃之間。

12. 一種半導體之靜電保護電路結構，該靜電保護電路結構之一電阻係由一動態隨機存取記憶體之一電容之一下極板與一 MOS 元件之一汲極所形成，藉由該電容之該下極板之上所連接之一打線銲接觸窗與該 MOS 元件之該汲極間之距離，控制該靜電保護電路結構之該電阻值，該靜電保護電路結構至少包含：

一場氧化層，形成於一底材矽上，用以作為隔離半導體 MOS 元件；

該 MOS 元件，形成於該底材矽上，該 MOS 元件具有一源極、該汲極、一閘極；

一第一介電層，形成於該閘極、該源極與該底材矽上，用以作為一絕緣層；

一第一導電層，形成於該場氧化層、該汲極與該第一介電層上，用以作為該電容之該下極板；

一第二介電層，形成於該第一導電層、該第一介電層上，用以作為該電容之一介電層；

（請先閱讀背面之注意事項再填寫本頁）

訂線

## 六、申請專利範圍

一 第二導電層，形成於該第二介電層上，用以作為該電容之一上極板；

一 第三介電層，形成於該第二導電層、該第二介電層上，用以作為一保護層；

一 打線銲接觸窗，形成於該場氧化層上，係穿透該第三介電層、該第二導電層與該第二介電層至該第一導電層；

一位元線接觸窗形成於該源極上，係穿透該第三介電層、該第二介電層與該第一介電層至該源極；

一 打線銲金屬層，形成於該第三介電層上，並填入該打線銲接觸窗中；及

一位元線金屬層，形成於該第三介電層上，並填入該位元線接觸窗中。

13. 如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第一導電層為多晶矽層。

14. 如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第一導電層其厚度約為 900 至 1100 之間。

15. 如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第二導電層為多晶矽層。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

16.如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第二導電層其厚度約為 900 至 1100 之間。

17.如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之打線鍍金屬層和位元線金屬層為鋁矽銅合金。

18.如申請專利範圍第 12 項之電路結構，其中上述之打線鍍金屬層和位元線金屬層，其厚度約為 7500 至 8500 之間。

19.如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第一介電層，其材質為二氧化矽。

20.如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第一介電層其厚度約為 900 至 1100 埃之間。

21.如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第二介電層，其材質可為二氧化矽或二氧化矽、氮化矽、二氧化矽之組合結構(ONO)。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

22.如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第二介電層其厚度約為 60 至 70 埃之間。

23.如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第三介電層，其材質可為二氧化矽、磷矽玻璃、硼磷矽玻璃其中之一。

24.如申請專利範圍第 12 項之半導體之靜電保護電路結構，其中上述之第三介電層其厚度約為 7000 至 9000 埃之間。

25.一種半導體之靜電保護電路之製程，該靜電保護電路之一電阻係由一動態隨機存取記憶體之一電容之一下極板與一 MOS 元件之一汲極所形成，藉由該電容之該下極板之上所連接之一打線銲接觸窗與該 MOS 元件之該汲極間之距離，控制該靜電保護電路之該電阻值，該靜電保護電路之製程至少包含下列步驟：

形成一場氧化層於一底材矽上，用以作為隔離半導體 MOS 元件；

形成該 MOS 元件於該底材矽上，該 MOS 元件具有一源極、該汲極、一閘極；

形成一第一介電層於該閘極、該源極與該底材矽上，用以作為一絕緣層；

形成一第一導電層於該場氧化層、該汲極與該第一介

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

電層上，係由微影蝕刻以定義出該第一導電層圖案，用以作為該電容之該下極板；

形成一第二介電層於該第一導電層、該第一介電層上，用以作為該電容之一介電層；

形成一第二導電層於該第二介電層上，係由微影蝕刻以定義出該第二導電層圖案，用以作為該電容之一上極板；

形成一第三介電層於該第二導電層、該第二介電層上，用以作為一保護層；

形成該打線銲接觸窗於該場氧化層上，係由乾式蝕刻位於該場氧化層上之該第三介電層、該第二導電層與該第二介電層至該第一導電層以形成；

形成一位元線接觸窗於該源極上，係由乾式蝕刻位於該源極上之該第三介電層、該第二介電層與該第一介電層至該源極以形成；及

形成一金屬導電層於該第三介電層上，並填入該打線銲接觸窗、該位元線接觸窗中，該金屬導電層藉由微影蝕刻以定義出一打線銲圖案與一位元線圖案。

26.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第一導電層為多晶矽層。

27.如申請專利範圍第 25 項之靜電保護電路之製程，其

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

中上述之第一導電層其厚度約為 900 至 1100 埃之間。

28.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第二導電層為多晶矽層。

29.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第二導電層其厚度約為 900 至 1100 埃之間。

30.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之金屬導電層為鋁矽銅合金。

31.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之金屬導電層其厚度約為 7500 至 8500 埃之間。

32.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第一介電層，其材質為二氧化矽。

33.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第一介電層其厚度約為 900 至 1100 埃之間。

34.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第二介電層，其材質可為二氧化矽或二氧化矽、氮化矽、二氧化矽之組合結構 (ONO)。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

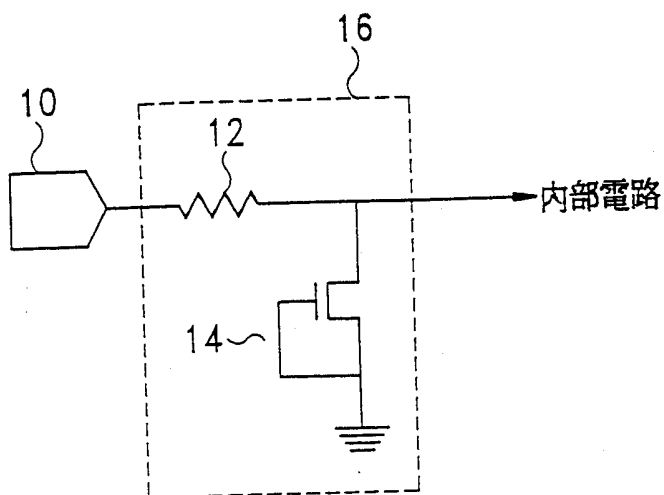
35.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第二介電層其厚度約為 60 至 70 埃之間。

36.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第三介電層，其材質可為二氧化矽、磷矽玻璃、硼磷矽玻璃其中之一。

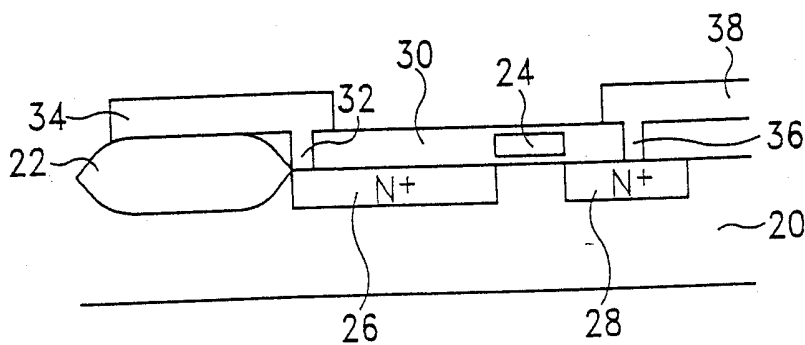
37.如申請專利範圍第 25 項之靜電保護電路之製程，其中上述之第三介電層其厚度約為 7000 至 9000 埃之間。

(請先閱讀背面之注意事項再填寫本頁)

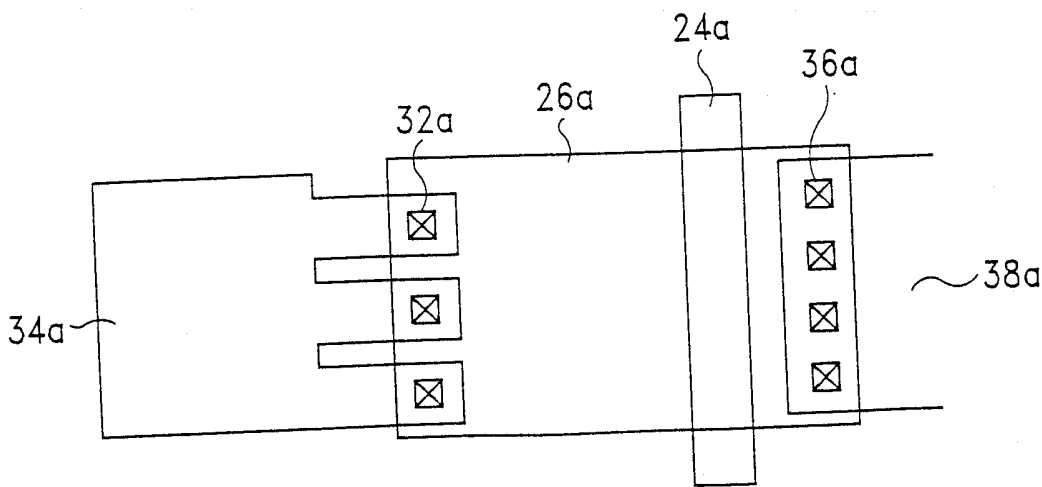
訂  
線



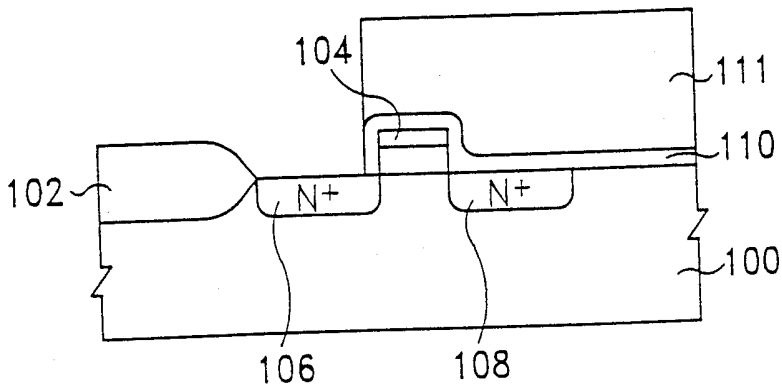
第1圖



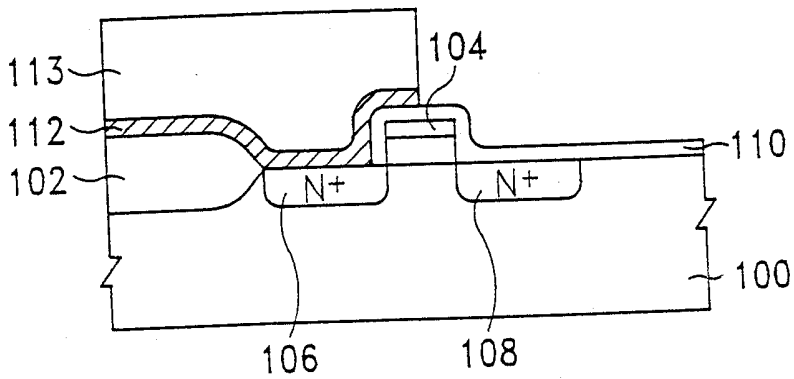
第2A圖



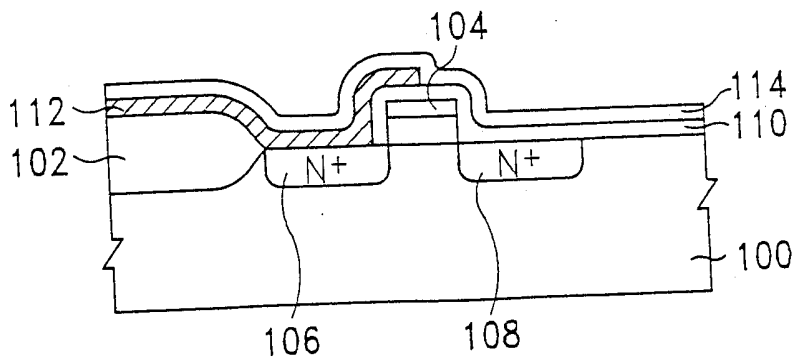
第2B圖



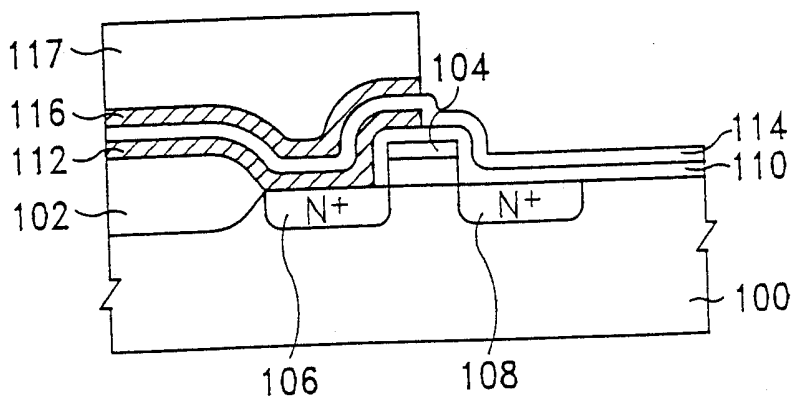
第3A圖



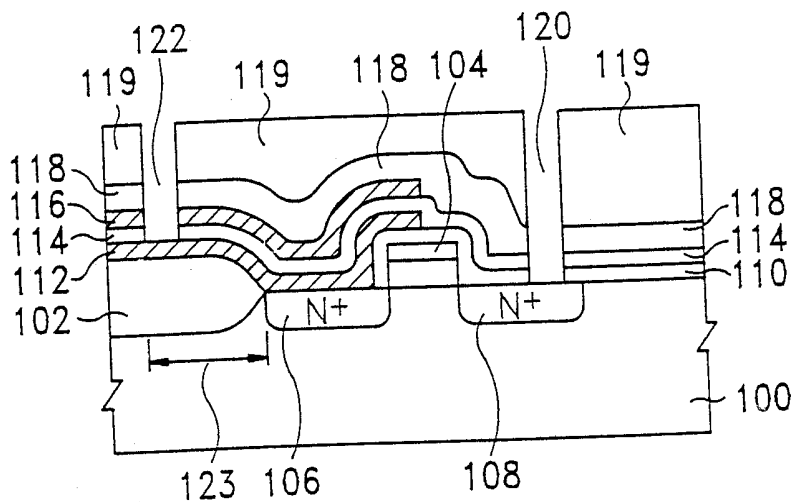
第3B圖



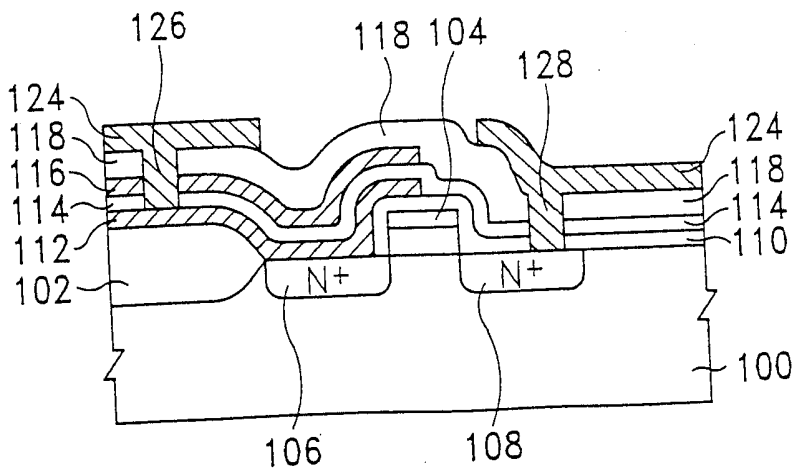
第3C圖



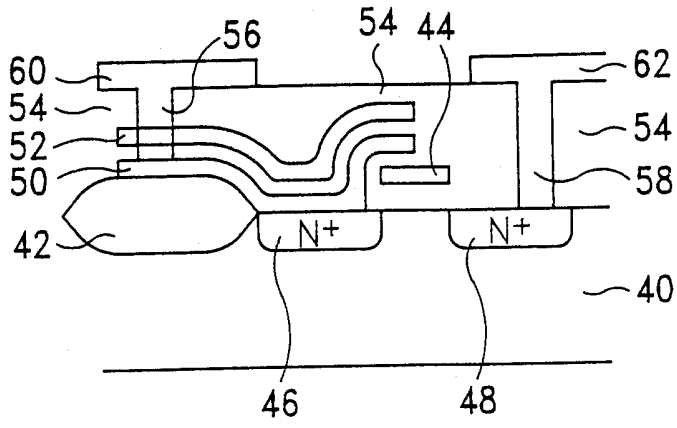
第3D圖



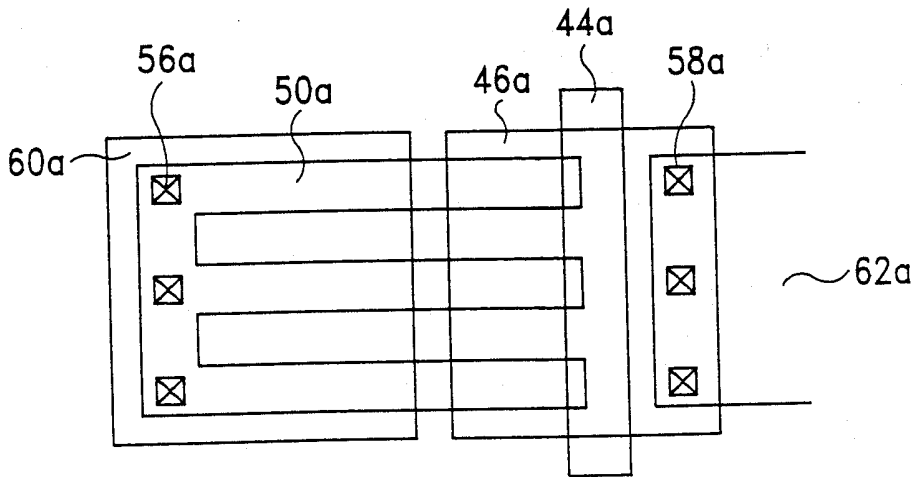
第3E圖



第3F圖



第4A圖



第4B圖

## 六、申請專利範圍

1. 一種半導體之靜電保護電路結構，該靜電保護電路結構之一電阻係為一動態隨機存取記憶體之一電容之一下極板與一 MOS 元件之一汲極所形成，藉由該電容之該下極板之上所連接之一打線銲接觸窗與該 MOS 元件之該汲極間之距離，控制該靜電保護電路結構之該電阻值，該靜電保護電路結構至少包含：

一場氧化層，形成於一底材矽上，用以作為隔離半導體 MOS 元件；該 MOS 元件，形成於該底材矽上，該 MOS 元件具有一源極、該汲極、一閘極；

一第一導電層，形成於該場氧化層、該汲極上，用以作為該電容之該下極板；一第一介電層，形成於該第一導電層上，用以作為該電容之一介電層；

一第二導電層，形成於該第一介電層上，用以作為該電容之一上極板；

一第二介電層，形成於該第二導電層上，用以作為一保護層；該打線銲接觸窗，形成於該場氧化層上，係穿透該第二介電層、該第二導電層與該第一介電層至該第一導電層；及

一金屬導電層，形成於該第二介電層上，並填入該打線銲接觸窗中。

2. 如申請專利範圍第 1 項之半導體之靜電保護電路結