

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年9月14日(14.09.2017)



(10) 国際公開番号
WO 2017/154388 A1

- (51) 国際特許分類:
H04N 5/3745 (2011.01) *H04N 5/357* (2011.01)
H01L 27/146 (2006.01) *H04N 5/378* (2011.01)
H04N 1/028 (2006.01)
- (21) 国際出願番号: PCT/JP2017/002385
- (22) 国際出願日: 2017年1月24日(24.01.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-047456 2016年3月10日(10.03.2016) JP
- (71) 出願人(米国を除く全ての指定国について): 株式会社リコー(RICOH COMPANY, LTD.) [JP/JP]; 〒1438555 東京都大田区中馬込一丁目3番6号 Tokyo (JP).
- (72) 発明者; および
- (71) 出願人(米国についてのみ): 三好 祐弥(MIY-OSHI, Yuuya) [JP/JP]; 〒1438555 東京都大田区中馬

込一丁目3番6号 株式会社リコー内 Tokyo (JP). 菅野 透(KANNO, Tohru) [JP/JP]; 〒1438555 東京都大田区中馬込一丁目3番6号 株式会社リコー内 Tokyo (JP).

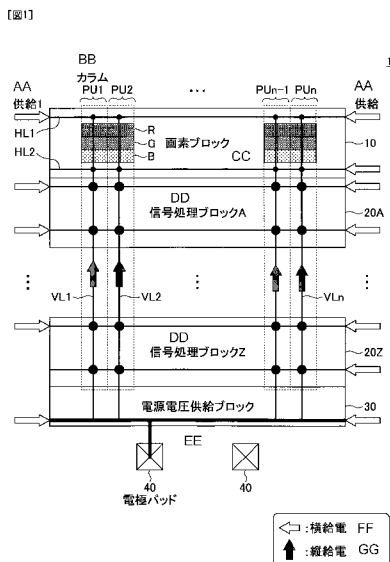
(74) 代理人: 伊東 忠重, 外(ITO, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目1番1号 丸の内 MY PLAZA (明治安田生命ビル) 16階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: PHOTOELECTRIC CONVERSION DEVICE

(54) 発明の名称: 光電変換装置



(57) Abstract: The present invention realizes a photoelectric conversion device of which it is possible to reduce the size in the lateral direction. Provided is a photoelectric conversion device (1) of wide rectangular shape, wherein: the photoelectric conversion device (1) is provided with a pixel block (10) in which a plurality of pixels are arranged, a plurality of signal processing blocks (20) for processing a signal outputted from the pixel block, a power source voltage supply block (30) for supplying a power source voltage to the pixel block and the plurality of signal processing blocks, and an electrode pad (40) connected to the power source voltage supply block; and each of the plurality of pixels (11) is provided with a charge-voltage conversion unit (FD) that includes a photoelectric conversion element for performing photoelectric conversion in accordance with incident light and an amplifier for converting a photoelectric-converted charge to a voltage. In the pixel block, each prescribed number of pixels is set as one column (PU) that is one batch of signal processing units, a plurality of the columns are disposed in parallel in the longitudinal direction of the photoelectric conversion device, a plurality of vertical power feeding lines (VL) are provided that enable a power source voltage outputted from the power source voltage supply block to be fed to each of the plurality of columns of the pixel block from the lateral direction, and a plurality of horizontal power feeding lines (HL) are provided that enable the power source voltage outputted from the power source voltage supply block to be fed to the pixel block and the plurality of signal processing blocks from the longitudinal direction, the vertical power feeding lines and the horizontal power feeding lines being connected.

(57) 要約:

[続葉有]

- 40 Electrode pad
AA Supply
BB Column
CC Pixel block
DD Signal processing block
EE Power source voltage supply block
FF Horizontal power feeding
GG Vertical power feeding

WO 2017/154388 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

短手方向のサイズを縮小できる光電変換装置を実現する。横長の長方形形状の光電変換装置 (1) であって、複数の画素が配置された画素ブロック (10) と; 画素ブロックから出力された信号を処理する複数の信号処理ブロック (20) と; 画素ブロック及び複数の信号処理ブロックへ電源電圧を供給する電源電圧供給ブロック (30) と; 電源電圧供給ブロックに接続される電極パッド (40) と; を備えており、複数の画素 (11) の夫々は、入射光に応じて光電変換を行う光電変換素子および光電変換された電荷を電圧に変換する増幅器を含む電荷電圧変換部 (FD) を備える。画素ブロックでは、所定の数毎の画素が一纏りの信号処理単位である 1 つのカラム (PU) として設定され、複数の該カラムが当該光電変換装置の長手方向に並列されており、電源電圧供給ブロックから出力される電源電圧を短手方向から画素ブロックの複数のカラム毎へ給電可能にする複数の縦給電配線 (VL) が設けられ、電源電圧供給ブロックから出力される電源電圧を長手方向から画素ブロック及び複数の信号処理ブロックへ給電可能にする複数の横給電配線 (HL) が設けられ、縦給電配線と横給電配線とは接続されている。

明 細 書

発明の名称：光電変換装置

技術分野

[0001] 本発明は、光電変換装置に関する。

背景技術

[0002] 光電変換装置は、入射光に応じて光電変換を行う光電変換素子及び光電変換された電荷を電圧に変換する電荷電圧変換部を備える画素が、二次元に配置された画素ブロックと、該画素ブロックから出力された信号を処理する複数の信号処理とで構成されている。このような構成は、一体化するのに有利なCMOS（Complementary Metal Oxide Semiconductor：相補型金属酸化膜半導体）により形成されている。

[0003] このような光電変換装置は、撮像素子（イメージセンサ）として、ビデオカメラやデジタルカメラ、複写機等、さまざまな撮像機器に用いられている。ここで、撮像機器に搭載するイメージセンサは、高画質化を達成するべくノイズ低減が望まれつつ、イメージセンサが配置できる基板のレイアウト面積の制約がある。

[0004] 例えば、特許文献1には、水平転送バスラインがカラムAD回路上を交差する構成で、レイアウト面積の増加を抑制しつつ、カラムAD回路から水平転送バスラインへのクロストークによるノイズの発生を低減させる構成が提案されている。

発明の概要

発明が解決しようとする課題

[0005] 上記特許文献1のように、横長の光電変換装置に対して、横給電のみで給電を行おうとすると、IRドロップ対策で、電源・GND領域をとらざるをえず、幅の広い配線導線（メタル）での給電が必要になる。つまり、光電変換装置の短手方向のサイズが大きくなり、1ウェハあたりのチップの取れ数が少なくなることに起因して、1チップ当たりの製造コストが増加してしま

う。

[0006] そこで、本発明は、上記事情に鑑み、短手方向のサイズが縮小できる光電変換装置を提供することを目的とする。

課題を解決するための手段

[0007] 上記課題を解決するため、本発明の一態様では、横長の長方形形状の光電変換装置であって、複数の画素が配置された画素ブロックと、前記画素ブロックから出力された信号を処理する、当該光電変換装置の短手方向に並列された複数の信号処理ブロックと、前記画素ブロック及び前記複数の信号処理ブロックへ電源電圧を供給する電源電圧供給ブロックと、前記電源電圧供給ブロックに接続される電極パッドと、を備えており、

前記複数の画素の夫々は、入射光に応じて光電変換を行う光電変換素子および光電変換された電荷を電圧に変換する増幅器を含む電荷電圧変換部を備え、

前記画素ブロックでは、所定の数毎の画素が一纏りの信号処理単位である 1 つのカラムとして設定され、複数の該カラムが当該光電変換装置の長手方向に並列されており、

前記電源電圧供給ブロックから出力される前記電源電圧を、前記短手方向から、前記画素ブロックの複数のカラム毎へ給電可能にする、複数の縦給電配線が設けられ、前記電源電圧供給ブロックから出力される前記電源電圧を、前記長手方向から、前記画素ブロック及び前記複数の信号処理ブロックへ、給電可能である、複数の横給電配線が設けられ、前記縦給電配線と前記横給電配線とは接続されていることを特徴とする

光電変換装置を提供する。

発明の効果

[0008] 一態様によれば、光電変換装置において、短手方向のサイズを縮小することができる。

図面の簡単な説明

[0009] [図1]本発明の第 1 実施形態に係る光電変換装置。

[図2]比較例に係る光電変換装置。

[図3]図1の光電変換装置の画素ブロック内の詳細図。

[図4]図3の画素ブロック内のスイッチや増幅器をトランジスタで構成した場合の回路図。

[図5]本発明の第2実施形態に係る光電変換装置。

[図6]電源電圧供給ブロックが複数設けられる場合の光電変換装置。

[図7]電極パッドが複数ある場合の光電変換装置。

[図8]画素ブロック内の給電方法の概略図。

[図9]ノイズ源に対しては横給電のみを利用した場合の概略図。

[図10]信号処理ブロックがサイクリック型A/Dコンバータである場合の具体的な回路図。

発明を実施するための形態

[0010] 以下、図面を参照して本発明を実施するための形態について説明する。なお、本明細書及び図面において、実質的に同一の機能構成を有する構成要素については、同一の符号を付し、重複する説明を省略する。

[0011] <第1実施形態>

図1は、本発明の第1実施形態に係る光電変換装置を示す。本発明の光電変換装置は、例えば、ビデオカメラやデジタルカメラ、複写機等、さまざまな撮像機器に用いられる、CMOSセンサとして機能する。

[0012] 図1に示す光電変換装置1は、画素ブロック10と、信号処理ブロック20A～20Zと、電源電圧供給ブロック30と、電極パッド40とを備える。

[0013] 画素ブロック10では、入射光量を画素信号に変換する画素(Pixel)が二次元に配置されている。

[0014] 信号処理ブロック20A～20Zは、画素ブロック10から出力された信号を処理する。複数の信号処理ブロック20A～20Zは、光電変換装置1の短手方向に並んで配列(並列)されている。

[0015] 電源電圧供給ブロック30は、これらの各ブロックへ電源電圧を供給する

。電極パッド40は、電源電圧供給ブロック30に電源電圧を給電する。

[0016] また、本発明が適用される光電変換装置は、1対の長辺と1対の短辺とを備えた横長の長方形形状である。光電変換装置1において、画素ブロック10、信号処理ブロック20A～20Z、電源電圧供給ブロック30、電極パッド40は、順に上から下に短辺方向に（図1の上下方向に）並んで配置されている。

[0017] 電源電圧供給ブロック30から出力される電源電圧を、画素ブロック10の複数のカラム（PU1～PU_n）毎へ光電変換装置1の短辺方向（短手方向、図1の上下方向）に、給電可能にする、複数の縦給電配線VL1～VL_nが設けられている。

[0018] 本明細書において、カラムとは、複数の光電変換素子を一纏めにした信号処理系統の最小単位（一纏りの信号処理単位：Processing Unit）を示す。本願では6個（R（赤）、G（緑）、B（青）の各2画素）の光電変換素子进行处理する系統を1カラムとしている。なお、1カラム当たりの個数は、6個に限定されず、他の数であってもよい。

[0019] 画素ブロック10では、光電変換装置1の長辺方向（図1の左右方向）に、このように設定された信号処理単位であるカラムPU1～PU_nが、複数並んで配列（並列）されている。

[0020] 電源電圧供給ブロック30から出力される電源電圧を、画素ブロック10及び複数の信号処理ブロック20A～20Zへ、光電変換装置1の長辺方向（長手方向）に、給電可能にする、複数の横給電配線HLが設けられている。

[0021] そして、電源電圧供給ブロック30からの電源電圧を伝送する、短手方向に延伸する縦給電配線VLと、長手方向に延伸する横給電配線HLとは接続されている。

[0022] 本明細書において、横給電は光電変換装置の長手方向（図1の左右方向）の給電（長手方向から各ブロックへの給電）を意味し、縦給電は、光電変換装置の短手方向（図1の上下方向）の給電（短手方向から各ブロックへの給

電)を意味する。

[0023] 図1に示す本発明の第1実施形態では、全ての配線で、メッシュ状に縦給電及び横給電の両方を行っている。

[0024] <比較例>

図2は、比較例に係る光電変換装置を示す。この比較例では、横長の光電変換装置において、横給電のみで給電を行っている。

[0025] ここで、光電変換装置の長手方向は、光電変換素子の搭載数と光電変換素子1つあたりのサイズで律速している。詳しくは、長手方向のサイズを小さくするには、光電変換素子の搭載数を減らす又は一つあたりの光電変換素子のサイズを小さくすることになる。

[0026] しかし、光電変換素子の搭載数を減らすと解像度の低下を招き、光電変換素子を小さくすると感度低下を招く恐れがあるため、光電変換装置の長手方向のサイズを小さくすることは難しい。

[0027] そのため、光電変換装置の面積を減らすためには短手方向のサイズを縮小することは重要である。例えば、長手方向のサイズを変えずに全体のサイズを縮小するため、「長手方向：短手方向」のアスペクト比は10：1から、ときには100：1に及ぶこともある。

[0028] 図2に示すように、光電変換装置に対して、横給電のみで給電を行おうとすると、電源配線上に生じるIR積の電圧降下であるIRドロップが大きく発生する。

[0029] そのため、IRドロップを考慮して、幅の広い（光電変換装置の短手方向の長さが広い）配線導線（配線メタル）での給電が必要になる。例えば、IRドロップを考慮した目標の抵抗値がA（Ω）、シート抵抗がC（Ω/□）（ohm per square）、光電変換装置の長手方向の長さがD（μm）だとした場合、必要なメタル幅B（μm）は、

$$「B（\mu m） > D（\mu m） \times C（\Omega / \square） / A（\mu m）」$$

となり、必要な配線メタル幅は光電変換装置の長手方向の長さに比例する。

[0030] 言い換えると、図2の比較例の構成では、長手方向の長さが長いほど、配

線メタルの幅を広くする必要があり、光電変換装置の短手方向の長さが長くなる。

[0031] そこで、短手方向の長さを短くするため、本発明では図1のように、縦給電と横給電とを併用する構成を採用する。詳しくは、電源電圧供給ブロック30と電極パッド40を信号処理ブロック20A～20Zの下部に配置し、そこから画素ブロック10や複数の信号処理ブロック20A～20Zに対して1カラムごとに縦給電を行い、縦給電と横給電とを併用する。

[0032] この構成では縦給電配線VLの一本あたりの配線抵抗がF (Ω)であったとしても、カラム数がE (本) あれば、合成抵抗はF / Eとなりカラム数の分だけ大きく抵抗値を下げるができる。図1では、比較的容易に合成抵抗を下げられる縦給電を併用する構成であるため、横給電の抵抗値を大きくすることが可能、言い換えれば、横給電配線HLの給電用配線の幅を狭くすることができるため、光電変換装置の短手方向のサイズを縮小できる。よって、1ウェハあたりのチップのとれ数が多くなりコストダウンが可能となる。

[0033] <画素ブロック>

下記、画素ブロック内のカラムの構成について説明する。図3は、図1の光電変換装置の画素ブロック10内の詳細図である。

[0034] 図3では、6個の画素11と6個のアナログメモリで構成された6つの画素ユニットRE, RO, GE, GO, BE, BOを1つのカラムPUxとして説明するが、処理単位となるカラムの数は、この数に限定するものではない。ここで、RE, ROは赤色(R)透過のカラーフィルターが受光素子上部に設けられる2つの画素ユニットを示す。GE, GOは緑色(G)透過のカラーフィルターが設けられる2つの画素ユニットを示す。BE, BOは青色(B)透過のカラーフィルターが設けられる2つの画素ユニットを示す。

[0035] 画素ユニットRE, RO, GE, GO, BE, BOは、画素11と、アナログメモリ12とを備える。下記、画素ユニットROを用いて、画素ユニット内部の構成の説明をするが、他の画素ユニットでも構成は同様とする。

- [0036] 画素（画素回路）は、回路内で電荷 - 電圧変換と増幅を行う、アクティブピクセルセンサである。画素 1 1 は光電変換素子 P D やフロートディフュージョン領域 F D 等を備える。光電変換素子（受光素子）P D は、光の入射によって発生した電荷を蓄積する。フロートディフュージョン領域 F D は、電荷を読み出したときに、画素 1 1 内の接合浮遊容量へ転送して電荷 - 電圧変換を行う電荷電圧変換部として機能する。
- [0037] 画素 1 1 において、光電変換素子 P D のアノードは接地電圧に接続され、光電変換素子 P D のカソードは転送スイッチ S W 1 の一端に接続される。転送スイッチ S W 1 の他端は、第一の増幅器 A M P 1、及びリセットスイッチ S W 2 に接続される。
- [0038] ここで、転送スイッチ S W 1 と、第一の増幅器 A M P 1 と、リセットスイッチ S W 2 が接続される領域をフロートディフュージョン領域 F D とする。第 1 の増幅器 A M P 1 の一端は、電流源 1 3 へ接続されている。
- [0039] リセットスイッチ S W 2 の、転送スイッチ S W 1 及び第一の増幅器 A M P 1 と接続していない他端にはリセット電圧である駆動信号 V r d が印加される。
- [0040] 図には記載していないが、光電変換素子 P D 上部にはカラーフィルタやマイクロレンズが形成される。これら、転送スイッチ S W 1、リセットスイッチ S W 2、光電変換素子 P D、第一の増幅器 A M P 1、カラーフィルタ、及びマイクロレンズをあわせて画素とよぶ。なお、マイクロレンズは形成しなくてもよい場合もある。
- [0041] アナログメモリ 1 2 を設けることで、信号の一時記憶が可能になり、アナログメモリに蓄積された R / G / B の信号レベルやリセットレベルの任意の順番（例えば、R のリセットレベル⇒信号レベル⇒G のリセットレベル⇒・・・）での読み出しが可能となる。
- [0042] 図 3 に示す、画素選択スイッチ S W 6、容量選択スイッチ S W 4、S W 5、コンデンサ C 1、C 2、及びメモリ書き込み選択スイッチ S W 3 をあわせてアナログメモリと呼ぶ。

- [0043] アナログメモリ 12 では、容量選択スイッチ SW4, SW5 はそれぞれコンデンサ C1, C2 の一端に接続されている。コンデンサ C1, C2 の他端は、所定のメモリ基準電圧 V_m に接続されている。
- [0044] 画素 11 内の第 1 の増幅器 AMP1 の一端は、第 1 の電流源 13 に接続されているとともに、メモリ書き込み選択スイッチ SW3 を介して、コンデンサ C1, C2 を選択するための選択スイッチ SW4, SW5 と、画素を選択するための画素選択スイッチ SW6 に接続されている。
- [0045] 複数のアナログメモリ 12（図では 6 個）の画素選択スイッチ SW6 は、第 2 の増幅器 15、及び第 2 の電流源 14 に接続される。また、第 2 の増幅器 15 には、カラム信号処理部 16 が接続されている。
- [0046] 同じチップを多様な製品で使用する場合、ある製品では画像特性を優先し、ある製品では消費電流を優先するといったことがある。そのため、第 1 の増幅器 AMP1 や第 2 の増幅器 15 に流す電流を可変できるようなシステムにしておく为好適である。
- [0047] 図 3 において、第 1 の増幅器 AMP1 のための電源及び第 2 の増幅器 15 のための電源は、縦給電（例えば、図 5 の給電 2）を使用する。
- [0048] 一方、各画素 11 のリセットスイッチ SW2 に印加されるリセット電圧 V_{rd} 、第 1 の電流源 13、及び第 2 の電流源 14 は、横給電（図 5 の給電 1）を使用する。
- [0049] アナログメモリ 12 のコンデンサ C1, C2 に接続される、メモリ基準電圧 V_m はグラウンド端子から引き込んで生成する、あるいは、横給電（図 5 の給電 1）を使用してもよい。
- [0050] このように、1 カラム内においても縦給電と横給電とを併用する構成とすることで、横給電配線 HL の配線幅を狭くすることができるため、光電変換装置の短手方向のサイズを縮小できる。よって、1 ウェハあたりのチップのとれ数が多くなりコストダウンが可能となる。
- [0051] <画素ブロックの詳細>
- 図 4 に、図 3 の画素ブロック内のスイッチや増幅器をトランジスタで構成

した場合の回路図を示す。

- [0052] 図4に示す構成では、スイッチSW1～SW6を夫々1つのトランジスタ（Tr）で構成している。なお、図3の構成を実現する回路として、トランジスタのON抵抗や、チャージインжекションを考慮してNch型-TrとPch型-Trを利用したCMOSスイッチでもよい。また、電位によってはPch型-Trで、スイッチを構成してもよい。例えば、リセット電圧Vrdが高い場合、メモリ書き込み選択トランジスタSW3の電位も高くなるため、Nch型よりはPch型のスイッチを使用した方がON抵抗を低くすることができる。
- [0053] アナログメモリ12において、コンデンサの容量C1、C2は面積効率を考慮するとMOS容量を使用するのが好ましい。特に、容量C1、C2の容量選択スイッチSW4、SW5側にかかる電圧は接地側の電圧よりも電源電圧側に近いレベルとなるため、容量C1、C2はNch型のMOSトランジスタ（MOS容量）を使用するのが好ましい。
- [0054] MOS容量の両端の電位差が、必ずしも酸化膜容量を維持できるほど大きいとは限らないため、デプレッション型のMOS容量を使用するのが好ましい。
- [0055] 容量C1、C2の一端のメモリ基準電圧Vmは、その他の回路の接地電圧と共通にしてもよい。しかし、このメモリ基準電圧Vmが揺れると、タイミングによっては電圧の揺れがダイレクトに出力にも現れてしまうため、メモリ基準電圧Vmとその他の回路の接地電圧とを分ける方がより好ましい。
- [0056] 図4では、第2の増幅器15について、Nch型のMOSトランジスタ1つで構成した例を示している。なお、第2の増幅部を構成するトランジスタ（第2の増幅トランジスタと称する）15のバックゲートはバックゲート効果を考慮するとソースにつなぐのが通常は好ましいが、面積とのトレードオフになり、バックゲートにつながない場合もありうる。ここでは、Nch型のMOSトランジスタについて説明したが、Pch型でも構成可能である。
- [0057] 同じチップを多様な製品で使用する場合、ある製品では画像特性を優先し

、ある製品では消費電流を優先するといったことがある。そのため、第1の増幅部を構成するトランジスタ（第1の増幅トランジスタと称する）AMP 1や、第2の増幅トランジスタ15に流す電流を可変できるようにしておくのが好ましい。

[0058] 各画素11内において、第1の増幅トランジスタAMP 1のサイズを大きくしすぎるとFD領域にぶらさがり容量が大きくなり、電荷・電圧変換ゲインの低下をまねくため（ $V = Q / C$ により）、第1の増幅トランジスタAMP 1を大きくできない。

[0059] 一方、カラム内で共通の第2の増幅トランジスタ15のサイズについては、第1の増幅トランジスタAMP 1ほど変換ゲインへの影響はない。そのため、ノイズ特性（フリッカノイズ、熱雑音、RTSノイズ等）を考慮するとできるだけ、第2の増幅トランジスタ15は大きい方が好適である。また、第2の増幅トランジスタ15のサイズは、チップ全体のサイズへの影響も少ない。よって、第2の増幅トランジスタ15は第1の増幅トランジスタAMP 1よりも大きいサイズのものを使用するのが好ましい。

[0060] また、第1の電流源13及び第2の電流源14は複数のトランジスタで構成されている。

[0061] 図4において、第1の増幅トランジスタAMP 1のための電源および第2の増幅トランジスタ15のための電源は、縦給電（給電2）を使用する（図5参照）。

[0062] 一方、各画素11のリセットトランジスタSW 2に印加されるリセット電圧 V_{rd} 、第1の電流源13、及び第2の電流源14は、横給電（給電1）を使用する。

[0063] このように、用途に応じて縦給電と横給電とを使い分けることで、配線に伴うノイズを抑制することができる。

[0064] <第2実施形態>

図5は、本発明の第2実施形態に係る光電変換装置を示す。

[0065] 本実施形態において、電源電圧供給ブロック30から1カラムごとに、別

のブロックへ（画素ブロック10と、複数の信号処理ブロック20A～20Zと交互に）、縦給電を行っている。即ち、画素ブロック10と、複数の信号処理ブロック20A～20Zの夫々のブロックとは、カラム毎に、異なる縦給電配線VLを介して給電される。

[0066] 例えば、画素ブロック10へは、所定の列のカラム（例えば、カラムPU1, Pn）に対応する縦給電配線（画素ブロック用縦給電配線）VL1（VL1（p））を介して電源電圧が供給される。一方、信号処理ブロック20A～20Zへは、前記所定のカラム（PU1）とは異なるカラム（例えば、カラムPU2, PUn-1）に対応する縦給電配線（信号処理部ブロック用縦給電配線）VL2（VL2（p））を介して電源電圧が供給される。

[0067] 即ち、複数の縦給電VL1～VLnにおいて、予め、画素ブロック10に給電するもの（VLx（p）（例えば、VL1（p）, VLn（p））と、複数の信号処理ブロック20A～20Zの夫々のブロックに給電するもの（VLx（s）（例えば、VL2（s）, VLn-1（s））とを、予め分けておく。これにより、画素ブロック10と、複数の信号処理ブロック20A～20Zとは、カラム毎に、異なる縦給電配線VLx（p）, VLx（s）を介して給電される。

[0068] このように配置することで、図1に示すように画素ブロック10と信号処理ブロック20A～20Zとの間で縦給電及び横給電をメッシュ状に共有せずに、本実施形態では、縦給電と横給電とを独立して別の配線を介して行うので、ノイズが相互に影響することなく、第1実施形態よりも、給電の際のノイズの干渉がさらに削減可能となる。

[0069] 例えば、信号処理ブロック20Aがノイズ源の場合、そのブロック20Aと画素ブロック10で電源を共有していると、そのノイズがそのまま画素ブロック10の電源の揺れとなってしまうおそれがあった。

[0070] 仮に、縦給電配線VLにおいて、画素ブロック10と電源電圧供給ブロック30との配線抵抗を200Ω、信号処理ブロック20Aと電源電圧供給ブロック30との配線抵抗を150Ω、信号処理ブロック20Aと画素ブロッ

ク 10 の配線抵抗が 50 Ω の場合、図 1 の構成ではノイズが伝搬する経路の配線抵抗は 50 Ω であった。

[0071] 一方、本実施形態のように、1 カラムごとに縦給電を行うブロックを変えると、ノイズが伝搬する経路の配線抵抗は 350 Ω となる。よって抵抗値は $350 / 50$ 倍 = 7 倍となり、カットオフ周波数が $1 / 7$ となる。よって、ノイズが $1 / 7$ となる。

[0072] このように、ノイズと画素のブロックが独立した配線で電源が供給されることで、画像品質をさらに向上させることができる。

[0073] さらに、この電源電圧供給ブロック 30 に、回路が動作する際に直流電源の電圧が変動するのを避けることを目的として、電源線とグランド（端子）とを接続するバイパスコンデンサ（パスコン）を配置してもよい。

[0074] このように、パスコンを設けることにより、各ブロック間に発生するノイズを、一層低減させることができる。

[0075] ここで、ノイズを制御するための具体的な構成例について説明する。

本光電変換装置を CMOS センサとして光電検出に用いる場合など、信号処理ブロック 20A ~ 20Z 内での電源に対するノイズは、10 bit 出力換算で 1 LSB (least significant bit) 相当以内に抑えるように設計している。

[0076] この 1 LSB のノイズが共有した電源を介して画素ブロック 10 に乗ると、そのまま画素ブロック 10 の出力に 1 LSB のノイズとして見えることがある。通常、画素ブロック 10 から出力された信号は 10 倍程度のゲインをかけることがあるため、もともと 1 LSB だったノイズが 10 LSB になる。

[0077] つまり、ゲイン相当分を考慮して、ノイズを $1 / 10$ に抑えられるような、即ち、カットオフ周波数を $1 / 10$ にするような、配線抵抗を設定する。詳しくは、画素ブロック 10 から電源電圧供給ブロック 30 までの配線抵抗を Y (Ω)、信号処理ブロック 20A ~ 20Z から電源電圧供給ブロック 30 までの配線抵抗を Z (Ω) とし、「 $Z + Y > 10 * (Y - Z)$ 」を満た

す配線抵抗とすると、画像への影響は少なくなる。詳しくは、この設定だと、10bit換算で1LSB以下のノイズとなり、画像への影響が少なくなるとわかる。

[0078] さらに、より好ましくは、 $1/100$ までノイズを低減させると（カットオフ周波数を $1/100$ にすると）10bit出力換算で0.1LSBとなり画像への影響はなくなる。つまり、 $Z+Y>100*(Y-Z)$ を満たせばよい。この設定だと、10bit換算で0.1LSB以下のノイズとなり画像への影響がほぼなくなる。

[0079] 下記、第3～第5実施形態においても、第2実施形態で用いた、1カラムごとに別のブロックへ縦給電を実施する方法を適用して説明する。

[0080] <第3実施形態>

図6は、電源電圧供給ブロック30が複数（30A，30B）設けられる場合の光電変換装置を示す。図6に示すように、必ずしも電源電圧供給ブロック30は1つである必要はない。

[0081] このように、2以上の電源供給ブロックを設けると、給電先のブロックの種類ごとに、即ち、画素ブロック10、信号処理ブロック20（20A～20Z）の夫々に、対応する給電元の電源供給ブロック30A，30Bを分離できる。そのため電源電圧値の違いによる影響を受けにくくなり、給電の際のノイズの混入をさらに防止することができる。

[0082] <第4実施形態>

図7は、電極パッド40が複数ある場合の光電変換装置を示す。図7に示すように、必ずしも電極パッド40や電源電圧供給ブロック30は1つである必要はない。

[0083] さらに、2以上の電極パッドを設けて夫々電源を供給すると、給電先のブロックの種類ごとに、即ち、画素ブロック10と、信号処理ブロック20（20A～20Z）とで、供給する供給元の電源供給ブロック30A，30B及び電極パッド40A，40Bを分離できる。そのため、電源電圧値の違いによる影響を受けにくくなり、給電の際のノイズの混入をさらに防止するこ

とができる。

[0084] <第5実施形態>

図8は、画素ブロック10内の給電方法の概略図を示す。

[0085] 本発明の光電変換装置は、1つのチップに搭載することが前提とされている。1チップに搭載した場合、(a)に示すように、チップエッジCEから画素までの距離が近いとストレス（応力）の影響を画素11内の光電変換素子PDが受け、画像特性が劣化する可能性がある。

[0086] そのため、図8の(b)に示すように、画素ブロック10内において、図3に示すような光電変換素子PDを備える画素11を含む画素領域Aの上部に、画素11を含まない余白領域Bを配置し、チップエッジCEから画素領域Aを離れた構成にする場合がある。

[0087] この時、電源電圧供給ブロック30から余白領域Bへ縦給電にて電源電圧を供給しようとする、その縦給電信号は画素11を横断することになり画素の開口が狭くなり感度が下がる。

[0088] そのため、画素11を含む画素領域Aより上側に配置されたブロック（余白領域B）には横給電（HL1を用いる給電1）、画素より下部のブロック（余白領域C）には、縦給電（VL1を用いる給電2（配線HL2を使用））と給電方法を分離すると有効である。

[0089] 即ち、画素ブロック10において、少なくとも複数の画素11よりも電源電圧供給ブロック30に近接した部分について縦給電配線VL1を用いて縦給電し、少なくとも複数の画素11よりも電源電圧供給ブロック30から離間した部分を、横給電配線HL1を用いて給電する。

[0090] この設定により、縦給電配線VL1を通る信号は画素を横断することなく、画素の開口を確保し、光電感度を確保することができる。

[0091] <第6実施形態>

図9は、ノイズ源に対しては横給電のみを利用した場合の具体例である。

図9において、(a)は光電変換装置を示し、(b)は信号処理ブロックAの拡大図であり、(c)は信号処理ブロックをサイクリック型A/Dコンバ

ータで構成した場合の例を示す。

[0092] 上記、図1に示す本発明の基本構成では、縦給電は電源電圧供給ブロック30からの電源電圧を、共通する縦給電配線VLを介して、信号処理ブロック20A～20Z及び画素ブロック10の両方へ給電している。

[0093] しかし、本実施形態では、信号処理ブロック20A内において、センシティブ回路21と、ノイズ源22とが分離して構成されている場合に、ノイズ源には、横給電のみの実施するように設定する。即ち、信号処理ブロック20A～20Zのノイズ源に対して、縦給電は実施しない。

[0094] 詳しくは、図9の(a)、(b)に示すように、一例として、信号処理ブロック20Aにおいて、横給電配線HL3を用いる給電3をノイズ源22に使用し、縦給電配線VL2を用いる給電4を、ノイズの影響を受けやすいセンシティブ回路21に使用している。

[0095] この給電方法について、具体的な例を用いて説明する。図10に、信号処理ブロックがサイクリック型A/Dコンバータである場合の具体的な回路図を示す。

[0096] 信号処理ブロック20Aが、サイクリック型のA/Dコンバータ(ADC)の場合はコントロールロジック26やD/Aコンバータ(DAC)23はノイズ源22、キャパシタCin1, Cin2, CoutやスイッチSW10～SW40、アンプ24や、コンパレータ25はセンシティブ回路21に該当する。なお、キャパシタCin1, Cin2, Cout、スイッチSW10～SW40、及びアンプ24は、スイッチトキャパシタとして機能する。

[0097] 本回路は一般的なサイクリックA/Dコンバータである。例えば、スイッチSW10へ入力された、1つ上の段に配置されたブロックからの入力信号を、スイッチSW10～SW40でサンプリングやホールドを行い、比較と増幅を繰り返すことで、電圧の変換を行い、下の段へデジタルデータを出力するものとする。

[0098] 本回路では、感受性の高い素子である、スイッチトキャパシタ内のアンプ

24と、コンパレータ25は、給電に縦給電（給電4）を利用する。

[0099] 一方、DAC23やコントロールロジック26は、信号レベルがGNDから電源電圧まで振幅するため、伝送の際に、ノイズが乗りやすく、ノイズ源となるため、他の感受性が高い素子の給電とは分離するように、横給電HL（給電3）を利用する。

[0100] 上記の説明では、配線抵抗を下げる目的で縦給電を利用したが、同様の手段で電源電圧以外にも、クロックやアンプに用いる基準電圧等も、縦配線を用いて供給することができる。

[0101] 以上、各実施形態に基づき本発明の説明を行ってきたが、上記実施形態に示した要件に本発明が限定されるものではない。これらの点に関しては、本発明の主旨をそこなわない範囲で変更することができ、その応用形態に応じて適切に定めることができる。

[0102] 本出願は、2016年3月10日に日本国特許庁に出願された特願2016-047456号に基づく優先権を主張するものであり、特願2016-047456号の全内容を本出願に援用する。

符号の説明

[0103] 1 光電変換装置
 10 画素ブロック
 20 信号処理ブロック
 30 電源電圧供給ブロック
 40, 40A, 40B 電極パッド
 PU1, PU2, , , PUx, PUn カラム
 RE, RO 赤色画素ユニット
 GE, GO 緑色画素ユニット
 BE, BO 緑色画素ユニット
 11 画素
 PD 光電変換素子
 SW1 リセットスイッチ、リセットトランジスタ

SW2 転送スイッチ、転送トランジスタ

AMP1 第1の増幅器、第1の増幅トランジスタ

FD フロートディフュージョン領域（電荷電圧変換部）

12 アナログメモリ

SW3 メモリ書き込み選択スイッチ、メモリ書き込み選択トランジスタ

SW4, SW5 容量選択スイッチ、容量選択トランジスタ

SW6 画素選択スイッチ、画素選択トランジスタ

C1, C2 コンデンサ（容量）, トランジスタ容量

13 第1の電流源

14 第2の電流源

15 第2の増幅器、第2の増幅トランジスタ

16 カラム信号処理部

Vrd リセット電圧、リセットドレイン電圧

Vm メモリ基準電圧

A 画素領域

B, C 余白領域

20A サイクリックA/Dコンバータ

21 センシティブ回路

22 ノイズ源

23 D/Aコンバータ（DAC）

25 コントロールロジック

HL 横給電配線

VL (VL1 ~ VLn) 縦給電配線

VLx (p) 画素ブロック用縦給電配線

VLx (s) 信号処理ブロック用縦給電配線

先行技術文献

特許文献

[0104] 特許文献1：日本国特開2009-200546号公報

請求の範囲

[請求項1]

横長の長方形形状の光電変換装置であって、
複数の画素が配置された画素ブロックと、
前記画素ブロックから出力された信号を処理する、当該光電変換装置の短手方向に並列された複数の信号処理ブロックと、
前記画素ブロック及び前記複数の信号処理ブロックへ電源電圧を供給する電源電圧供給ブロックと、
前記電源電圧供給ブロックに接続される電極パッドと、を備えており、
前記複数の画素の夫々は、入射光に応じて光電変換を行う光電変換素子および光電変換された電荷を電圧に変換する増幅器を含む電荷電圧変換部を備え、
前記画素ブロックでは、所定の数毎の画素が一纏りの信号処理単位である1つのカラムとして設定され、複数の該カラムが当該光電変換装置の長手方向に並列されており、
前記電源電圧供給ブロックから出力される前記電源電圧を、前記短手方向から、前記画素ブロックの複数のカラム毎へ給電可能にする、複数の縦給電配線が設けられ、
前記電源電圧供給ブロックから出力される前記電源電圧を、前記長手方向から、前記画素ブロック及び前記複数の信号処理ブロックへ給電可能にする、複数の横給電配線が設けられ、
前記縦給電配線と前記横給電配線とは接続されていることを特徴とする
光電変換装置。

[請求項2]

前記画素ブロックと、前記複数の信号処理ブロックの夫々のブロックとは、カラム毎に、異なる縦給電配線を介して給電される、
請求項1に記載の光電変換装置。

[請求項3]

前記画素ブロックから前記電源電圧供給ブロックまでの前記縦給電

配線の配線抵抗を Y (Ω)、前記短手方向に並列される複数の信号処理ブロックのうち、前記画素ブロックに最も近接して配置される信号処理ブロックから、前記電源電圧供給ブロックまでの前記縦給電配線の配線抵抗を Z (Ω)とした際、「 $Z + Y > 10 * (Y - Z)$ 」を満たすように配置する、

請求項2に記載の光電変換装置。

[請求項4] 前記画素ブロックから前記電源電圧供給ブロックまでの前記縦給電配線の配線抵抗を Y (Ω)、前記短手方向に並列される複数の信号処理ブロックのうち、前記画素ブロックに最も近接して配置される信号処理ブロックから、前記電源電圧供給ブロックまでの前記縦給電配線の配線抵抗を Z (Ω)とした際、「 $Z + Y > 100 * (Y - Z)$ 」を満たすように配置する、

請求項2に記載の光電変換装置。

[請求項5] 前記画素ブロックにおいて、前記複数の画素よりも、前記電源電圧供給ブロックから離れた部分に素子が配置される場合、

前記画素ブロックにおいて、少なくとも前記複数の画素よりも前記電源電圧供給ブロックに近接した部分について前記縦給電配線を用いて給電し、少なくとも前記複数の画素よりも前記電源電圧供給ブロックに離間した部分を、前記横給電配線を用いて給電する、

請求項1乃至4のいずれか一項に記載の光電変換装置。

[請求項6] 前記各カラムにおいて、前記複数の画素には、夫々アナログメモリが接続され、前記複数のアナログメモリに共通して1つの電流源、及び1つの第2の増幅器に接続されており、前記複数の画素にある夫々の第1の増幅器への給電、前記光電変換素子への接地、前記電流源、及び前記第2の増幅器を、前記横給電配線を用いて給電する、

請求項5に記載の光電変換装置。

[請求項7] 前記複数の信号処理ブロックの少なくとも1つの信号処理ブロックはサイクリック型A/Dコンバータであり、該サイクリック型A/D

コンバータ内において、D／Aコンバータとコントロールロジックの電源は横給電、その他の素子の電源は縦給電である、

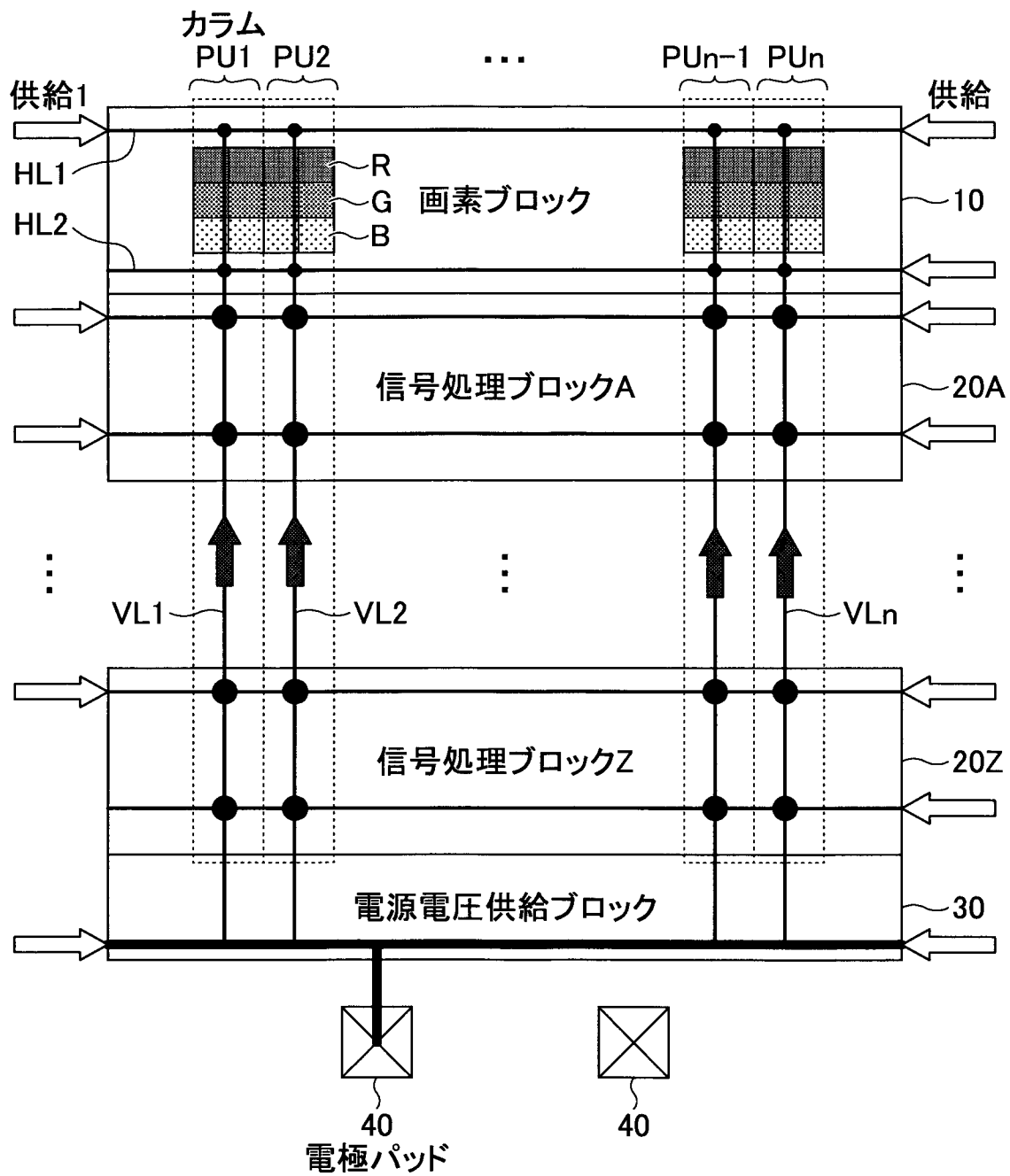
請求項 1 乃至 6 のいずれか一項に記載の光電変換装置。

[請求項8] 電源電圧供給ブロックの、前記電源電圧供給ブロックに近接する部分は、バイパスコンデンサを配置する、

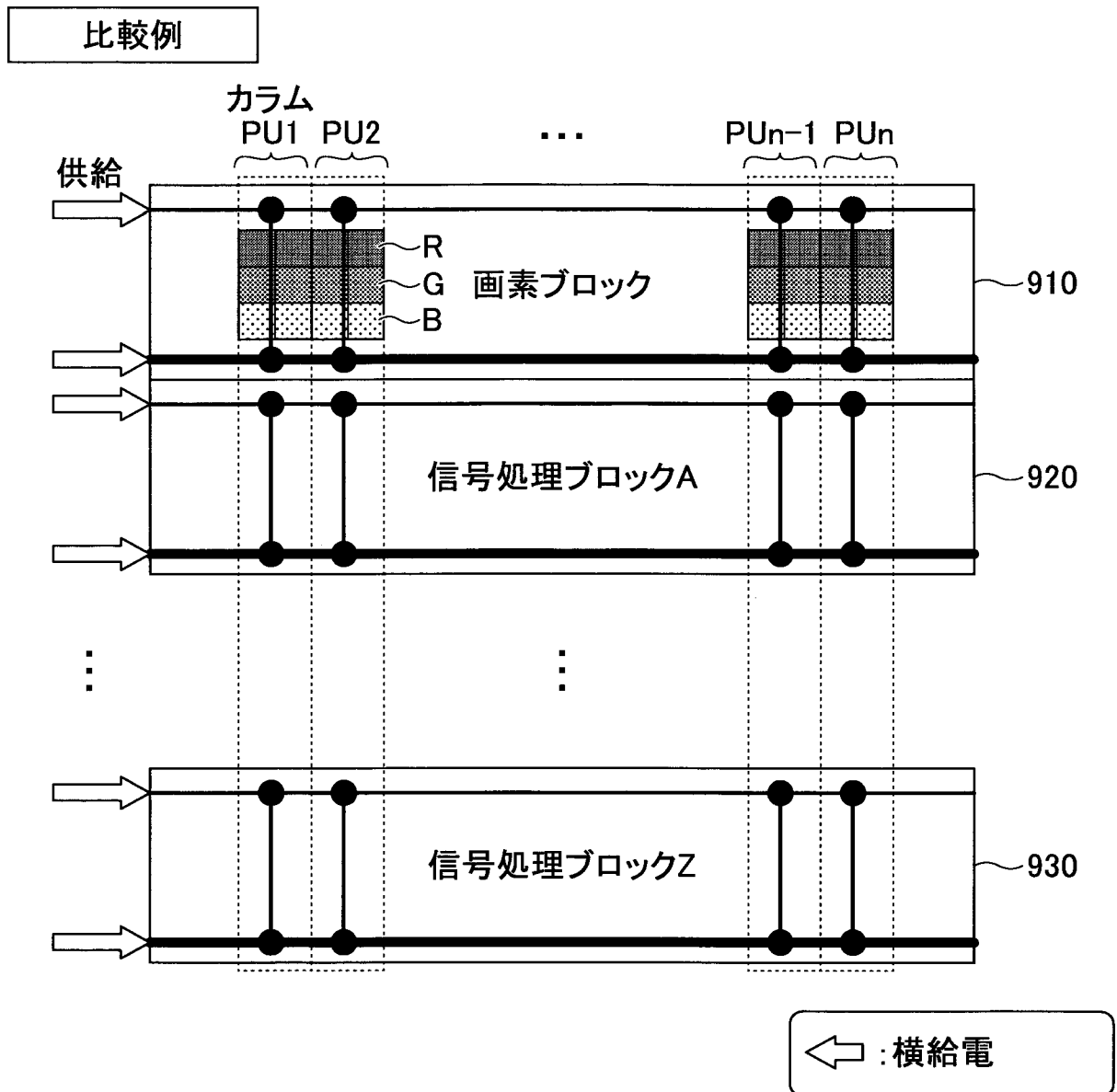
請求項 1 乃至 7 のいずれか一項に記載の光電変換装置。

[図1]

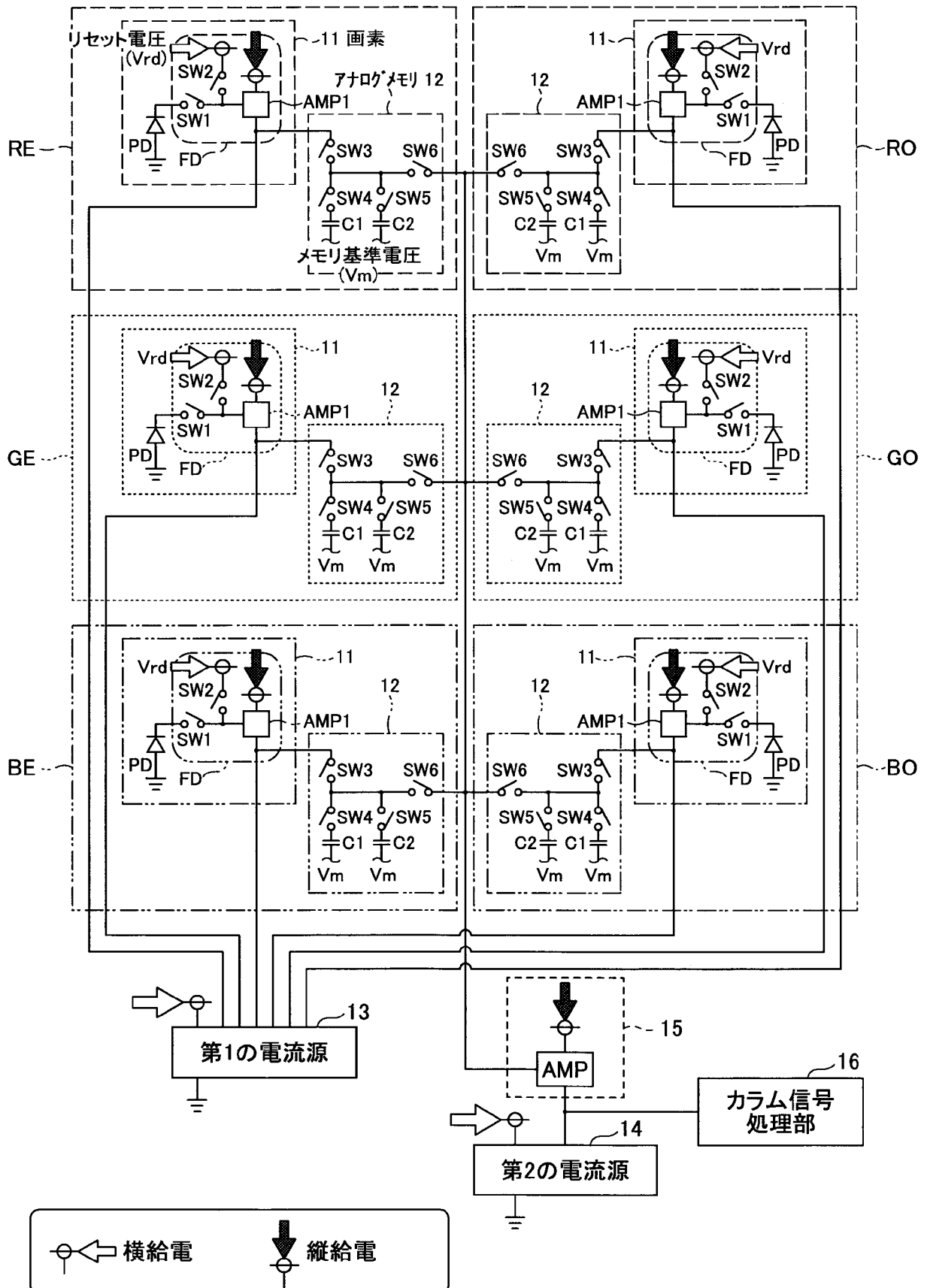
1



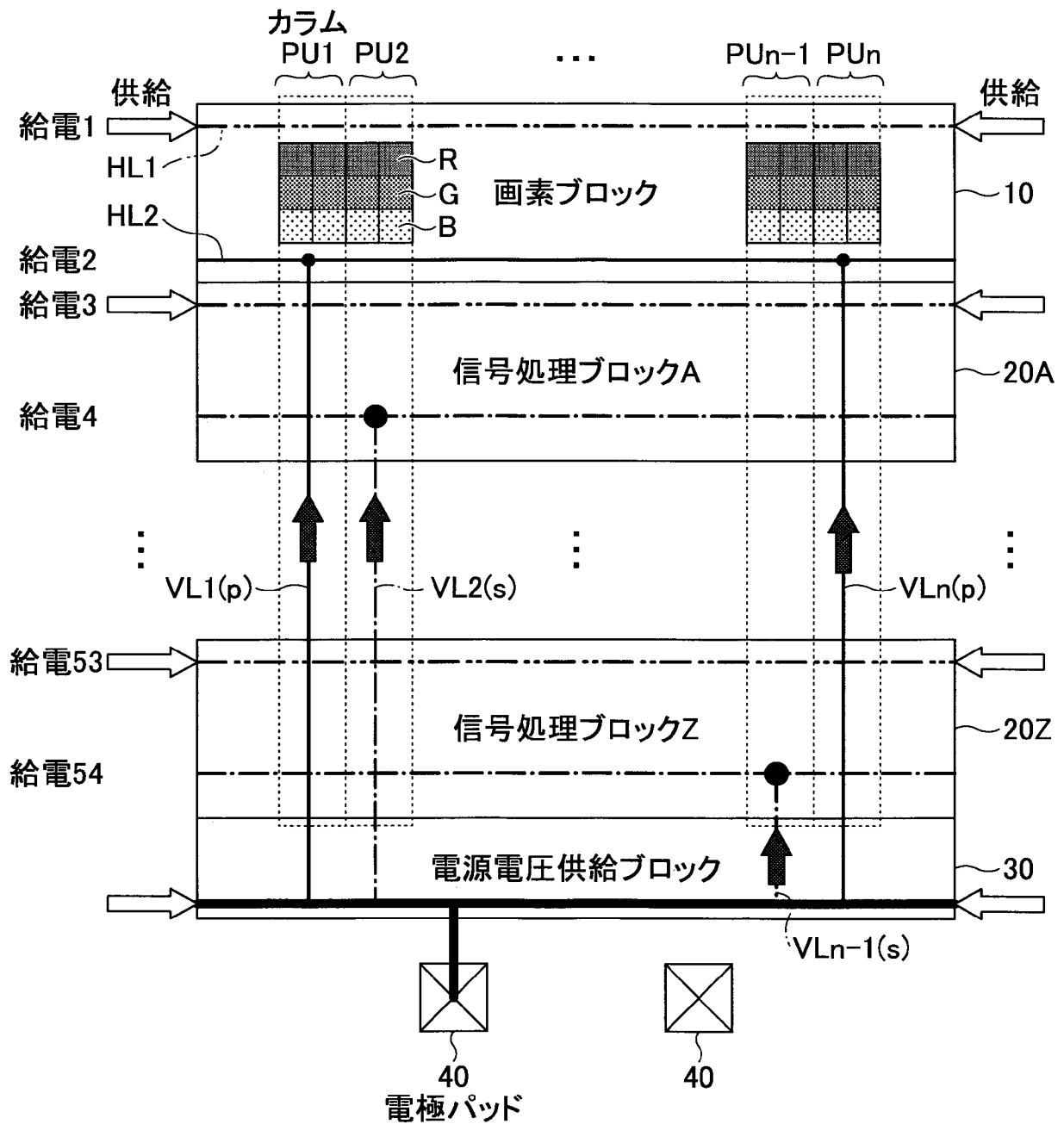
[図2]



[図3]



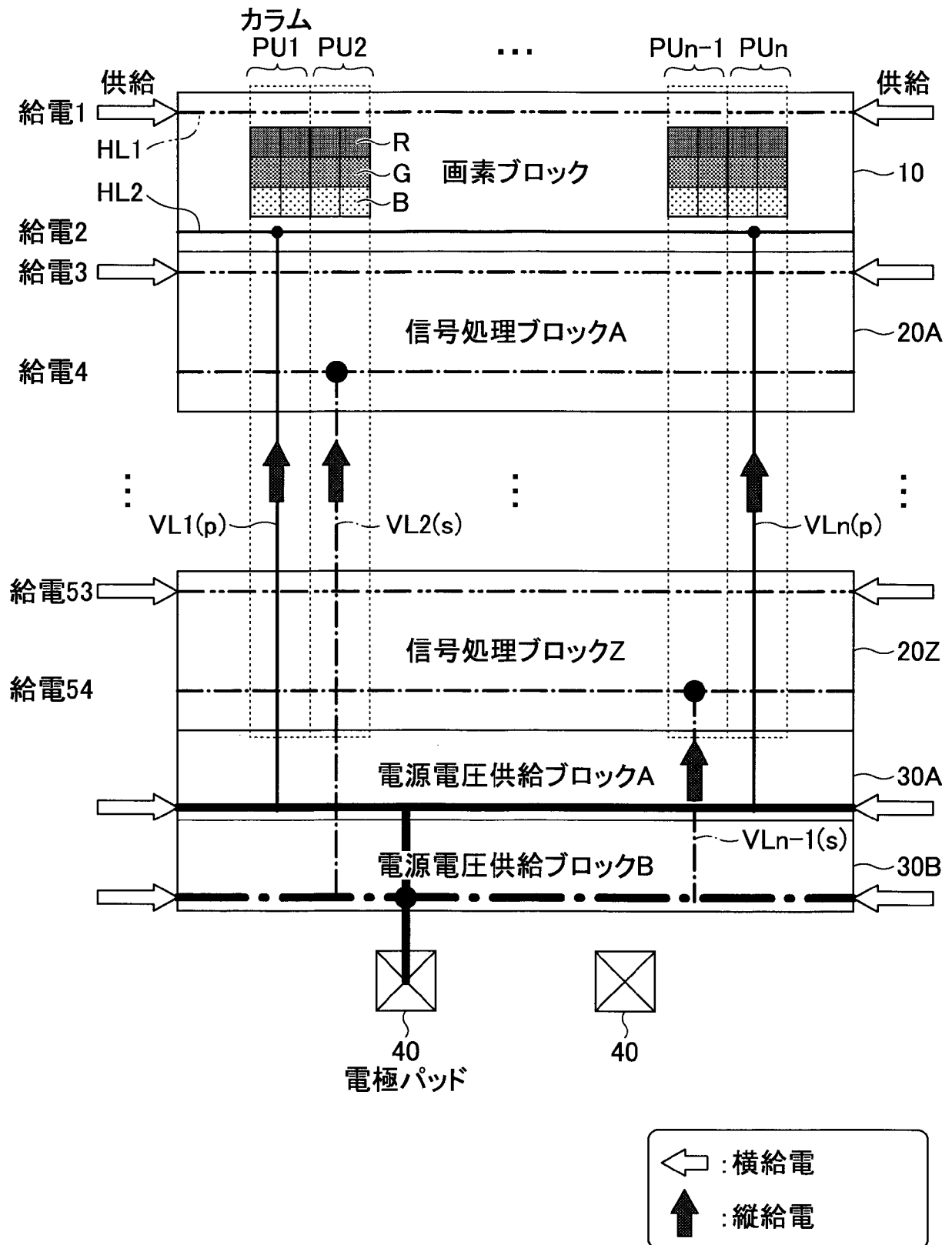
[図5]



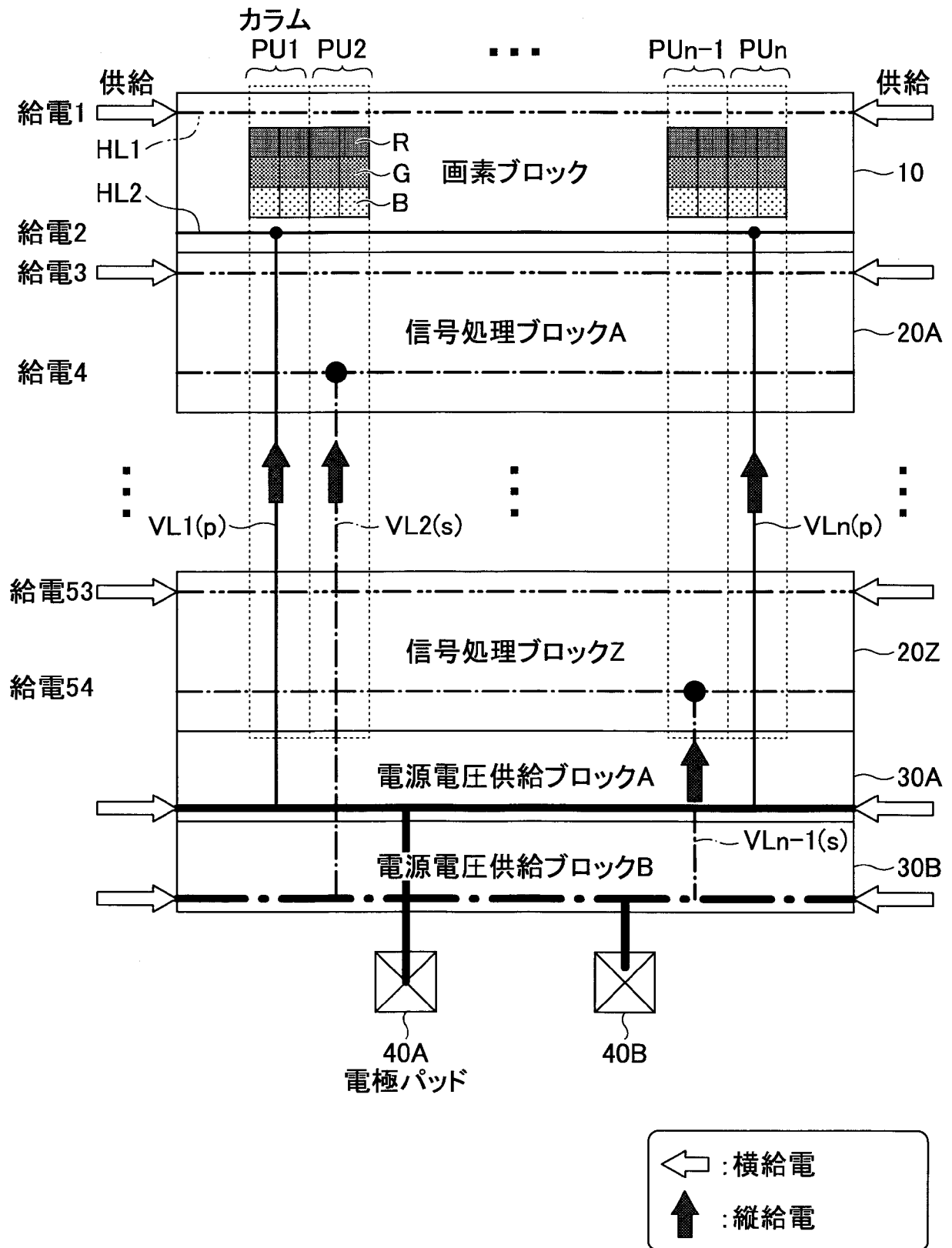
← : 横給電

↑ : 縦給電

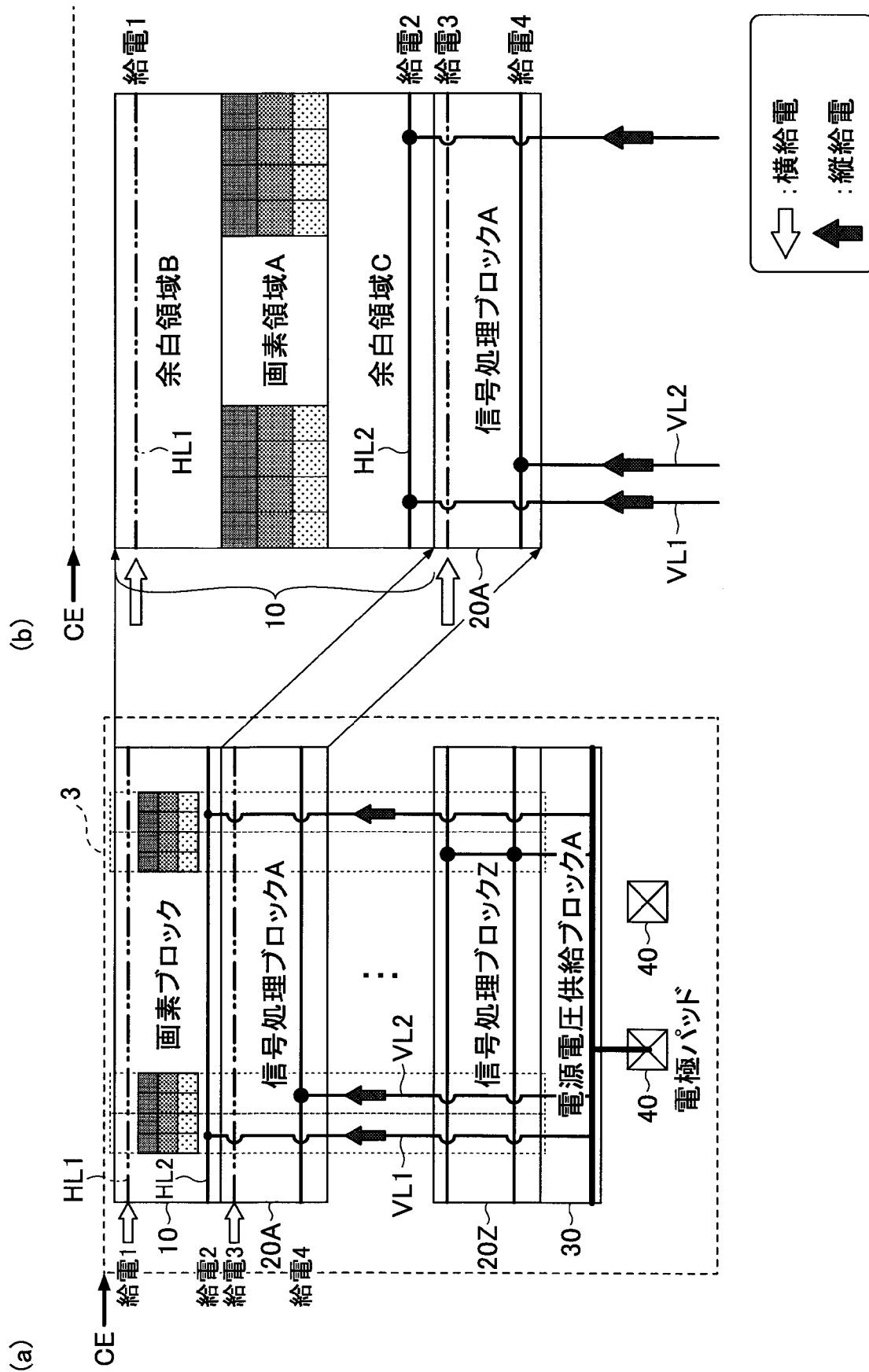
[図6]



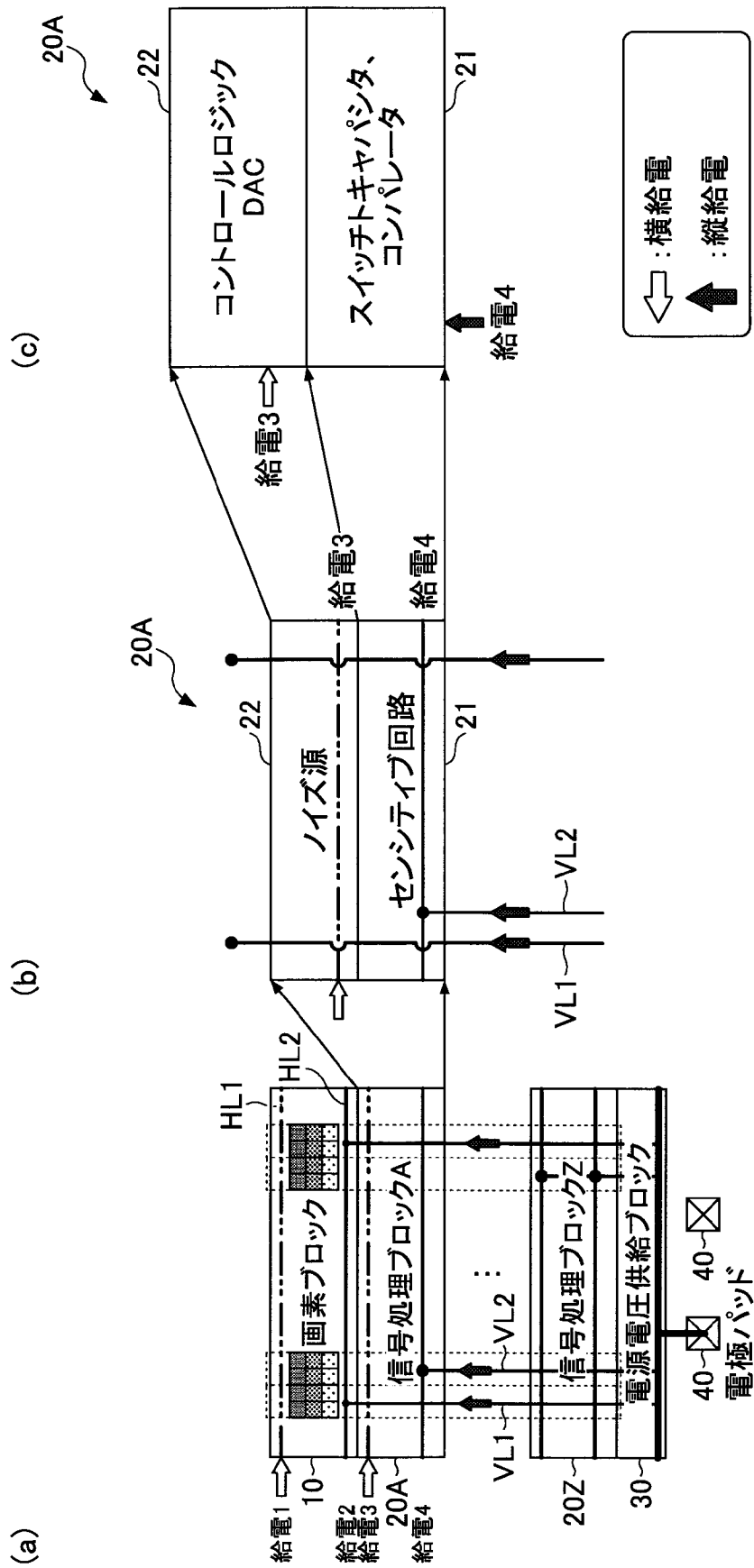
[図7]



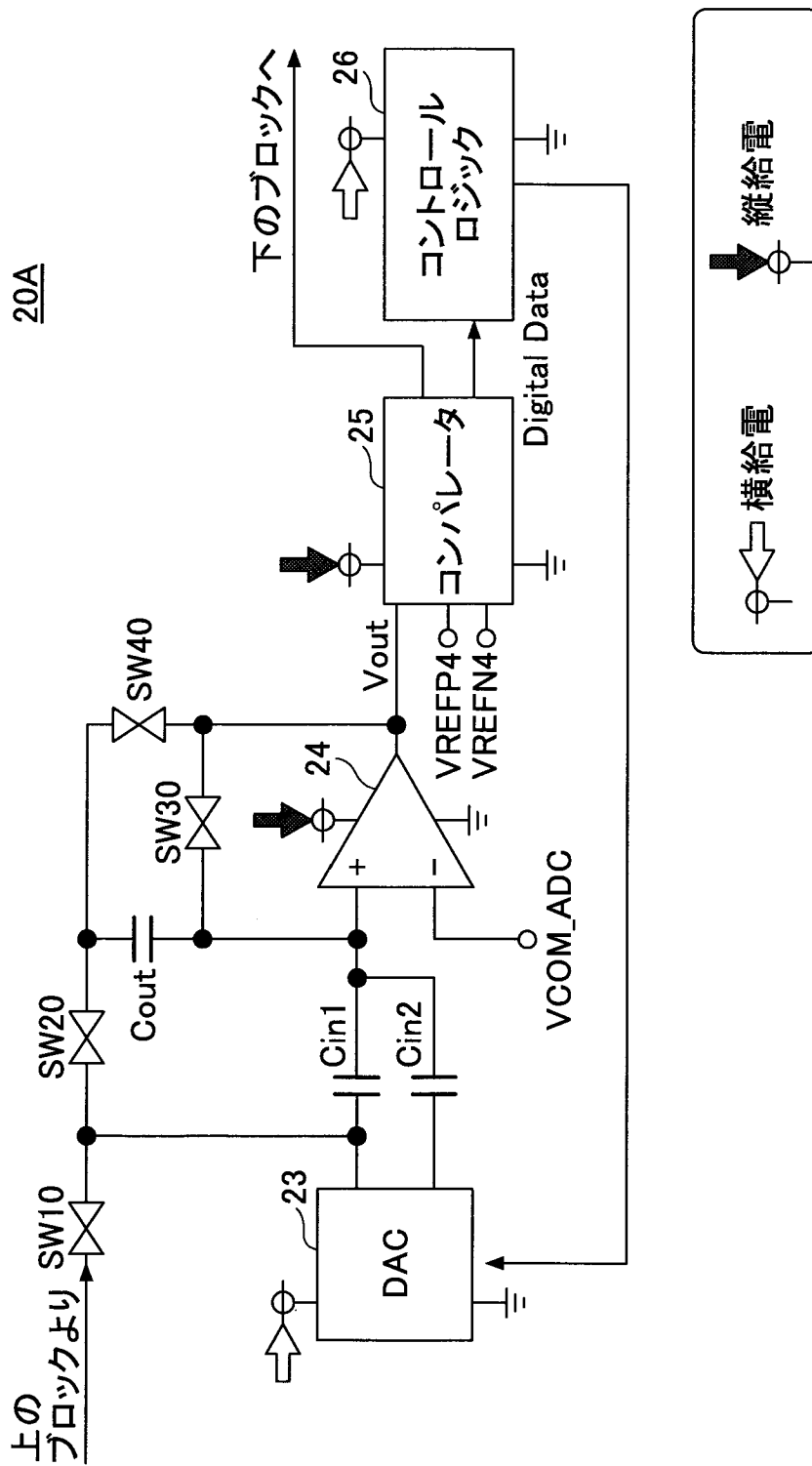
[図8]



[図9]



[図10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/002385

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N1/028(2006.01)i,
H04N5/357(2011.01)i, H04N5/378(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/3745, H01L27/146, H04N1/028, H04N5/357, H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-260790 A (Sony Corp.), 22 September 2005 (22.09.2005), paragraphs [0028] to [0030]; fig. 1 (Family: none)	1-8
A	JP 2009-130679 A (Sony Corp.), 11 June 2009 (11.06.2009), paragraph [0030]; fig. 2 (Family: none)	1-8
A	WO 2013/099266 A1 (Nikon Corp.), 04 July 2013 (04.07.2013), paragraph [0026]; fig. 2 & US 2015/0062393 A1 paragraph [0033]; fig. 2 & JP 13-99266 A1 & JP 2016-136751 A & CN 104025568 A	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 March 2017 (30.03.17)

Date of mailing of the international search report
11 April 2017 (11.04.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H04N5/3745(2011.01)i, H01L27/146(2006.01)i, H04N1/028(2006.01)i, H04N5/357(2011.01)i, H04N5/378(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H04N5/3745, H01L27/146, H04N1/028, H04N5/357, H04N5/378

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-260790 A (ソニー株式会社) 2005.09.22, [0028]-[0030], 図1 (ファミリーなし)	1-8
A	JP 2009-130679 A (ソニー株式会社) 2009.06.11, [0030], 図2 (ファミリーなし)	1-8

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30.03.2017

国際調査報告の発送日

11.04.2017

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

鈴木 明

5 V

5587

電話番号 03-3581-1101 内線 3571

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2013/099266 A1 (株式会社ニコン) 2013.07.04, 段落[0026], 図2 & US 2015/0062393 A1, 段落[0033], 図2 & JP 13-99266 A1 & JP 2016-136751 A & CN 104025568 A	1-8