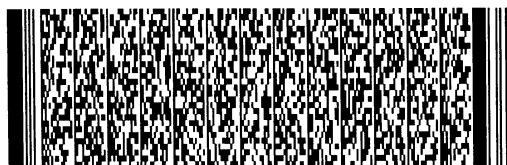


申請日期： 92.5.2,	IPC分類
申請案號： 92112097	H01L 31/00

(以上各欄由本局填註)

發明專利說明書 200405579

一、 發明名稱	中 文	堆疊裝置
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	1. 笠間泰彥 2. 藤本諭 3. 表研次
	姓 名 (英文)	1. 2. 3.
	國 籍 (中英文)	1. 日本 JP 2. 日本 JP 3. 日本 JP
	住居所 (中 文)	1. 日本國宮城縣仙台市泉區虹之丘4丁目11番地之12 2. 日本國宮城縣仙台市泉區七北田字大澤明通21-1 3. 日本國宮城縣仙台市泉區住吉台東5丁目13-18
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 伊雷阿爾史達股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 日本 JP
	住居所 (營業所) (中 文)	1. 日本國宮城縣仙台市泉區南吉成六丁目6番地3 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 笠間泰彥
	代表人 (英文)	1.



2015.5633-PE(N1)-Abddub.pptd

一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

日本 JP

2002/05/02

2002-131012

有

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。

五、發明說明 (1)

發明所屬之技術領域：

本發明是有關於一種利用線狀元件所形成之堆疊裝置。

先前技術：

目前利用積體電路製造之各種裝置相當的普及，各界也積極致力於高積集化與高密度化的開發。其中界者正嘗試發展三度空間的積集化技術。

然而，任何裝置均以硬式基板作為基材。既然以硬式基板作為基材，其製造方法勢必會受到一定的限制，積集度也會有限度。而且，裝置亦會受限於某些特定之形狀。

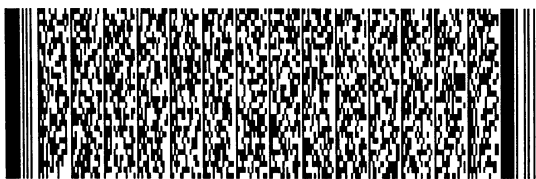
此外，於棉或絹的表面電鍍或包覆上金或銀等導電材料之導電性纖維，亦為眾所熟知之技術。

然而，習知尚未揭露於一條線之內部形成電路元件的技術。而且，導電性纖維也以棉線或絹線作為基材，線則配置於中心。

因此，本發明之目的係提供一種堆疊裝置，形狀不受限制，具有柔軟性與可撓性，並可製造具任意形狀之各種裝置。

發明內容：

本發明提供一種堆疊裝置，其特徵在於：由複數於長方向上連續或間隔性地形成有電路元件之線狀元件，進行綑綁、加撚、交織或編織、接合、組合並加工成形、或者



五、發明說明 (2)

形成不織布狀等所製造而成。

再者，本發明提供一種堆疊裝置，其特徵在於：由複數於長方向上連續或間隔性地形成有具有電路之複數區域之剖面的線狀元件，進行綑綁、加撚、交織或編織、接合、組合並加工成形、或者形成不織布狀等所製造而成。

本發明又提供一種布料狀物，其特徵在於：由交織或編織複數線狀元件而形成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

此外，本發明提供一種布料狀物，其特徵在於：由交織或編織複數線狀元件而形成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

再者，本發明提供一種衣服，其特徵在於：由複數線狀元件交織或編織而形成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

本發明也提供一種衣服，其特徵在於：由複數線狀元件交織或編織而形成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

在此，線狀元件較佳為下列之物體。

上述元件為能量轉換元件。

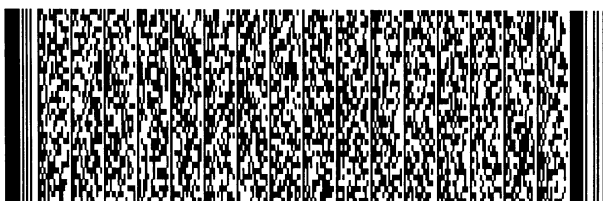
上述元件為電子電路元件或光電路元件。

上述元件為半導體元件。

上述元件為二極體、電晶體或矽控整流器。

上述元件為發光二極體、半導體雷射或受光裝置。

上述元件為DRAM、SRAM、快閃記憶體之記憶體。



五、發明說明 (3)

上述元件為太陽能發電元件。

上述元件為影像感測器元件或二次電池元件。

縱向剖面形狀為圓形、多邊形、星形、新月形、花瓣狀、文字形狀中之任意形狀於線側面上具有複數暴露區。

上述線狀元件之全部或一部分係以壓出加工所形成。

上述線狀元件係由在以壓出加工一部分或全部之後，進行延伸加工所形成。

上述線狀元件係由在壓出加工後，進行拉伸加工所形成。

於上述拉伸加工後，形成環狀或螺旋狀。

上述環狀為多重環。

上述多重環係由不同材料形成。

環或螺旋之一部分為暴露區。

對一部分或全部之上述環或螺旋之空隙區填入其他材料。

外徑為10mm以下。

外徑為1mm以下。

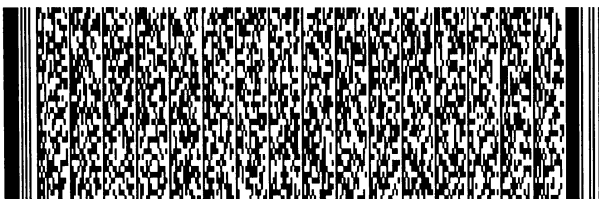
外徑為1 μ m以下。

高寬比為10以上。

高寬比為100以上。線狀之高寬比較佳為1000以上。

於剖面中形成有閘極電極區、絕緣區、源極與汲極區、半導體區。

於中心具有閘極電極區，於其外側依序形成有絕緣區、源極與汲極區、半導體區。



五、發明說明 (4)

於中心具有中空區域或絕緣區，於其外側形成有半導體區，於上述半導體區中形成有部份暴露於外的源極與汲極區，於其外側形成有絕緣區與閘極電極區。

於剖面中形成至少具有pn接合或pin接合之區域。

形成上述電路之半導體區係由有機半導體材料所形成。

上述有機半導體層材料為多噻吩、聚伸苯。

形成上述電路之導電性區域係由導電性高分子所形成。

上述導電性高分子為聚乙炔、聚苯基乙烯、聚吡咯。

於長方向上之任意位置形成不同之電路元件。

於長方向上之任意位置具有電路元件分隔區。

於長方向上之任意位置具有剖面之外徑形狀不同的部分。

以導電性高分子形成部分之區域，且分子鏈之長方向的配位率為50%以上。

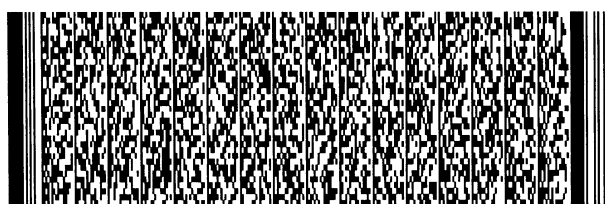
以導電性高分子形成部分之區域，且分子鏈之長方向的配位率為70%以上。

以導電性高分子形成部分之區域，且分子鏈之圓周方向的配位率為50%以上。

以導電性高分子形成部分之區域，且分子鏈之圓周方向的配位率為70%以上。

再者，線狀元件較佳以下列方法來製造。

將形成電路元件之區域之材料形成溶解、熔融或膠質



五、發明說明 (5)

狀態，壓出上述材料成線狀，並形成所需之形狀。

上述區域之一部分係以導電性高分子所形成於上述壓出後，進行延伸加工。

於上述壓出加工後，進行拉伸加工。

於上述延伸加工後，進行拉伸加工。

於上述拉伸加工後，形成環狀。

即為由中心往外側具有多層層積之線狀元件之製造方法，以壓出中心層形成線狀，作為一次線狀體，接著使上述一次線狀體進行運動，並對表面射出外層之原料，而依序形成各外層。

當導電性高分子壓出時，運動速度與射出速度的差值設定為20m/sec以上。

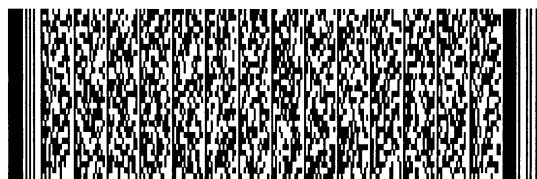
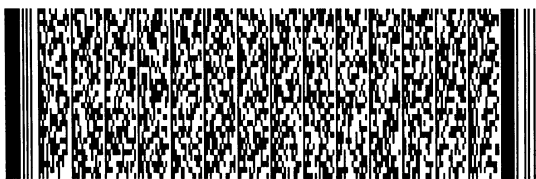
(電路元件)

在此，電路元件例如為能量轉換元件。能量轉換元件為一種能將光能轉換成電能、將電能轉換成光能之元件。例如電子電路、磁性電路或光電路元件。電路元件為可進行能量轉換之元件，與只傳送信號的光纖不同。

電路元件例如為電子電路元件或光電路元件。更具體地說，例如為半導體元件。

以習知之製程技術的差異來分類，電路元件例如為分離式半導體、光電元件、記憶體等。

具體地說，分離式半導體例如為二極體、電晶體(雙載子電晶體、FET、絕緣閘電晶體)、矽控整流器等。光電元件例如為發光二極體、半導體雷射、發光裝置(光電二



五、發明說明 (6)

極體、光電晶體、影像感測器)等。記憶體例如為DRAM、快閃記憶體、SRAM等。

(電路元件之形成)

於本發明中，電路元件係以長的方向連續或間隔性地形成。

亦即，於長方向之垂直剖面中具有複數區域，上述複數區域中具有一個電路元件，上述剖面於長方向上連續或間隔性地形成線狀。

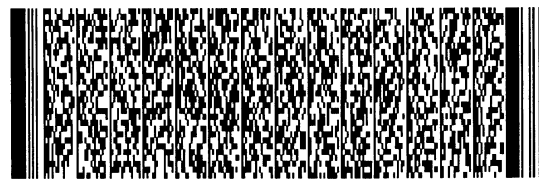
例如NPN雙載子電晶體，其係由射極N區、基極P區、集極P區三個區域所構成。因此，必須使此三個區域於剖面中可產生區域間之接合來進行配置。

其配置方法例如為從形成中心起以同心圓狀依序配置各區域的方法。亦即，最好由中心起依序形成射極區、基極區、集極區。當然也可考慮其他的配置，例如同一配置之拓樸的適當配置。

另外，連接於各區域之電極可從線狀元件之底面來連接各區域，亦可將其由前端起埋入各區域中。亦即，若以上述同心圓狀配置各半導體區時，較佳與各半導體區相同，於長的方向上連續地於射極區之中心形成射極、於基極區形成基極、於集極區之外圍形成集極。而且，基極最好進行分割後來配置。

上述之NPN雙載子電晶體亦可利用壓出形成法一體形成。

以上雖以NPN雙載子電晶體為例，但同樣地，其他電



五、發明說明 (7)

路元件也可於剖面內產生與複數區域間必要之接合來進行配置，並於長方向上例如以壓出法連續形成該剖面。

(連續形成、間隔性形成)

當連續形成電路元件時，不管從哪一剖面來看均為同一形狀。即俗稱的金太郎糖果狀態。

上述電路元件可於線狀之長方向上連續形成同一元件，亦可間隔性地形成。

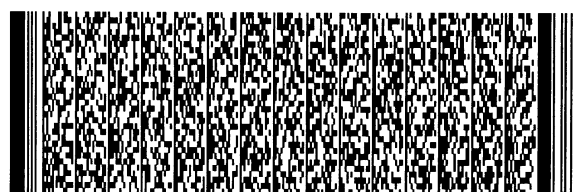
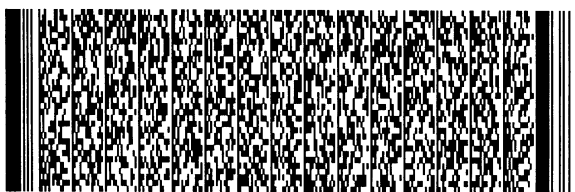
(線狀)

本發明之線狀元件之外徑較佳為10mm以下，更佳為5mm以下，又更佳為1mm以下，最佳為10 μm 以下。經由延伸加工後，可形成至1 μm 以下，亦可至0.1 μm 以下。而為了編織線狀元件成布料，外徑則愈小愈好。

當由模具的孔洞中射出形成具有1 μm 以下之外徑的極細線狀體時，有時會產生孔洞的堵塞、與線狀體的斷裂等問題。於上述情形時，首先形成各區域之線狀體。接著，以此線狀體作為島而製造很多個島，並以可溶性物質包覆其周圍(海)，然後將其以喇叭狀的金屬環綑綁，由小孔洞射出一根線狀體。當島的成分增加，海的成分減少時，可製造出極細的線狀體元件。

另一方法中亦可先形成較厚的線狀體元件，之後再於長的方向上進行延伸。此外，也可藉由噴射氣流，將熔融狀態之原料形成熔體流動，而形成極細的線狀體。

再者，高寬比可設定為壓出形成之任意值。利用抽絲技術時，線狀之高寬比較佳為1000以上。例如可為100000



五、發明說明 (8)

或100000以上。於切斷後使用時，小單位線狀體之高寬比可為10~10000、10以下、1以下、或0.1以下。

(間隔性形成)

當間隔性地形成同一元件時，可形成於長方向上與相鄰接的元件不同之元件。例如，於長方向上依序形成MOSFET(1)、元件分隔層(1)、MOSFET(2)、元件分隔層(2)……MOSFET(n)、元件分隔層(n)。

此時，MOSFET(k)($k=1-n$)與其他MOSFET之長度可為相同，亦可為不同。並可對應所欲形成之電路元件來作適當的選擇。另外，元件分隔層之長度也是同樣的。

當然MOSFET與元件分隔層之間亦可間隔其他層。

以上雖以MOSFET為例作說明，但當形成另一元件時，也可間隔性地插入對該另一元件之用途上必需的層。

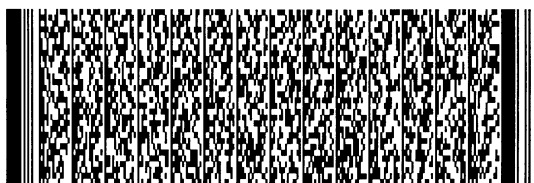
(剖面形狀)

線狀元件之剖面形狀並不限定於某特定形狀。例如為圓形、多邊形、星形等形狀。另外，也可為複數頂角為銳角之多邊形。

而且，亦可形成任意的各區域剖面。亦即，例如如第1圖所示之結構時，亦可將閘極電極形成星形、或將線狀元件之外側形狀形成為圓形。

若欲增大與鄰接層的接觸面時，元件較佳為頂角為銳角之多邊形。

此外，於將剖面形狀形成為所需之形狀時，可將所需形狀設定為壓出模頭之形狀，如此較容易形成。



五、發明說明 (9)

當最外層之剖面為星形或頂角為銳角的形狀時，於壓出成形後，可例如以浸泡法，於頂角間的空隙中填入其他之任意材料，並可依據元件之用途來改變元件之特性。

此外，將剖面形狀為凹狀之線狀元件與剖面形狀為凸狀之線狀元件互相嵌合，可有效取得線狀元件間的接觸。

又當對半導體層進行摻雜時，可於熔融原料中加入不純物；亦可於壓出形成後，維持線狀通過真空室，而於真空室中例如以離子植入法等進行不純物的摻雜。此外，當半導體層並非形成於最外層，而是形成時內部時，可藉由控制離子照射能量，而僅對內部之半導體層進行離子植入。

(製造方法 後加工形成)

上述製造方法雖以利用壓出一體形成具有複數層之元件為例，但亦可採用壓出形成元件基本區域以形成線狀，之後利用適當方法對該基本區域進行覆蓋的方法。

(原料)

電極、半導體層之材料較佳利用導電性高分子。例如聚乙炔、聚萘(寡萘)(polyacene(oligoacene))、聚噻唑、多噻吩、聚(3-甲基噻吩)、寡噻吩

(oligothiophene)、聚吡咯、聚苯胺、聚伸苯等。電極、半導體層之材料最好從這些材料中考慮導電率等條件來作選擇。

半導體材料例如使用聚對位伸苯、多噻吩、聚(3-甲基噻吩)等。



五、發明說明 (10)

再者，源極・汲極材料最好使用於上述半導體材料中加入摻雜的材料。若欲形成n型，則例如可加入鹼金屬(Na、K、Ca)等的摻雜。此外也可使用 $\text{AsF}_5/\text{AsF}_3$ 或 ClO_4^- 作為摻雜。

絕緣性材料可使用一般的樹脂材料。亦可使用 SiO_2 等的無機材料。

此外，若為中心具有半導體區或導電性區結構的線狀元件時，中心的區域較佳以非晶質材料(鋁、銅等之金屬材料，矽等之半導體材料)形成。其形成較佳使線狀之非晶質材料通過模具的中心，使非晶質材料進行運動，並對其外圍進行射出，覆蓋其他所需的區域。

實施方式：

(實施例1)

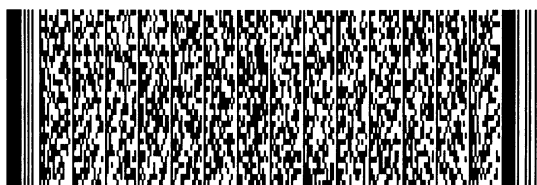
第1圖繪示用於形成本發明實施例之堆疊裝置的線狀元件。

標號6表示線狀元件，此實施例係以MOSFET為例。

此元件剖面的中心為閘極電極區1，其外側依序形成有絕緣區2、源極區4、汲極區3與半導體區5。

第2圖則繪示一般形成上述線狀元件用之壓出機構造圖。

壓出機20具有將構成複數區域用之原料保持於熔融狀態、或溶解狀態或膠質狀態之原料容器21、22、23。第2圖中雖繪示3個原料容器，但本發明亦可依據所製造之線



五、發明說明 (11)

狀元件的結構作適當的改變。

原料容器23中之原料被運送至模具24。模具24中具有對應所欲製作之線狀元件剖面之射出孔。由射出孔射出的線狀體可利用滾輪25捲起、或因應需要維持線狀，運送至下一步驟。

第3圖繪示製造如第1圖所示之線狀元件結構的裝置構造圖。

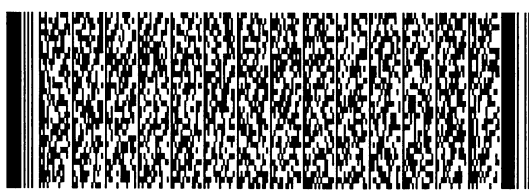
各個原料容器中分別裝有閘極材料30、絕緣性材料31、源極·汲極材料32與半導體材料34，於容器中均維持於熔融或溶解狀態、膠質狀態。此外，模具24上形成有孔洞，連接各個原料容器。

具體地說，首先，於中心形成射出閘極材料30用的複數孔洞30a。於其外圍形成射出絕緣性材料31用的複數孔洞31a。接著，再於其外圍形成複數孔洞，這些複數孔洞中，僅有一部份的孔洞32a、33a連接源極·汲極材料容器32。其他的孔洞則連接半導體材料容器34。

將各個原料容器中於熔融、溶解狀態或膠質狀態之原料從模具24進行射出時，原料會由各孔洞射出，並固化。藉由抽取另一端，使線狀連續而形成線狀元件。

線狀之線狀元件可利用滾輪25捲起。或因應需要維持線狀，運送至下一步驟。

閘極電極材料較佳是利用導電性高分子，例如聚乙炔、聚苯基乙烯、聚吡咯等。尤其是利用聚乙炔時，因可形成外徑小的線狀元件，故以聚乙炔為佳。



五、發明說明 (12)

半導體材料較佳是利用聚對位伸苯、多噻吩、聚(3-甲基噻吩)等。

再者，源極・汲極材料最好使用於上述半導體材料中加入摻雜的材料。若欲形成n型，則例如可加入鹼金屬(Na、K、Ca)等的摻雜。此外也可使用 $\text{AsF}_5/\text{AsF}_3$ 或 ClO_4^- 作為摻雜。

絕緣性材料可使用一般的樹脂材料。亦可使用 SiO_2 等其他的無機材料。

以上所述之材料同樣亦可用於下列實施例中所揭露之線狀元件的製造。

又本實施例中，輸出電極連接線狀元件之底面。當然最好是於長的方向上適當位置的側面設置輸出口。

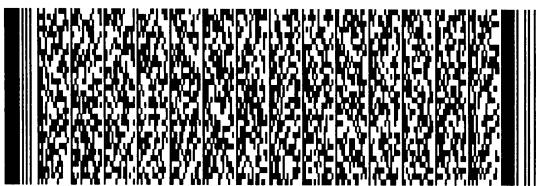
(實施例2)

第4圖繪示用於實施例2之堆疊裝置的線狀元件。

於本實施例中，於線狀元件之側面設置實施例1中所述之輸出電極。第4(b)圖中所示之輸出區41a、41b可設置於長方向上之所需的位置。輸出區41a與輸出區41b間之距離也同樣可設定為所需的值。

第4(a)圖繪示截取輸出區41之A-A的剖面圖。第4(b)圖之B-B剖面即為第1圖中所示之底面的構造。

於本實施例中，於源極4、汲極3之側面上作為輸出電極用之源極電極45、汲極電極46分別連接源極4、汲極3。另外，半導體層5與源極電極45、汲極電極46間分別以絕緣層47隔絕。



五、發明說明 (13)

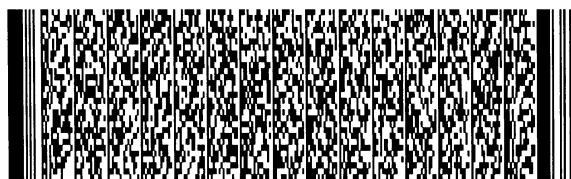
在此為了形成上述結構，利用第5圖所示之模具。亦即，於源極・汲極材料射出口33a、34a之側面設置絕緣層用之孔洞40a與輸出電極用之孔洞41a。絕緣層用之孔洞40a連接絕緣層材料容器(未繪示)，輸出電極用之孔洞41a則連接輸出電極材料容器(未繪示)。

首先，僅從30a、31a、32a、33a、34a射出原料材料。亦即，先關閉40a、41a之射出。此時，半導體層原料會覆蓋對應40a、41a之部分，壓出如實施例1所示之剖面。在此，將絕緣層47、汲極電極46、源極電極45的寬度設小，於是當關閉40a、41a之射出時，形成半導體層之材料便會覆蓋該部份。

接著，開啟40a、41a之射出。隨著此步驟，剖面形狀產生變化，壓出如第5圖所設定之剖面。藉由適當地改變關閉40a、41a之時間與開啟40a、41a之時間，可將A-A剖面之長度與B-B剖面之長度調整為任意長度。

此外，本實施例亦可間隔性地形成剖面形狀，亦可利用其他的材料或形成其他的剖面形狀，來形成A-A。例如，可以絕緣層形成整個A-A部分。當形成其他的底面形狀時，也可以利用同樣的方法。

另外，若將汲極電極46、源極電極45的面積設大，且關閉輸出電極用之孔洞41a的射出時，則半導體層之原料或絕緣層之原料不會完全覆蓋，而會於對應源極電極・汲極電極之部分產生空隙。故於壓出後，最好填入電極材料於此空隙中。



五、發明說明 (14)

(實施例3)

第6圖繪示另一實施例。

實施例1、2中揭露以壓出法一體形成線狀元件的例子；而本實施例中則揭露以壓出法形成一部份之線狀元件，再以外部加工形成其他部分之實施例。

在此以實施例2所示之線狀元件為例來作說明。

首先，壓出閘極電極1與絕緣層2，形成線狀之中間體(第6(a)圖)。

接著，於絕緣層2之外側塗佈熔融或溶解狀態、膠質狀態之半導體材料，形成半導體層61，以作為二次中間體(第6(b)圖)。上述塗佈最好讓線狀之中間體通過置有熔融或溶解狀態、膠質狀態之半導體材料的槽中，或者採用蒸鍍等的方法來進行。

之後，於半導體層61之外側塗佈罩幕材料62。罩幕材料62的塗佈最好讓二次中間體通過置有熔融或溶解狀態、膠質狀態之罩幕材料的槽中來進行。

然後，以蝕刻等方法去除特定位置(汲極、源極所對應之位置)的罩幕材料，而形成開口63(第6(c)圖)。

接著，使線狀之二次中間體通過減壓室，並控制射程距離，進行離子植入(第6(d)圖)。

之後，通過熱處理室進行回火，以形成源極區、汲極區。

如此，便可對應所形成之區域的配置與材料，適當地結合壓出製程與外部加工製程。



五、發明說明 (15)

(實施例4)

本實施例將說明依序形成如第1圖所示之線狀元件中之各區域的方法。

此流程繪示於第7圖中。

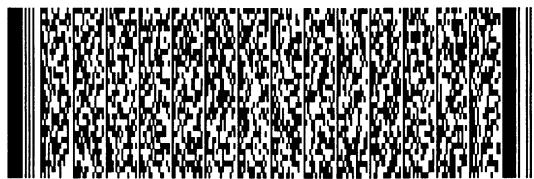
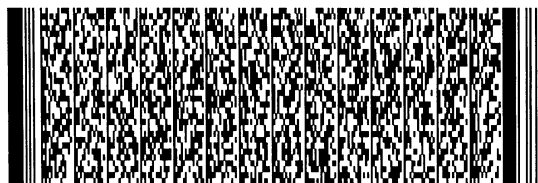
首先，以紡絲技術，由模具a的孔洞射出閘極電極原料，以形成閘極電極1(第7(b)圖)。在此，將閘極電極1簡稱為中間線狀體。

接著，如第7(a)圖所示，一方面使中間線狀體通過模具b的中心，使中間線狀體進行運動，另一方面從模具b上所形成的孔洞射出絕緣層材料，而形成絕緣層2(第7(c)圖)。另外，於模具b之下游側設置一加熱器。必要時可利用此加熱器進行線狀體之加熱。藉由此加熱步驟，可由絕緣層中去除絕緣層中之溶劑成分。以下之源極、汲極層、半導體層之形成也是利用相同的方法。

之後，使中間線狀體進行運動，形成源極、汲極層4、3(第7(c)、(d)圖)。此外，絕緣層2上之源極區4與汲極區3相互分離。這可利用僅於模具c的一部分上設置孔洞來達成。

然後，同樣地使中間線狀體通過模具的中心進行運動，而形成半導體層5。

如第7(f)圖所示，若欲於部分之長方向上設置源極、汲極用之輸出電極時，可關閉模具d上所設置之複數孔洞中之部分孔洞(對應源極、汲極電極之部分孔洞)的原料供給。此外，若欲於整個長方向上設置輸出用之孔洞時，可



五、發明說明 (16)

利用如第7(g)圖所示之模具d2來形成半導體層。

(實施例5)

第8圖繪示實施例5。

本實施例揭露利用導電性高分子作為半導體元件之形成材料，射出導電性高分子。

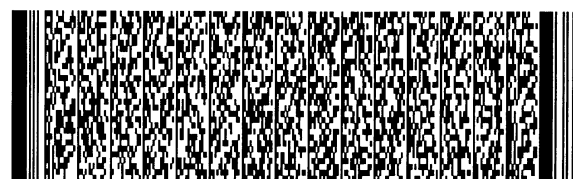
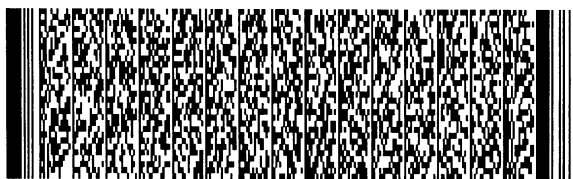
實施例4中係揭露使中間線狀體通過模具中，而於中間線狀體之表面上形成外層。而本實施例則以此外層為導電性高分子之情況為例。

將原料82的($V_1 - V_0$)設定為20m/sec以上，較佳為50m/sec，最佳為100m/sec以上。此上限為中間線狀體不會產生斷裂之速度。產生斷裂之速度會隨材料之射出量、材料之黏度、射出溫度等條件而改變，具體地說，最好根據所使用的材料等設定條件，並預先以實驗求出該速度。

將射出速度 V_0 與運動速度 V_1 的差值設定為20m/sec以上，如此被射出之材料因加速度產生外力而進行運動。外力的方向即為運動方向。導電性高分子中之分子鏈一般呈第8(c)圖所示之緊結狀態，其長的方向係朝任意方向。然而，隨著射出，外力施於運動方向時，分子鏈會如第8(b)圖所示，緊結狀態被拉直，並在長的方向上呈水平排列。

在此，如第8(b)圖所示，電子(或電洞)會藉由跳過能階最近的分子鏈而產生移動。因此，分子鏈如第8(b)圖所示呈水平方向配位時，會遠比如第8(c)圖所示呈任意方向的情況容易產生電子的跳躍。

隨著射出，外力施於運動方向時，可使分子鏈呈第



五、發明說明 (17)

8(b)圖所示之方向。而且，亦可縮短分子鏈與分子鏈間之距離。

除此之外，本實施例亦可適用於以導電性高分子形成特定區域之其他實施例中。

將分子鏈之長方向的配位率設定為50%以上的話，可提高電子之移動率，形成更良好特性之線狀元件。高的配位率可藉由控制射出速度與運動方向速度的差來加以控制。

在此，所謂的配位率即為，相對於長方向上具有 $0 \sim \pm 5^\circ$ 之傾斜角的分子數佔全部分子數的百分比。

當此百分比為70%以上時，可獲得具有非常良好特性的線狀元件。

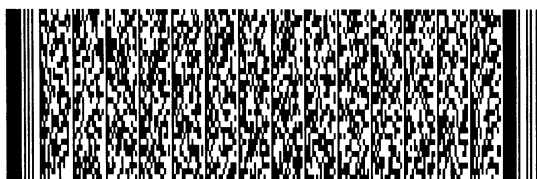
(實施例6)

第9圖繪示用於實施例6之堆疊裝置的線狀元件。

本實施例之線狀元件的中心為中空區域、或絕緣區70，其外側形成有半導體區5，其中具有源極區4與汲極區3，暴露出部分的半導體區5，又其外側形成有閘極絕緣層區2與閘極電極區1。

另外，可於閘極電極區1之外側設置由絕緣性樹脂等所形成之保護層。亦可於保護層之適當位置形成開口，作為閘極電極的輸出區。

此外，本實施例亦可於長方向上之任意位置、或與實施例2相同，於第7圖所示之剖面間插入具有其他形狀的剖面。



五、發明說明 (18)

本實施例之線狀元件中，以壓出形成中空區域70與半導體區5後，對源極區4、汲極區3進行摻雜，之後，最好利用塗佈法分別形成絕緣層區、閘極電極區1。絕緣層2之材料較佳為 SiO_2 等無機材料。

(實施例7)

第10(a)圖繪示用於實施例7之堆疊裝置的線狀元件。

本實施例為具有pin結構之線狀元件。

亦即，於中心具有電極區102，其外側形成有n層區101、i層區100、p層區103、電極區104。此外，於本實施例中還於p層區103之外側形成由透明樹脂等所形成之保護層區105。

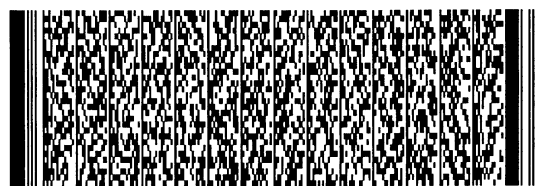
此線狀元件係以壓出一體形成電極區102、n層區101、i層區100。

p層區103、電極區104是利用後續加工來形成，例如利用塗佈等方法形成。由於P層區103係以後續加工形成，故可形成厚度較小的P層區103。因此，當作為太陽能發電元件時，則可有效使由P層區103之入射光射進空乏層。

當然在此亦可以壓出一體形成電極區102、n層區101、i層區100、p層區103、電極區104。

再者，於第10(a)圖中，i層之圓周形狀雖為圓形，但最好形成星形的形狀。如此，可增大p層103與i層100間的接觸面積，提高轉換率。

第10(a)圖所示之實施例中雖然以電極104形成於部分之p層103中的情況為例，但亦可覆蓋整個圓周而形成。



五、發明說明 (19)

此外，亦可於p層103與電極104間設置 p^+ 層。設置 p^+ 層可使p層103與電極104間更容易產生歐姆接觸。而且，電子也更容易流向i層側。

形成p層、n層、i層用之半導體材料較佳為有機半導體材料，例如多噻吩、聚吡咯等。為了形成p型、n型，較佳進行適當的摻雜。亦可採用p型聚吡咯/n型聚吡咯的組合。

另外，電極材料較佳為導電性高分子。

(實施例8)

第10(b)圖繪示用於實施例8之堆疊裝置的線狀元件。

實施例7中之pin結構係形成同心圓的形狀，而本實施例則形成四邊形之剖面。將p層區103、i層區100、n層區101作橫向排列。並於兩側面上分別形成電極102、104。

本實施例中，第10(b)圖中所示之剖面於長的方向上是連續形成的。

此結構之線狀元件較佳以壓出加工一體形成。

(實施例9)

本實施例中，於中心具有電極區，其外圍處以p型材料與n型材料之混合材料形成一個區域。接著，再於其外圍形成電極區。

亦即，上述實施例中係揭露p層與n層結合之雙層結構（或中間插入i層之3層結構）的二極體元件，但本實施例是以由p型材料與n型材料之混合材料所形成之單層結構的二極體元件為例。



五、發明說明 (20)

p 型/n 型混合材料是藉由混合電子施體之導電性高分子與電子受體之導電性高分子所形成。

在此以利用 p 型/n 型混合材料形成元件區之單純結構為佳。

(實施例10)

本實施例係揭露對上述實施例中所述之線狀元件，於長的方向進行延伸。其延伸方法例如為延伸銅線或銅管的技術。

藉由延伸可使直徑變細。尤其是當利用導電性高分子時，如上所述，可使分子鏈於長方向上呈水平狀態。而且，可使平行之分子鏈間之間隔變小。如此，電子的跳躍可更有效率地進行，因而獲得具有更良好特性的線狀元件。

延伸所造成之縮減率較佳為10%以上，最好於10~99%之範圍。縮減率為 $100 \times (\text{延伸前之面積} - \text{延伸後之面積}) / (\text{延伸前之面積})$ 的比值。

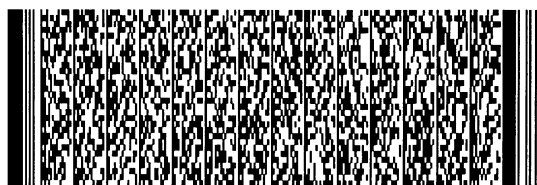
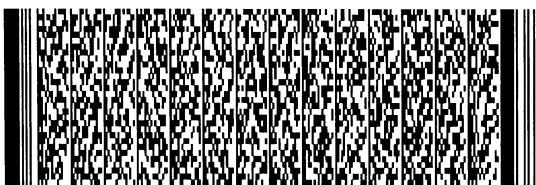
延伸步驟亦可反復進行數次。若使用彈性模數不大的材料時，可反覆進行延伸步驟。

延伸後的線狀元件之外徑較佳為1mm以下，更佳為10 μm 以下，更好為1 μm 以下，最好為0.1 μm 以下。

(實施例11)

第11圖繪示實施例11之圖式。

本實施例中，先以壓出原料材料形成具四邊形剖面的線狀，以製造出中間線狀壓出體111(第11(a)圖)。當然亦



五、發明說明 (21)

可壓出其他的剖面形狀。

接著，將中間線狀壓出體111以剖面之橫向、或剖面之縱向進行拉伸，以形成拉伸體112(第11(b)圖)。圖中所繪示的係以圖式之橫向進行拉伸的例子。

然後，將長方向上之拉伸體112切成平行的適當段數，以形成複數之單位拉伸體113a、113b、113c、113d。另外，亦可不進行此切斷步驟，而直接進行下一步驟。

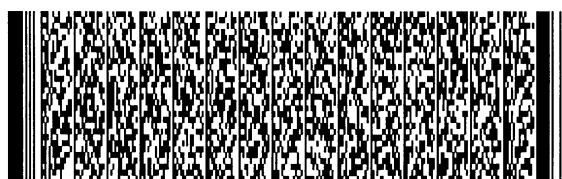
接著，對單位拉伸體進行加工形成適當的形狀。圖中所示之例子係加工成環狀(第11(d)圖)、螺旋狀(第11(e)圖)、雙環狀(第11(f)圖)。

之後，以適當材料填入中空區域114a、114b、114c、114d中。例如當單位拉伸體為半導體材料時，則填入電極材料。當然亦可不於環狀等加工步驟之後，而是於進行環狀加工的同時，進行填入之步驟。

此外，當形成如第11(f)圖所示之雙環結構時，單位拉伸體114c之材料亦可使用與單位拉伸體114d不同之材料。

另外，亦可於壓出後(第11(a)圖)、拉伸後(第11(b)圖、切斷後(第11(d)圖))，於其表面上塗佈其他的材料。例如可利用浸泡、蒸鍍、電鍍等其他方法進行塗佈。塗佈之材料可依照製造之元件機能作適當的選擇。例如半導體材料、磁性材料、導電性材料、絕緣性材料中之任意材料均可。此外，亦可使用無機材料或有機材料。

於本實施例中，當利用導電性高分子作為拉伸體材料



五、發明說明 (22)

時，分子鏈之長方向會以圖式中拉伸方向的左右邊來配向。因此，加工成環狀之後，分子鏈之長方向會以如第11(g)圖所示之圓周方向來配向。如此，電子便更容易進行半徑方向上的跳躍。

再者，加工成環狀時，可設置開口115，此開口例如作為電極等的輸出。若欲編織線狀元件成堆疊裝置時，其亦可作為線狀元件間之連接部分。另外，亦可作為與其他區域的接合部分。

此外，於加工形成環狀之後，亦可利用具有此環狀等之線狀體作為中間體，以形成具有所需之剖面區域的線狀元件。

另外，如第11(h)圖所示，亦可於線狀元件之長方向上的適當位置，週期性地或非週期性地設置沙漏狀區域117(剖面之外徑形狀與其他不相同的部分)。當在長方向上與其他線狀元件垂直進行加撚時，此沙漏狀區域可作為定位之記號。此沙漏狀區域的形成並不僅限於本實施例，亦可適用於其他的線狀元件。

又圓周方向之分子鏈的配向率較佳設定為50%以上，最好設定為70%以上。如此，可得到特性佳的線狀元件。
(實施例12)

上述實施例中曾揭露間隔性地形成剖面形狀的元件製造方法，本實施例則揭露其他以壓出形成之實施例的製造方法，如第12圖所示。

第12圖僅繪示出部分的電路元件形成區域。



五、發明說明 (23)

第12(a)圖繪示當半導體材料射出時，僅於a所示之時間點射出半導體材料。在此，可連續射出導線材料，並間隔性地射出半導體材料，而同時形成導線與半導體。此外，亦可先形成導線部分，之後使導線產生運動，而對導線周圍間隔性地射出半導體材料。

第12(b)圖所示之實施例係先形成線狀之半導體或絕緣體，其後利用蒸鍍等方法，於長方向上間隔性地塗佈導體，以形成於長方向上不同之剖面區域。

第12(c)圖所示之實施例中係先形成線狀的有機材料，接著，於長方向上間隔性地進行光的照射，使照射的部分產生光聚合反應。

如此，便可於長方向上形成不同之剖面區域。

第12(d)圖中係繪示壓出透光性導電高分子 α 、與光硬化性導電高分子 β 所一體形成之雙層中間線狀體。使此中間線狀體進行運動，並對其進行間隔性的光照射時，可使a部分產生光硬化。藉此可於長方向上形成不同之剖面區域。

第12(e)圖繪示利用離子照射之實施例。使線狀體進行運動，並以運動途徑的途中所預先設置之照射裝置，進行間隔性的離子照射。離子的照射可由全方向進行，也可僅由某特定方向進行。再者，也可根據所欲形成之剖面區域來決定適當的照射方向。此外，離子的射程距離也可設定為適當的任意距離。

於離子照射裝置的下游處設置加熱裝置，以對離子照



五、發明說明 (24)

射過後的線狀體進行加熱。加熱經離子照射過的部分會轉變成別的組成。

而若由全方向進行照射時，則整個表面會轉變成別的組成。若僅由某特定方向照射離子時，則只有此部份轉變成別的組成。

雖然第12(e)圖以作為離子照射對象之中間線狀體為單層結構為例，但即使是雙層結構，也可藉由控制離子照射之射程距離，只對內部進行離子植入。經由熱處理，離子所照射過之內部會轉變成別的組成。

中間線狀體可利用矽線狀體，並植入O離子以形成SiO₂區域。控制射程距離，便可形成所謂的BOX(嵌入氧化層)。另外，在此雖揭露間隔性地形成其他剖面區域的BOX，但BOX亦可連續形成於整個長的方向上。

(實施例13)

本實施例係以編織複數線狀元件所形成之積體電路為例。

第13圖係繪示積體電路圖。

第13圖所繪示之積體電路為DRAM之半導體記憶體。DRAM記憶體由縱橫向排列之記憶胞所組成，電路如第13(a)圖所示。

其中之一個記憶胞中具有MOSFET 209a1與電容器207。每個記憶胞間位元線S1、S2……與字元線G1、G2……是相接的。

如第13(b)圖所示，此記憶胞由MOSFET線狀元件209a1



五、發明說明 (25)

與電容器207構成。在此，MOSFET線狀元件僅簡單以列的數字來標示。

MOSFET 209a1係由中心朝外圍方向，依序形成閘極電極201、絕緣層202、源極、汲極204、205與半導體層203來形成。

再者，於長方向上形成有元件分離區210。閘極電極201僅貫穿一個線狀體。亦即，將一個閘極電極作為共通的字元線，在長方向上一個線狀體中形成有複數個MOSFET 209a1、209b1……。

此外，第13(a)圖之MOSFET 209a2、a3……也同樣以線狀元件構成。

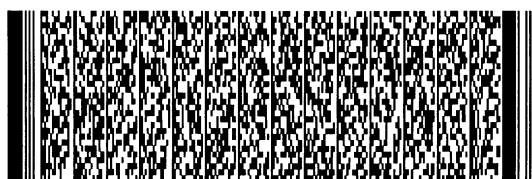
此MOSFET線狀元件較佳以高分子材料形成。

另外，源極區204之輸出區如第13(c)圖所示，朝直徑方向突出。這是為了能夠更容易取得與位元線S1間之接觸的緣故。此外，汲極區亦朝直徑方向突出，如第13(d)圖所示。於長方向上源極區與汲極區之突出位置是互相避開的。

另一方面，電容器207係由中心朝外側依序形成電極、絕緣層與電極所形成。

S1為位元線，且為線狀。其材料較佳為導電性高分子。以此位元線S1 206纏繞源極區204，使其與源極204接觸。此位元線S1纏繞由MOSFET 209a2、a3……分別構成的MOSFET元件之源極區。

此外，汲極區205與電容器207藉由線狀之導電性高分



五、發明說明 (26)

子210來連接。

第13圖之實施例中，電容器為另一線狀元件，其可設置於MOSFET所形成之線狀體的適當位置。如此，可減少所使用之線狀元件的個數，提高積集度。而且，也可不使用導電性高分子210來連接電容器，而改利用導電性接著劑等直接與MOSFET作接合。

如上所述將線狀元件作縱橫地編織之後，最好以絕緣性材料包覆住整體，以防止導電區發生漏電問題。

此外，亦可不使用電容器而改採用二極體。

(實施例14)

本實施例係以綑綁複數線狀元件所形成之積體電路為例。

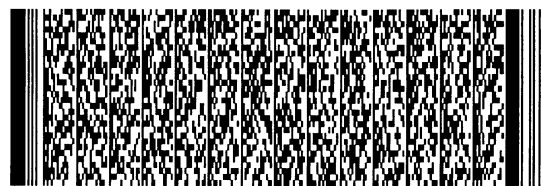
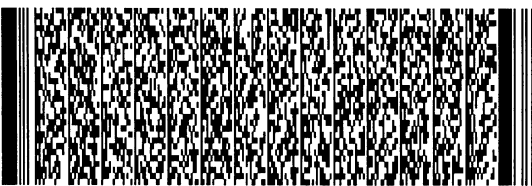
本實施例係以MOSFET線狀元件為例。當然亦可使用其他之線狀元件。

首先，先準備複數個MOSFET線狀元件。

於各線狀元件之底面上形成信號輸入元件，如此在綑綁時，便可偵測出各種訊號。例如設置光感測器、離子感測器、壓力感測器等，便可偵測出對應人類五感之訊號。

例如，若欲於習知之基板型半導體積體電路上形成對應100種信號之感測器的話，則必須反覆進行100次的黃光製程才能形成。然而，若使用線狀元件之底面的話，則不需反覆進行黃光製程，僅簡單地形成對應100種信號之感測器即可。而且，也可獲得高密度的感測效果。

(實施例15)



五、發明說明 (27)

例如如以下所述，本發明亦可作為太陽能發電堆疊裝置。

將具有pin結構的線狀元件進行綑綁、加撚或編織，即可作為太陽能發電裝置。pin層可以導電性高分子形成。另外，也可添加感光劑。

此外，亦可編織線狀元件成布料，並以此布料作衣服。此時，也可以整個線狀元件作為受光區，以接受來自360°角度的入射光。而且，也可三度空間受光，形成受光效率佳之太陽能發電元件。

此外，光的收集效率非常高。亦即，不需將其送入線狀元件，反射的光便會進入布料中，反覆進行反射即可輸入於其他線狀元件中。

上述線狀元件較佳以壓出加工來形成。

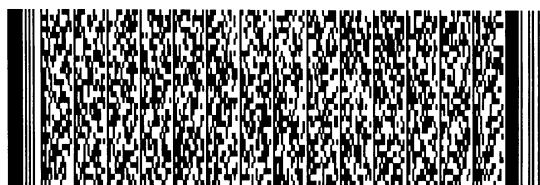
再者，最好將各元件之電極連接於集電極，並對此集電極設置連接端子。

而且，亦可於衣服的內面鍵入蓄電池，如此便可於暗處使用照明設備。

另外，也可於衣服內裝設發熱器，如此衣服便具有暖氣般的效果。

而且，更可利用絕緣體包覆線狀發熱器，與線狀太陽能發電元件一起織成布料，便可製作出具有暖氣般效果的衣服。

此外，也可將線狀元件植於具有所欲形狀之基材上，以作為太陽電池。亦即，將直立狀態或如刺蝟般的狀態之



五、發明說明 (28)

線狀元件進行植入，便可作為光的收集效率良好的太陽電池。

而且，若用於通訊衛星時可望減輕整體的重量。由於上述太陽電池重量非常輕，故可有效作為通訊衛星的發電裝置。

又因為具有可撓性，適於任意形狀，故可以接著劑將其貼附於整個通訊衛星的外表面。

因容易將線狀之太陽能發電元件植於於符合人類頭部形狀的基材之表面上，故可用來作為具有發電機能的人工假髮。

另外，利用極細之線狀元件時，具有類似麂皮效果，可作為皮革的表面。也可以上述線狀元件作成皮包。亦即，可作成具有發電機能的皮包。

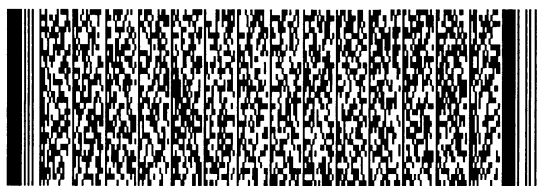
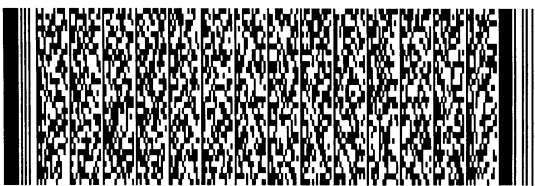
(實施例16)

第14圖繪示另一實施例。

於本實施例中，使線狀源極電極與汲極電極分別於以絕緣層包覆閘極電極之線狀體的適當位置進行接觸。對由源極電極之接觸部分至汲極電極之接觸部分的範圍，塗佈有機半導體材料。

此外，亦可如第15圖所示，分別將線狀之源極電極或汲極電極，一次或數次纏繞於以絕緣層包覆之閘極電極的線狀體上。藉由纏繞可充分取得接觸。而且，最好對線狀體設置沙漏狀區域，如此可於進行纏繞時作定位。

另外，如第16圖所示，也可使源極電極、汲極電極僅



五、發明說明 (29)

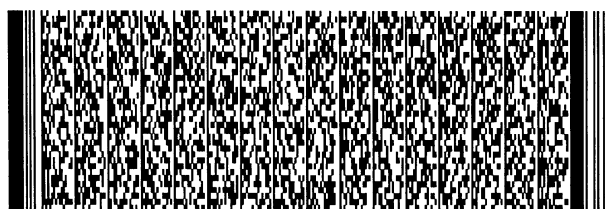
接觸適當的線狀體(A點)。亦可以其他的導線接觸源極・汲極電極之間(B點)。

第16圖中雖繪示列數為一系列的實施例，但本例亦可配置成複數列。此時，最好進行三度空間的接觸。由於線狀體、源極電極、汲極電極均具有可撓性，因此可於所需的位置處彎曲成所需的方向。

線狀體也可例如使用MOSFET線狀元件，於所欲的位置以三度空間相互連接，便可建立所需之邏輯電路。若以習知之半導體基板作為基材時，雖然電流路徑長，但藉由線狀元件可縮短電流路徑，建立快速的邏輯電路。

產業上可利性：

本發明提供一種堆疊裝置，形狀不受限制，具有柔軟性與可撓性，並可形成具任意形狀之各種裝置。



圖式簡單說明

第1圖係繪示用於實施例之堆疊裝置之線狀元件的立體圖。

第2圖係繪示線狀元件之製造裝置的正視圖。

第3圖係繪示用來製造線狀元件之壓出機的正視圖與平面圖。

第4(a)圖至第4(b)圖係繪示線狀元件之實施例。

第5圖係繪示用來製造線狀元件之模具的平面圖。

第6(a)圖至第6(d)圖係繪示線狀元件之製造流程剖面圖。

第7(a)圖至第7(h)圖係繪示線狀元件之製造流程圖。

第8(a)圖至第8(c)圖係繪示線狀元件之製造方法。

第9圖係繪示用於實施例之堆疊裝置之線狀元件的立體圖。

第10(a)圖至第10(b)圖係繪示用於實施例之堆疊裝置之線狀元件的剖面圖。

第11(a)圖至第11(h)圖係繪示線狀元件之製造流程圖。

第12(a)圖至第12(e)圖係繪示線狀元件之製造方法的立體圖。

第13(a)圖至第13(d)圖係繪示依據實施例之積體電路裝置圖。

第14圖係繪示依據實施例之積體電路裝置圖。

第15圖係繪示依據實施例之積體電路裝置圖。

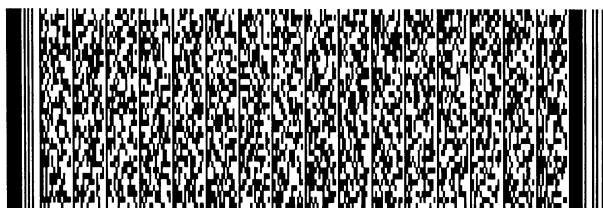
第16圖係繪示依據實施例之積體電路裝置圖。



圖式簡單說明

符號說明：

- | | |
|----------------------------------|------------------|
| 1~ 閘極電極區； | 2~ 絕緣區； |
| 3~ 汲極區； | 4~ 源極區； |
| 5~ 半導體區； | 6、81~ 線狀元件； |
| 20~ 壓出機； | 21、22、23~ 原料容器； |
| 24~ 模具； | 25~ 滾輪； |
| 30~ 閘極材料； | 31~ 絕緣性材料； |
| 32~ 源極汲極材料； | 34、61~ 半導體材料； |
| 41、41a、41b~ 輸出區； | 45~ 源極電極； |
| 46~ 汲極電極； | 47~ 絕緣層； |
| 62~ 罩幕材料； | 63、115~ 開口； |
| 100~ i 層區； | 101~ n 層區； |
| 102、104~ 電極區； | 103~ p 層區； |
| 105~ 保護層區； | 111~ 中間線狀壓出體； |
| 112~ 拉伸體； | 117~ 沙漏狀區域； |
| 201~ 閘極電極； | 202~ 絕緣層； |
| 203~ 半導體層； | 204~ 源極； |
| 205~ 汲極； | 207~ 電容器； |
| 210~ 元件分離區； | V_0 ~ 原料之射出速度； |
| V_1 ~ 線狀體之運動速度； | |
| 114a、114b、114c、114d~ 中空區域； | |
| 209a1、209b1、209a2、209a3~ MOSFET； | |
| 30a、31a、32a、33a、34a、40a、41a~ 孔洞。 | |



四、中文發明摘要 (發明名稱：堆疊裝置)

本發明提供一種堆疊裝置，利用具有形狀不受限制、具有柔軟性與可撓性、並可形成任意形狀之各種裝置的元件所製造而成。

亦即，此堆疊裝置係由複數於長方向上連續或間隔性地形成有電路元件之元件、或複數於長方向上連續或間隔性地形成有具有電路之複數區域之剖面的元件，進行綑綁、加撚、交織或編織、接合、組合並加工成形、或者形成不織布狀等所製造而成。

五、(一)、本案代表圖為：第1圖

(二)、本案代表圖之元件代表符號簡單說明：

- | | |
|---------|---------|
| 1~閘極電極； | 2~絕緣層； |
| 3~汲極； | 4~源極； |
| 5~半導體； | 6~線狀元件。 |

六、英文發明摘要 (發明名稱：)



六、申請專利範圍

1. 一種堆疊裝置，其特徵在於：由複數線狀元件綑綁而成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

2. 一種堆疊裝置，其特徵在於：由複數線狀元件加撚而成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

3. 一種堆疊裝置，其特徵在於：由複數線狀元件交織或編織而成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

4. 一種堆疊裝置，其特徵在於：由複數線狀元件接合而成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

5. 一種堆疊裝置，其特徵在於：由複數線狀元件進行組合、加工成形步驟而形成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

6. 一種積體電路，其特徵在於：由複數線狀元件形成不織布狀，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

7. 一種布料狀物，由交織或編織複數線狀元件而形成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。

8. 一種衣服，其特徵在於：由複數線狀元件交織或編織而形成，上述線狀元件於長方向上連續或間隔性地形成有電路元件。



六、申請專利範圍

9. 一種堆疊裝置，其特徵在於：由複數線狀元件綑綁而成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

10. 一種堆疊裝置，其特徵在於：由複數線狀元件加撚而成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

11. 一種堆疊裝置，其特徵在於：由複數線狀元件交織或編織而成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

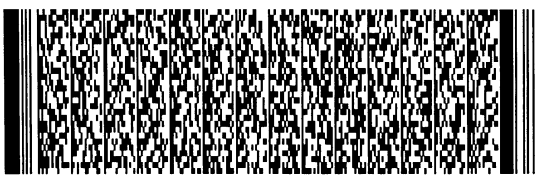
12. 一種堆疊裝置，其特徵在於：由複數線狀元件接合而成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

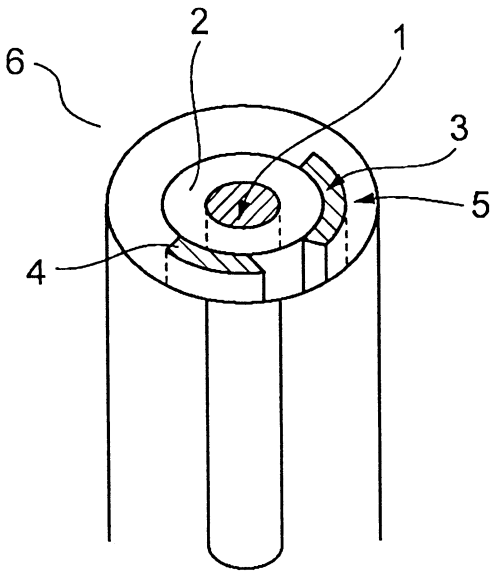
13. 一種堆疊裝置，其特徵在於：由複數線狀元件進行組合、加工成形步驟而形成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

14. 一種積體電路，其特徵在於：由複數線狀元件形成不織布狀，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

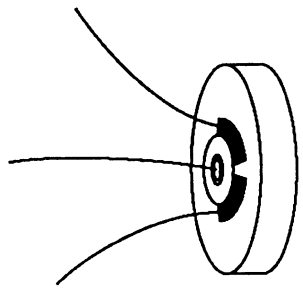
15. 一種布料狀物，由交織或編織複數線狀元件而形成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

16. 一種衣服，其特徵在於：由複數線狀元件交織或編織而形成，上述線狀元件於長方向上連續或間隔性地形成有具有電路之複數區域之剖面。

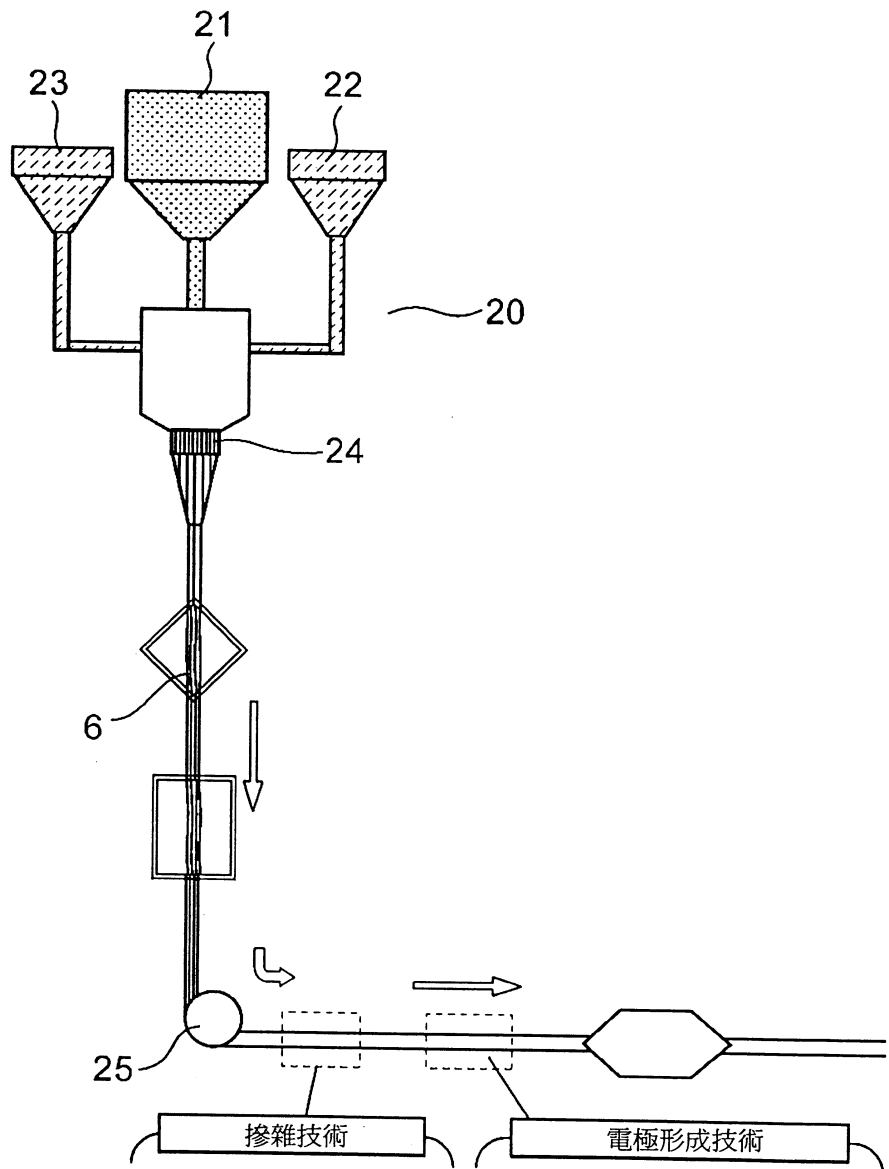




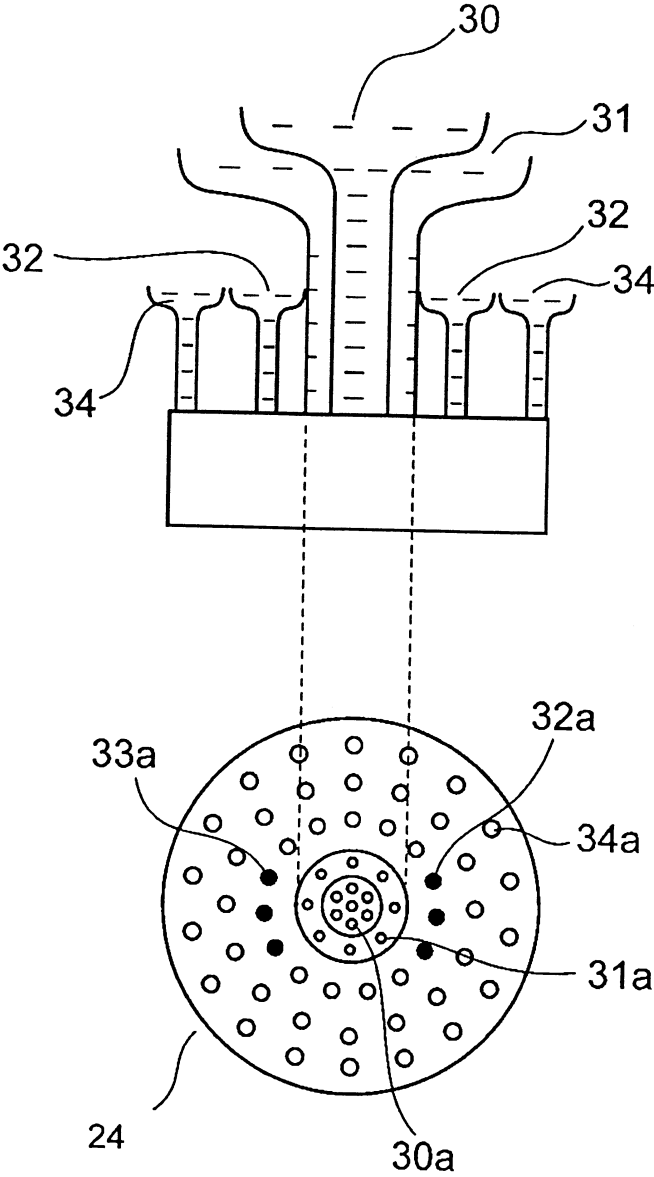
《切成薄片》



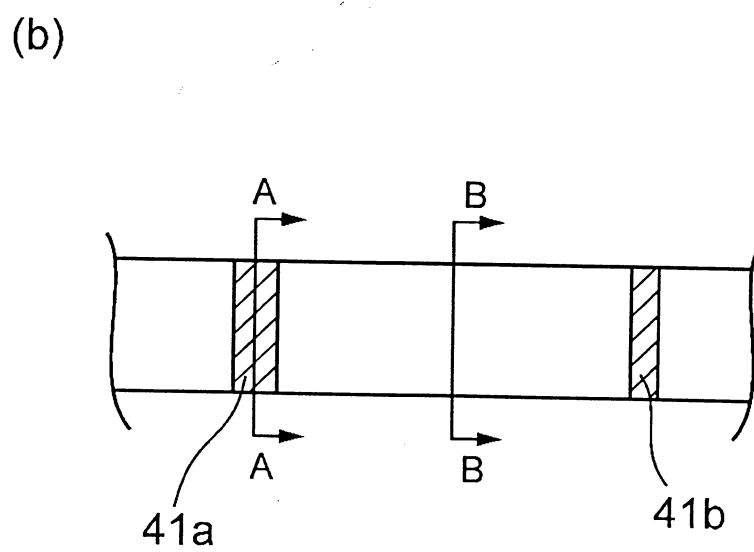
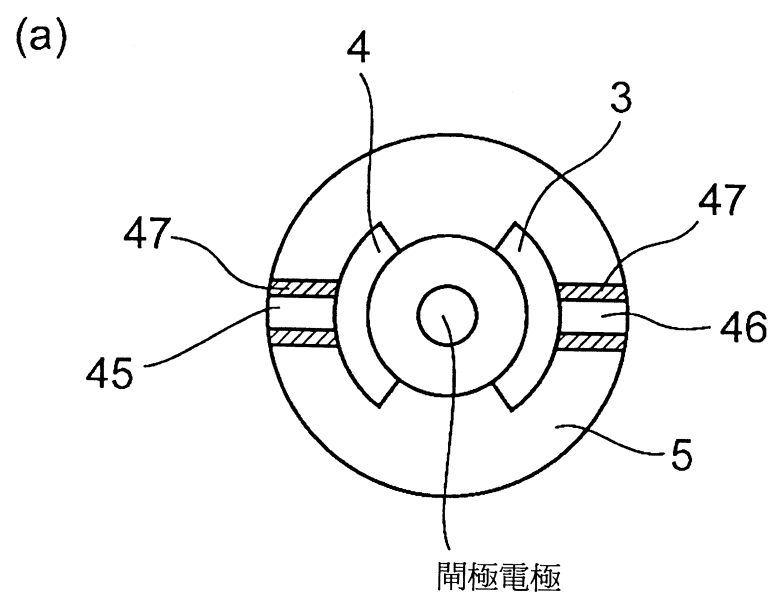
第 1 圖



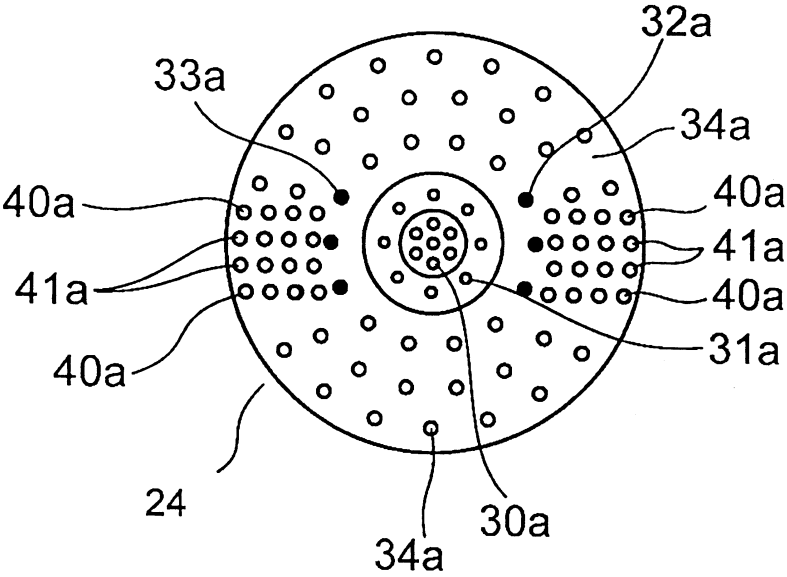
第 2 圖



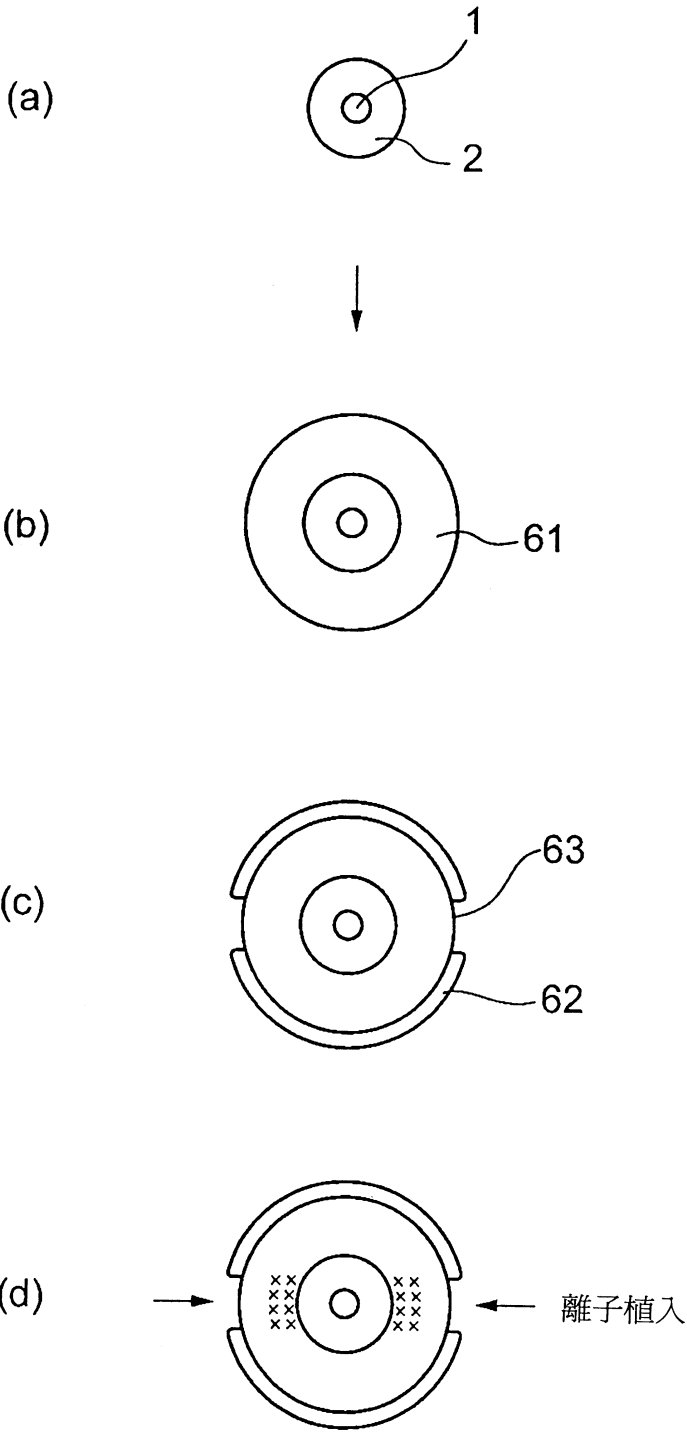
第 3 圖



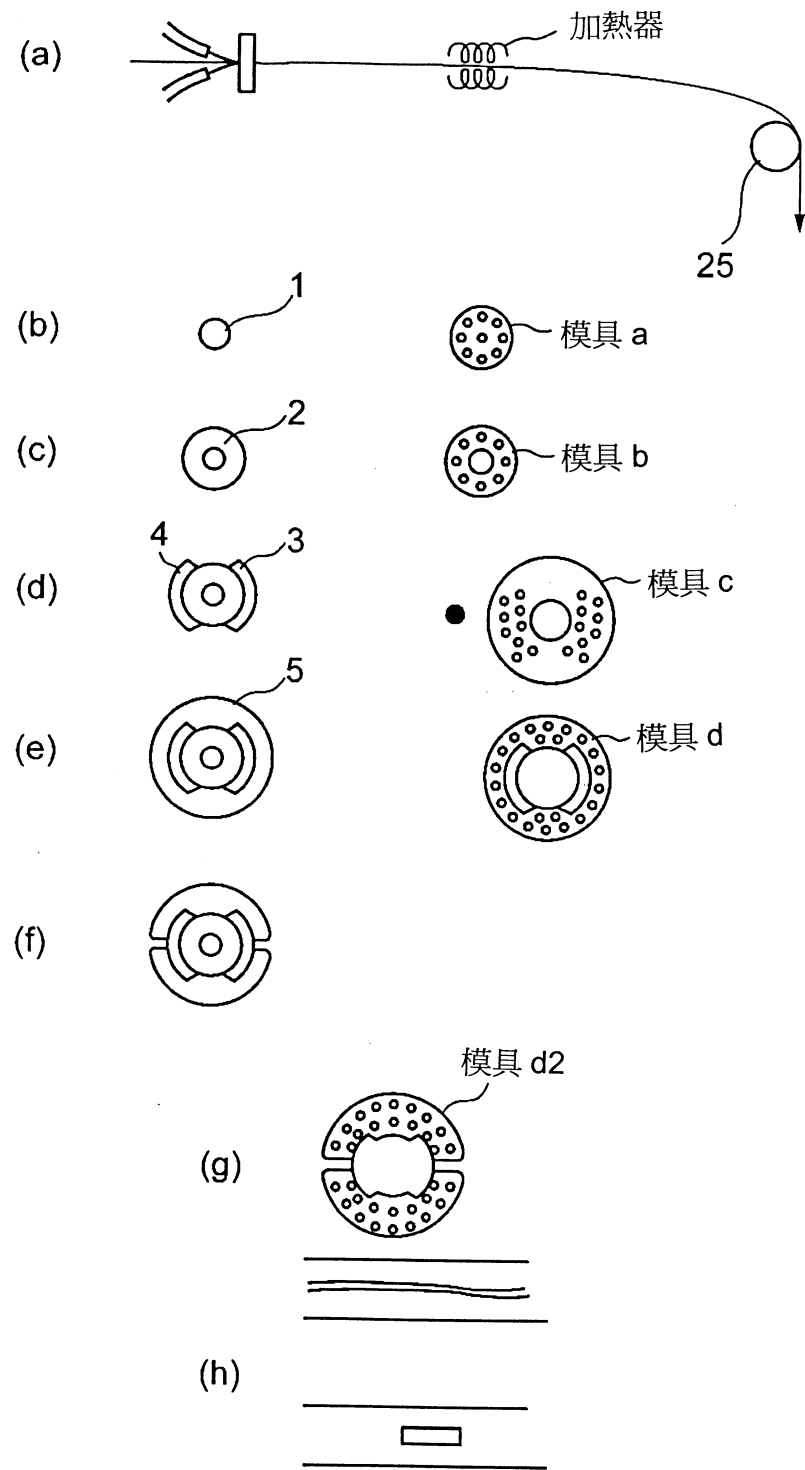
第 4 圖



第 5 圖

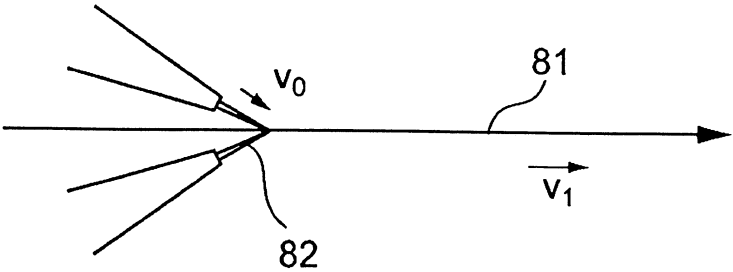


第 6 圖

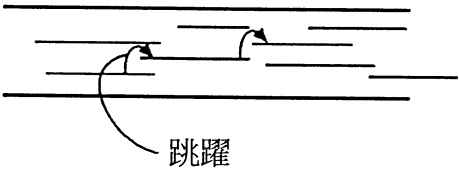


第 7 圖

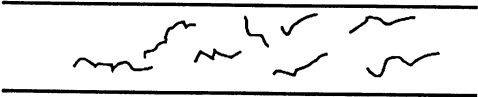
(a)



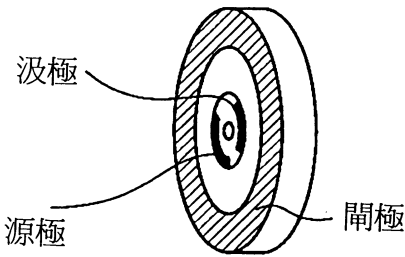
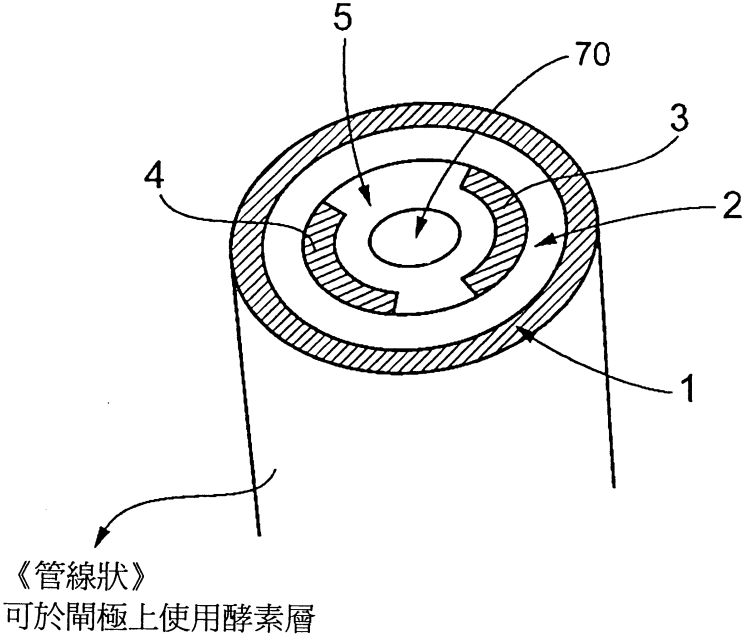
(b)



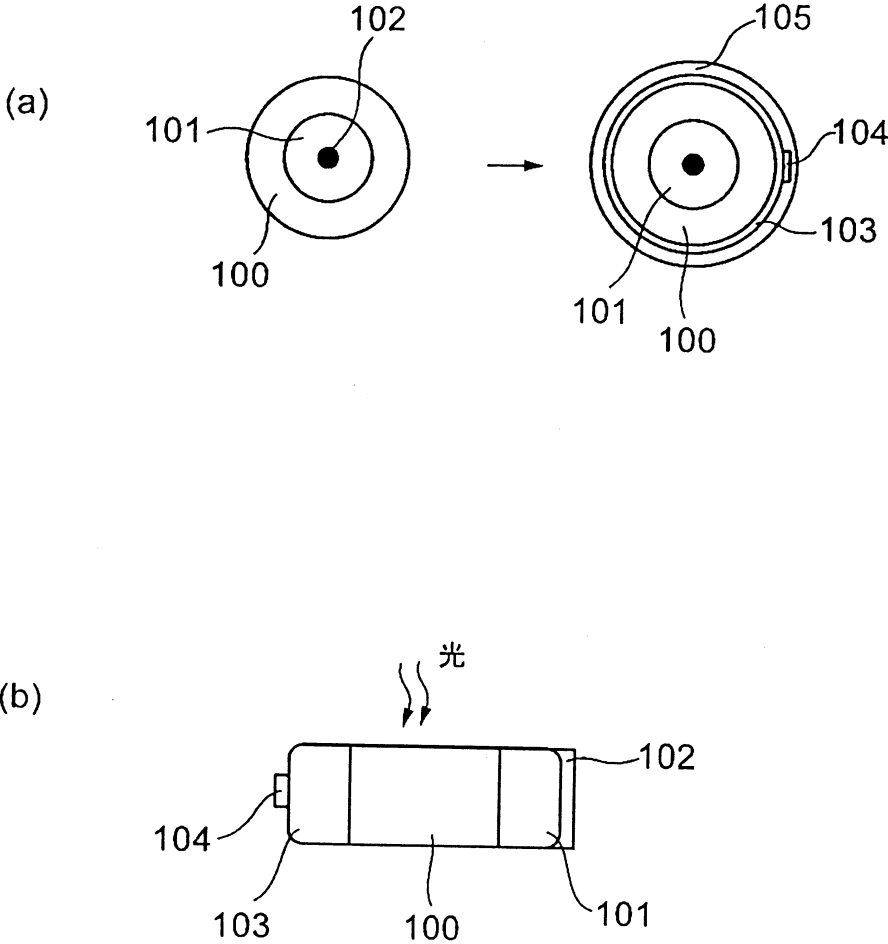
(c)



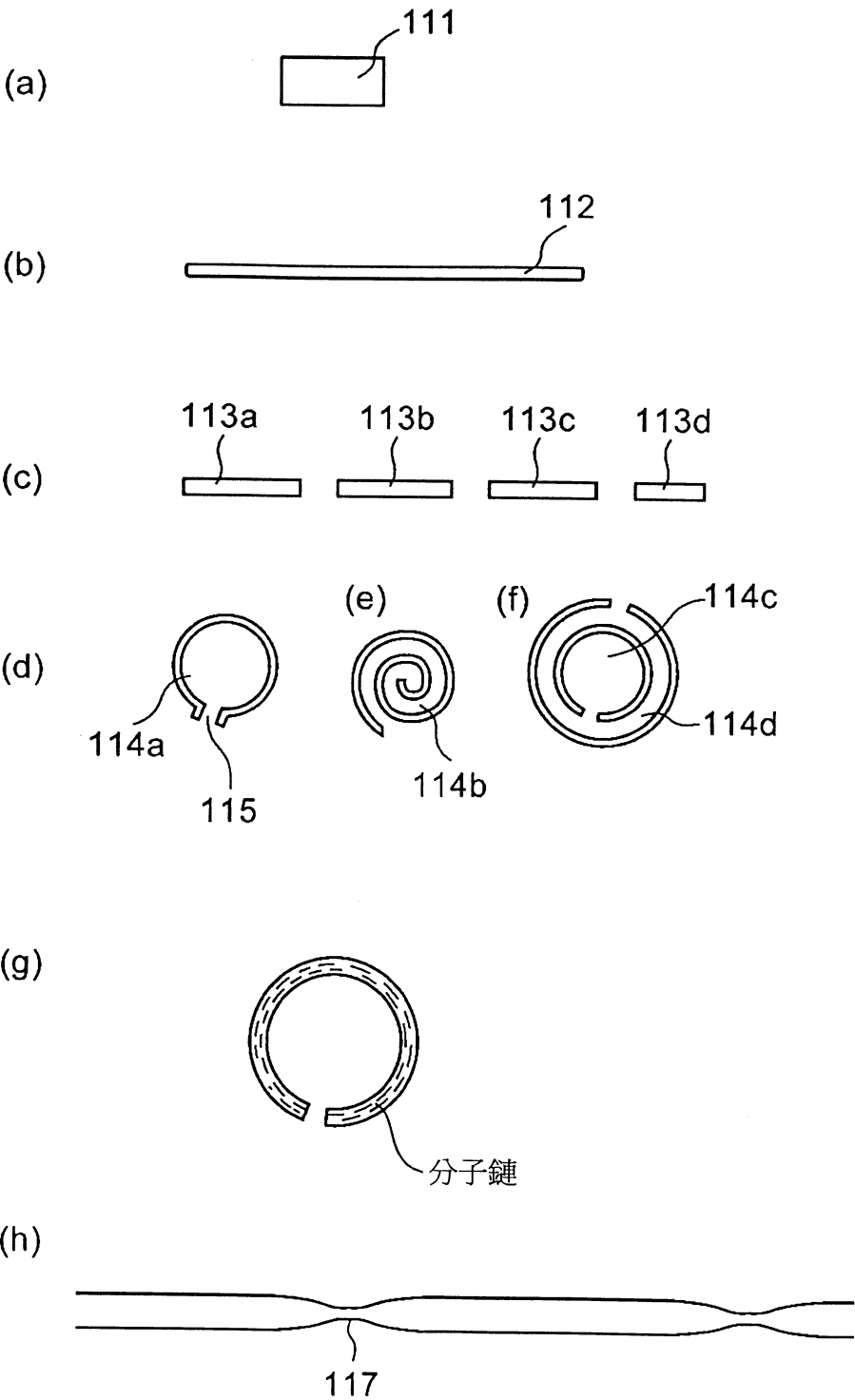
第 8 圖



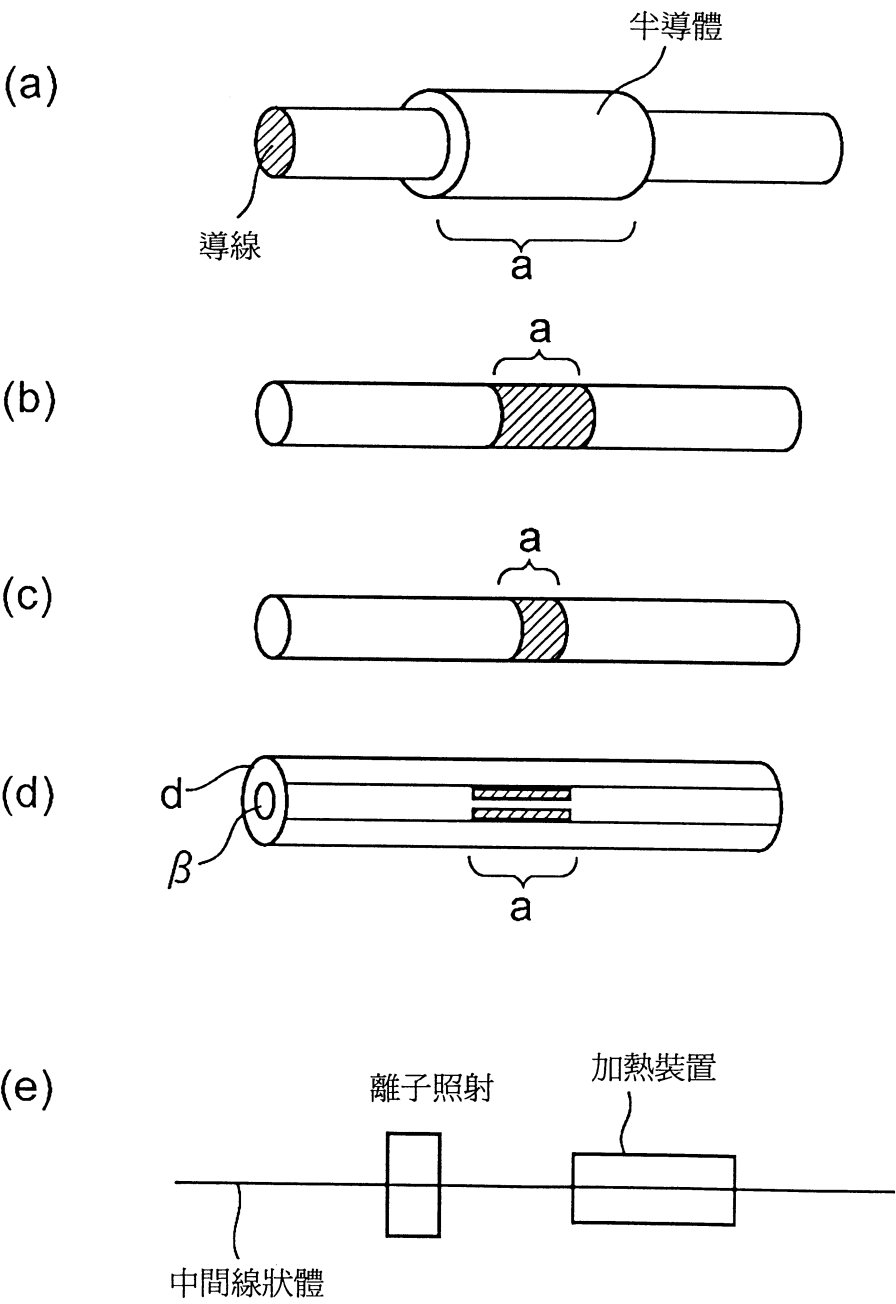
第 9 圖



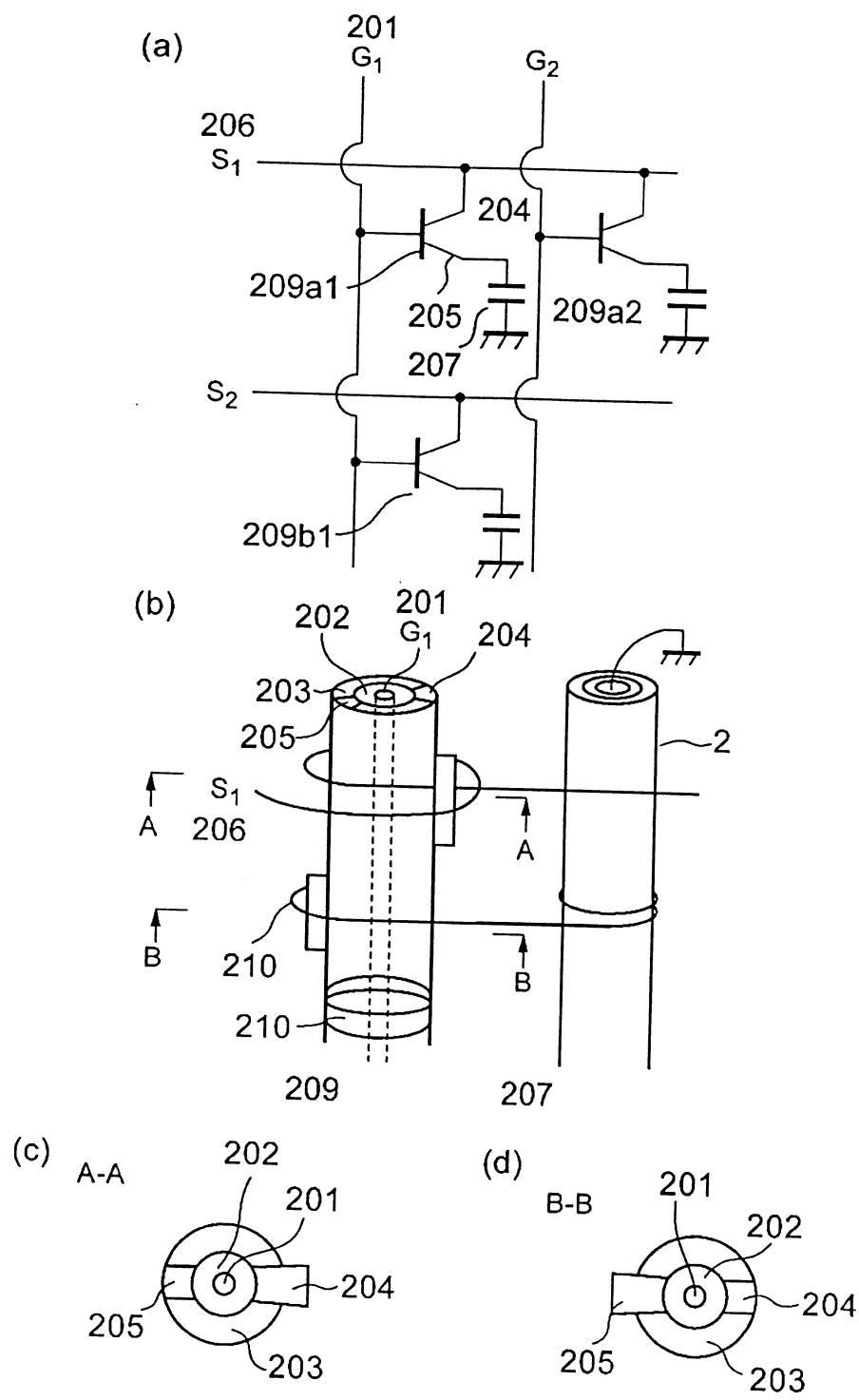
第 10 圖



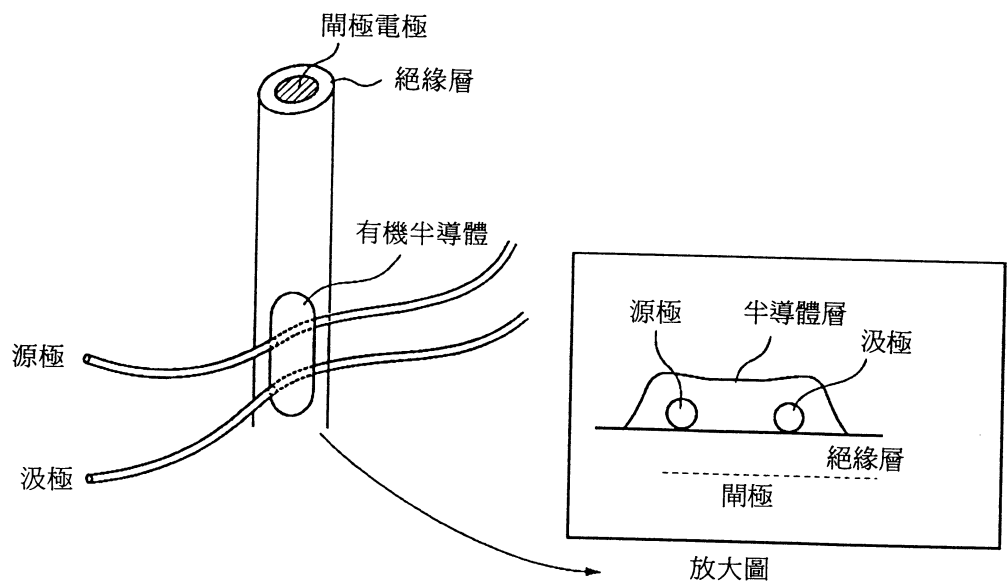
第 11 圖



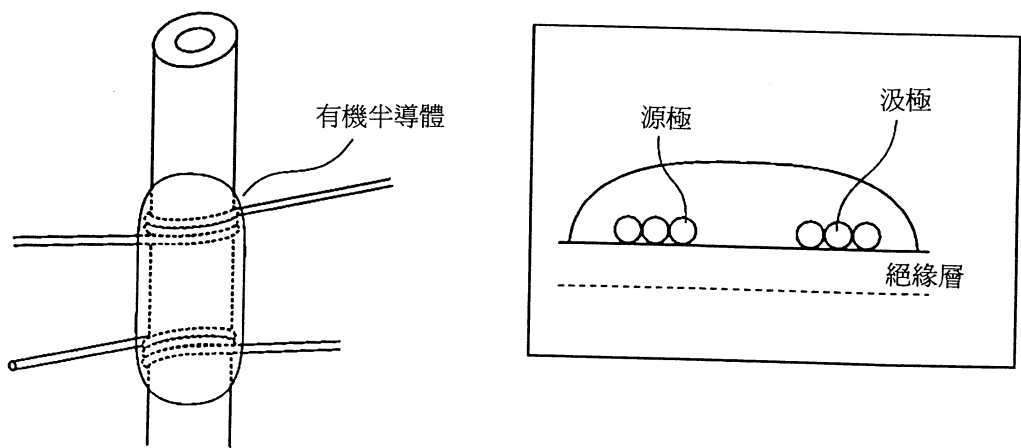
第 12 圖



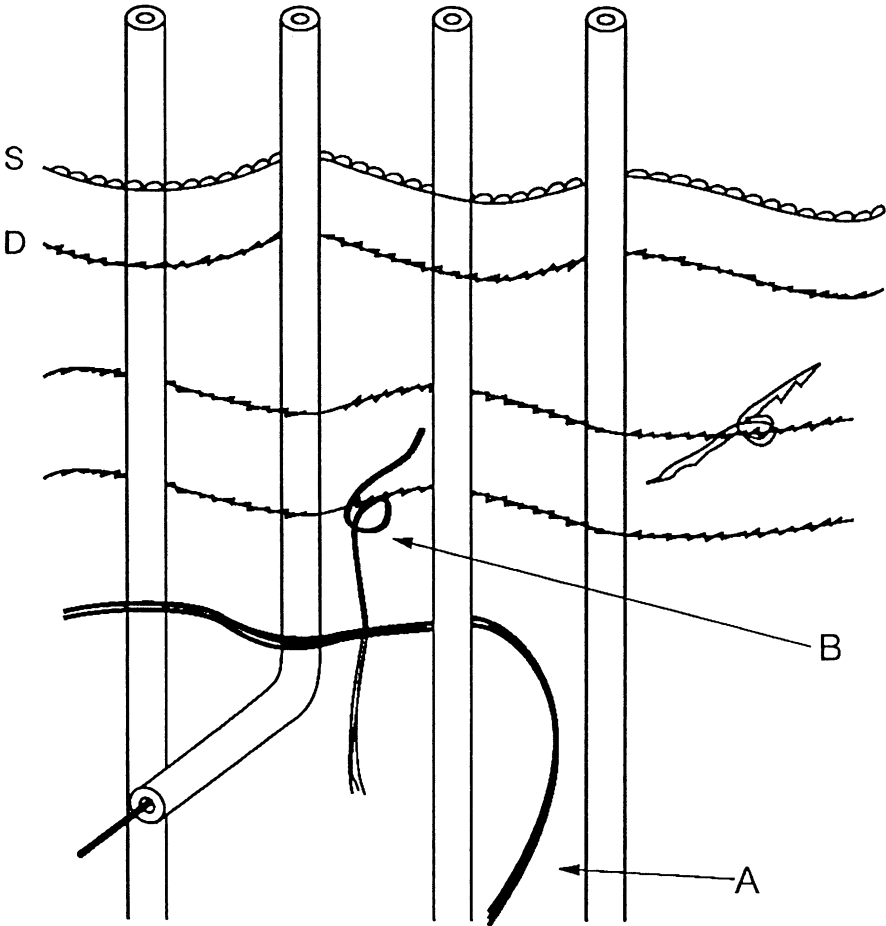
第 13 圖



第 14 圖



第 15 圖



第 16 圖