

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成17年11月24日(2005.11.24)

【公開番号】特開2005-116102(P2005-116102A)

【公開日】平成17年4月28日(2005.4.28)

【年通号数】公開・登録公報2005-017

【出願番号】特願2003-351068(P2003-351068)

【国際特許分類第7版】

G 1 1 C 16/06

G 1 1 C 16/02

G 1 1 C 16/04

【F I】

G 1 1 C 17/00 6 3 4 C

G 1 1 C 17/00 6 3 4 G

G 1 1 C 17/00 6 1 2 B

G 1 1 C 17/00 6 3 2 A

G 1 1 C 17/00 6 2 2 E

G 1 1 C 17/00 6 4 1

【手続補正書】

【提出日】平成17年10月7日(2005.10.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

電気的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイのデータ読み出しを行うためのセンスアンプ回路とを備えた不揮発性半導体記憶装置において、

前記センスアンプ回路は、

前記メモリセルアレイのピット線とセンスノードとの間に介在し、データ読み出し時、昇圧回路を含む電圧発生回路によりゲートが駆動されて選択メモリセルのデータに応じて変化するピット線電圧を前記センスノードに転送するための、ピット線データセンス用の第1のトランジスタと、

前記センスノードに接続されて、ピット線データセンスに先立って前記センスノードをプリチャージするための第2のトランジスタと、

前記センスノードに接続されて前記センスノードに転送されたピット線電圧のレベルを判定してセンスデータを取り込むためのデータラッシュと、

前記センスノードに一端が接続され他端に昇圧用電圧が供給される、センスノードを昇圧するためのキャパシタとを有する

ことを特徴とする不揮発性半導体記憶装置。

【請求項2】

前記センスアンプ回路は、前記メモリセルアレイの選択メモリセルの消去状態を確認するための消去ベリファイ動作において、前記キャパシタにより前記センスノードが昇圧された状態で、前記第1のトランジスタにセンス用電圧を印加してピット線電圧を前記センスノードに転送する動作を行う

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項 3】

電気的書き換え可能な不揮発性メモリセルが配列されたメモリセルアレイと、前記メモリセルアレイのデータ読み出しを行うためのセンスアンプ回路とを備えた不揮発性半導体記憶装置において、

前記センスアンプ回路は、

前記メモリセルアレイのビット線とセンスノードとの間に介在し、データ読み出し時、選択メモリセルのデータに応じて変化するビット線電圧を前記センスノードに転送するための、ビット線データセンス用の第1のトランジスタと、

前記センスノードに接続されて、ビット線データセンスに先立って前記センスノードをプリチャージするための第2のトランジスタと、

前記センスノードに接続されて前記センスノードに転送されたビット線電圧のレベルを判定してセンスデータを取り込むためのデータラッシュと、

前記センスノードに一端が接続され他端に昇圧用電圧が供給される、センスノードを昇圧するためのキャパシタとを有し、

前記センスアンプ回路は、前記メモリセルアレイの選択メモリセルの消去状態を確認するための消去ベリファイ動作において、前記キャパシタにより前記センスノードが昇圧された状態で、前記第1のトランジスタにセンス用電圧を印加してビット線電圧を前記センスノードに転送する動作を行う

ことを特徴とする不揮発性半導体記憶装置。

【請求項 4】

前記メモリセルアレイは、複数個のメモリセルが直列接続され、その一端が対応するビット線に、他端が共通ソース線に接続され、制御ゲートがそれぞれ異なるワード線に接続されたNANDセルユニットを配列して構成されている

ことを特徴とする請求項1又は3記載の不揮発性半導体記憶装置。

【請求項 5】

前記メモリセルアレイのデータ消去モードは、選択メモリセルに消去電圧を印加してそのしきい値を負に変化させる消去動作と、消去動作後前記選択メモリセルに所定の読み出し電圧を印加し、前記共通ソース線に電源電圧を印加して、選択メモリセルのセル電流によるビット線の電圧変化を前記センスアンプ回路により検出して消去状態を確認する消去ベリファイ動作とを含む

ことを特徴とする請求項4記載の不揮発性半導体記憶装置。

【請求項 6】

前記消去動作は、ワード線を共有するNANDセルユニットの集合である各ブロック毎に、選択ブロック内の全ワード線に0V、前記メモリセルアレイが形成された半導体ウェルに正の消去電圧を与えて、選択ブロック内の全メモリセルの浮遊ゲートの電子を放出させるものであり、

前記消去ベリファイ動作は、前記選択ブロック内の全ワード線に0V、前記共通ソース線に電源電圧を与えて、選択されたメモリセルにより充電された各ビット線の電圧変化をそれぞれに接続されたセンスアンプ回路により検出することにより行われる

ことを特徴とする請求項5記載の不揮発性半導体記憶装置。