



88年7月4日 修正

申請日期: 88.6.24

案號: 88110623

補充

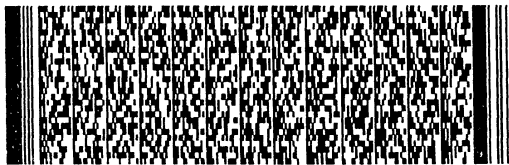
類別: H01L 29/788

(以上各欄由本局填註)

發明專利說明書

480736

一、 發明名稱	中文	快閃式記憶體之程式化處理方法及抹除處理方法
	英文	
二、 發明人	姓名 (中文)	1. 陳志民 2. 季明華
	姓名 (英文)	1. Chih Ming Chen 2. Min-Hwa Chi
	國籍	1. 中華民國 2. 中華民國
	住、居所	1. 新竹市東區長春路165巷28號 2. 新竹市大學路50號3樓2室
三、 申請人	姓名 (名稱) (中文)	1. 台灣積體電路製造股份有限公司
	姓名 (名稱) (英文)	1.
	國籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市科學工業園區園區三路121號
	代表人 姓名 (中文)	1. 張忠謀
	代表人 姓名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

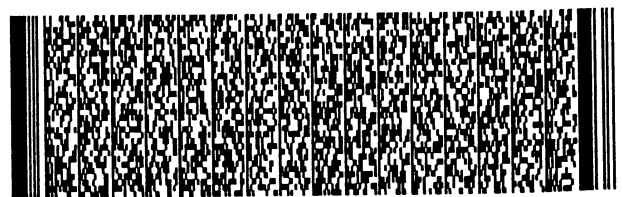
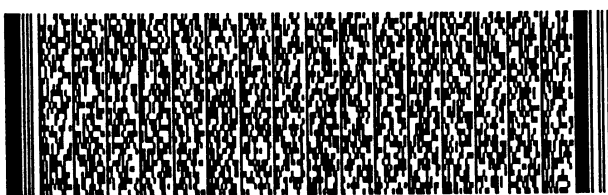
五、發明說明 (1)

本發明係有關於一種快閃式記憶體程式化(program)/抹除(erase)的處理方法，特別是針對新型之三複晶矽分離閘極(triple-poly split gate)快閃式記憶體，提出一種新的程式化/抹除處理方法。

快閃式記憶體(flash memory)由於可以利用電子操作方式進行程式化和抹除的特性，可以透過不同的電壓來記錄或抹去數據資料，因此目前已經是相當普遍使用的記憶體模組。

最早使用的快閃式記憶體是所謂的雙複晶矽堆疊閘極快閃式記憶體單元(double-poly stacked gate flash cell)，一般簡稱為ETOX，如第1圖所示。圖中，1表示基底層或基底極區，3是汲極(drain)，5是源極(source)。閘極部分主要由兩層堆疊形式的複晶矽層所構成，分別為置於下方的浮動閘極(floating gate)10和置於上方並且可以直接施加不同電壓的控制閘極(control gate)12。與一般MOS電晶體一樣，在浮動閘極10和汲極3/源極5通道(channel)間具有一氧化層7。而在浮動閘極10和控制閘極12之間則具有一介電質層9。一方面，介電質層9可以用來將控制閘極12的電壓以耦合(coupling)方式傳遞到浮動閘極10，讓浮動閘極10提供足夠的電場強度以捕獲電子，另一方面，介電質層9也提供絕緣的屏壁，讓浮動閘極10所捕獲的電子沒有路徑可以釋放出來，藉以達到程式化的目的。4則是閘極部分兩側的間隔物(spacer)。

雙複晶矽堆疊閘極快閃式記憶體單元的程式化和抹除

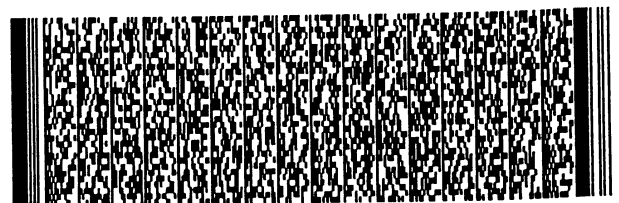
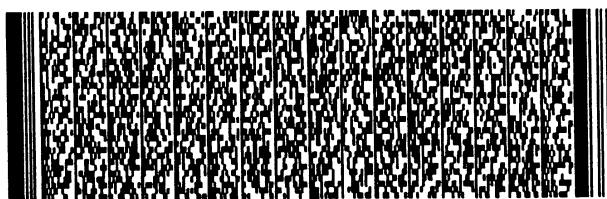


五、發明說明 (2)

處理方式簡單說明如下。在程式化上主要是利用通道熱電子效應(channel hot electron effect)來達到，也就是利用耦合到浮動閘極10的正電壓和其下方通道間存在的電壓差，建立一足夠強度的電場，讓其間電子獲得足夠穿透氧化層7的動能(亦即熱電子)，使其被捕獲於浮動閘極10中。具體來說，由於浮動閘極10內是否存在電子的條件可以影響到其下方通道的導通與否，因此透過有無將電子注入到浮動閘極10的方式，便可以將各記憶體單元程式化為儲存"1"或儲存"0"的不同狀態。抹除處理則是將浮動閘極10內捕獲的電子加以釋放，主要是透過Fowler-Nordheim穿隧效應(F-N tunneling effect)來達成，也就是在控制閘極12上施加一很大的負電壓，藉由介電質層9的耦合作用，讓浮動閘極10內的電子得以穿隧過氧化層7，經由下方通道或是源極5加以釋放。

然而，傳統雙複晶矽堆疊閘極快閃式記憶體單元仍有其缺點。首先，此種傳統快閃式記憶體單元會有所謂過度抹除(over-erase)的問題，也就是在抹除處理中過度執行，反而讓記憶體單元的臨界電壓(threshold voltage)降到負值，這將會導致記憶體列偏壓電路(column bias circuitry)出現洩漏的現象。另外，在程式化處理中的程式化電流也有過大的現象，大約每個記憶體單元會消耗掉0.5~1mA。

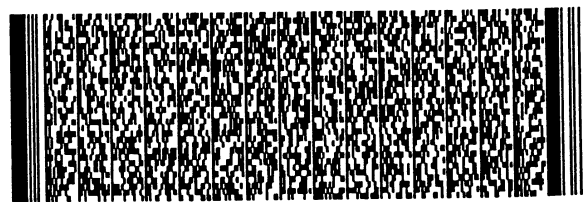
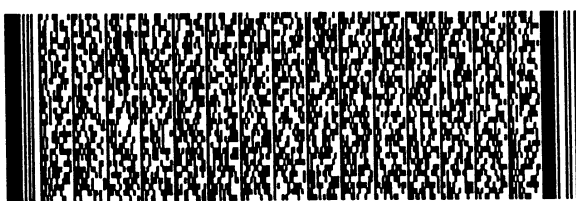
為了解決傳統快閃式記憶體單元會出現過度抹除的問題，因此有人提出了一種雙複晶矽分離閘極(double-poly



五、發明說明 (3)

split gate) 快閃式記憶體單元，如第2圖所示。其與第1圖所示之記憶體單元不同之處在於，控制閘極12具有一延伸控制閘極12a部分，置於汲極3和源極5間通道上，接近於源極5。亦即在通道的上方分別為浮動閘極10和延伸控制閘極12a，其間則分別是氧化層7a和氧化層7b。延伸控制閘極12a的作用是，即使浮動閘極10有過度抹除的問題發生，也可以利用延伸控制閘極12a來當作通道的切換開關，適時地隔離記憶體單元和外部的行偏壓電路，也就不會出現洩漏的問題。不過，此種記快閃式記憶體單元也有其缺點，參考第2圖，其不僅需要以往記憶體單元所使用的浮動閘極10的空間，同時也需要延伸控制閘極12a的額外空間，因此無可避免地佔用了較大的晶片面積。

如前所述，雙複晶矽堆疊閘極快閃式記憶體和雙複晶矽分離閘極快閃式記憶體均有其缺點，因此在美國專利第5,856,943號案中便揭露了一種改良型快閃式記憶體，可以一方面解決過度抹除的問題，另一方面也不會增加晶片面積。此種改良型快閃式記憶體稱之為三複晶矽分離閘極(triple-poly split gate)快閃式記憶體，如第3圖所示。其與前述兩種快閃式記憶體間最大的不同點在於閘極結構上。閘極結構中包含了三個部分，分別是控制閘極24、浮動閘極22和選擇閘極(select gate)20。由圖可以清楚看出，浮動閘極22的配置方式與前兩種結構有很大的不同。在通道上方接近汲極3的是選擇閘極20，其與通道間是以氧化層7a間隔。而浮動閘極22從選擇閘極20的上方

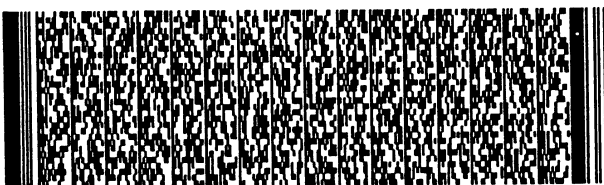


五、發明說明 (4)

延伸到接近源極5的通道上方，其與選擇閘極20間是以絕緣層25間隔，與通道間則是以氧化層7b間隔。控制閘極24則同樣是堆疊於浮動閘極22的上方，兩者間則以介電質層26加以間隔。因此，此時位於通道上方者，包括了接近汲極3的選擇閘極20以及接近源極5的浮動閘極22。

在解決過度抹除的問題上，可以將選擇閘極20當作是第2圖中的延伸控制閘極12a來使用，也就是利用選擇閘極20做為通道開關，適時地隔離記憶體單元和外部的行偏壓電路，避免出現洩漏的情況。另一方面，雖然此結構也具有類似於第2圖中的延伸部分，但是實際會佔用的晶片面積則大不相同。在第2圖的雙複晶矽分離閘極快閃式記憶體中，由於考量到控制閘極12和浮動閘極10之間的耦合率(coupling ratio)，因此在浮動閘極10和其上方之控制閘極12所佔用的面積大約與第1圖的部分相當，而延伸控制閘極12a也就成為增加晶片面積的主要原因；但是在第3圖的三複晶矽分離閘極快閃式記憶體中，選擇閘極20則無此上述晶片面積的限制，而浮動閘極22和控制閘極24則以立體方式堆疊在選擇閘極20上，實際的晶片佔用面積並不大，因此整體閘極結構所佔用面積會與第1圖中的雙複晶矽堆疊閘極快閃式記憶體大致相同。由於此結構同時解決了習知過度抹除和佔用面積的問題，因此三複晶矽分離閘極快閃式記憶體確實提供了相當好的元件替代方案。

接著說明其程式化和資料抹除處理方式。程式化處理主要是利用源極端熱電子注入方式(source-side

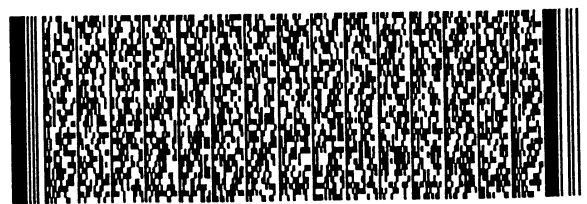


五、發明說明 (5)

hot-electron injection) 來達成。實施方式是在控制閘極24上施加大的正電壓，經由耦合到浮動閘極22後，與源極5間形成足夠強度的電場，提供能量產生熱電子注入浮動閘極22。而在抹除處理上主要是利用F-N穿隧效應，透過源極5來釋放浮動閘極22中的電子。習知的程式化/抹除處理方法固然也可以達成其目的，但是仍有其未臻完善之處。像是無法達到均勻注入(uniform injection)的效果，也就是其電子注入與通道本身長度有關。另外，無論在程式化或是抹除處理上電子注入效率仍有待提昇。

有鑑於此，本發明的主要目的，在於提供一種快閃式記憶體的程式化/抹除處理方法，特別是針對三複晶矽分離閘極快閃式記憶體，提供一種可以達到均勻注入、低程式化電流和高電子注入效率的程式化處理方法和抹除處理方法，用以提昇快閃式記憶體在操作上的效率。

根據上述之目的，本發明提出一種針對三複晶矽層分離閘極快閃式記憶體的程式化處理方法。此快閃式記憶體置於一井區上，其中包括基底極區、源極區、汲極區、置於源極區和汲極區間通道上方以及汲極區側的選擇閘極、置於源極區和汲極區間通道上方以及源極區側的浮動閘極、以及置於浮動閘極上方的控制閘極。上述程式化處理方法中，當要將電子注入記憶體單元內的浮動閘極時，先在井區和基底極區之間施加順向偏壓，讓電子從井區流入到基底極區。再於基底極區和源極區之間施加逆向偏壓，造成空乏區，利用電場來加速流入的電子，此同時基底極



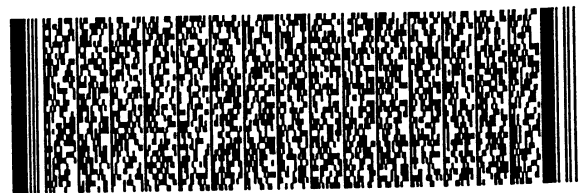
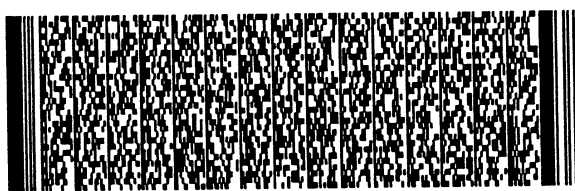
五、發明說明(6)

區和汲極區間也可以施加逆向偏壓。最後在控制閘極上施加最大正電壓值的電壓信號，透過控制閘極和浮動閘極間耦合作用，用來使得加速的電子有足夠動能注入浮動閘極，完成程式化的動作。由於利用井區透過基底極來產生程式化的熱電子並且透過浮動閘極下方通道區來注入熱電子，因此可以達到均勻注入、低程式化電流和高電子注入效率的目的。另外，也可以在選擇閘極上施加一電壓信號，讓選擇閘極下方之通道部分呈非反轉狀態(non-inverted)，也可以進一步提昇其注入效率。

另外，本發明亦提供一種三複晶矽層分離閘極快閃式記憶體的抹除處理方法，當要將電子從浮動閘極中釋放時，先在選擇閘極和汲極上施加適當偏壓，用來在汲極區和浮動閘極附近間之通道中誘導出一反轉層，接著在控制閘極上施加最大負電壓值的電壓信號，透過控制閘極和浮動閘極間耦合作用，使得浮動閘極中的電子經由穿隧效應進入通道中，並且透過反轉層從汲極區加以釋放。在此同時源極區上可以施加相對為正的電壓信號，讓浮動閘極中的電子也可以經由穿隧效應進入源極區加以釋放。由於可以同時利用源極和汲極來釋放電子，因此放電效率也可以獲得大幅提昇。

圖式之簡單說明：

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：



五、發明說明 (7)

第1圖表示習知技術中雙複晶矽堆疊閘極快閃式記憶體單元的剖面示意圖。

第2圖表示習知技術中雙複晶矽分離閘極快閃式記憶體單元的剖面示意圖。

第3圖表示習知技術中三複晶矽分離閘極快閃式記憶體單元的剖面示意圖。

第4圖表示本發明實施例中用以說明在三複晶矽分離閘極快閃式記憶體單元中進行程式化處理的剖面示意圖。

第5圖表示本發明實施例中用以說明在三複晶矽分離閘極快閃式記憶體單元中進行抹除處理的剖面示意圖。

第6圖用以說明在本發明實施例中進行程式化處理、抹除處理和讀取處理時，記憶體單元中各部分所施加的電壓值。

符號說明：

1~基底極；2~深井區；3~汲極；4~間隔物；5~源極；7、7a、7b~氧化層；9、26~介電質層；10、22~浮動閘極；12、24~控制閘極；12a~延伸控制閘極；20~選擇閘極；30~空乏區；32~電子；34、36~反轉層。

實施例：

本發明中快取式記憶體之程式化處理方法主要是利用基底層熱電子注入方式(substrate hot-electron)方式來達成，而抹除處理方法則是利用F-N穿隧效應透過接近於汲極區的反轉層來達成。以下配合圖式，詳細說明本發明實施例中的程式化處理方法以及抹除處理方法，並且一併



五、發明說明 (8)

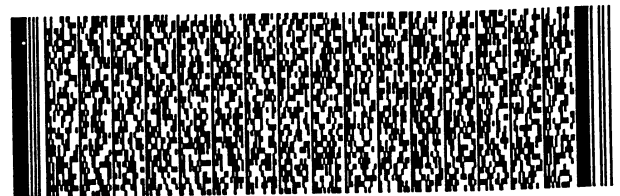
說明其資料讀取的動作。以下圖中與第3圖相同或相等之部分則以相同符號加以表示，並省略其說明。

程式化(program)處理方法

第4圖表示在本實施例中用以說明程式化處理的記憶體單元剖面示意圖。其中，2表示深井區(deep well)。以NMOS電晶體結構為例，深井區2、基底極1和汲極3/源極5分別為N型、P型和N型。為了要產生電子束注入浮動閘極22，必須在基底極1和深井區2間的PN接面上施加順向偏壓，讓電子32從深井區2流入到基底極1。在本實施例中深井區2上所施加電壓為 V_{cc} ，而在基底極1上所施加電壓則為 $V_{cc}+0.7V$ 。 V_{cc} 為一參考電壓，在 $0.35\mu m$ CMOS製程中大約是在 $3.3V$ 。

在源極5(本實施例中也包括汲極3)上則是施加一正電壓，例如 $2V_{cc}$ ，讓基底極1和源極5間的PN接面上呈現逆向偏壓。由於此逆向偏壓的作用，所以可以讓PN接面上的空乏區(depletion region)30提供足夠強度的電場，加速從深井區2流入基底極1的電子32，流向位於浮動閘極22下方的通道部分，並且獲得相當的動能。

在控制閘極24上則是施加最大的正電壓，例如 $3V_{cc}$ 。利用控制閘極24和浮動閘極22之間耦合作用，可以將此正電壓部分耦合至浮動閘極22上。以耦合率為0.8的情況來說，在浮動閘極22上大約有 $2.4V_{cc}$ 的電壓。因此，可以讓浮動閘極22下方的通道部分呈反轉狀態，建立反轉層(inversion layer)34。此時電子32便可以獲得足夠動能



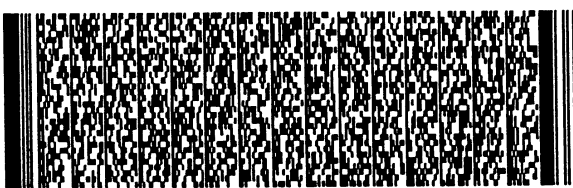
五、發明說明 (9)

來克服氧化層所構成的位能屏障，便可以注入浮動閘極22，完成程式化的目的。

另外，為了讓電子32更集中於浮動閘極22下方的通道部分，可以讓選擇閘極20下方的通道部分呈現非反轉狀態，例如將選擇閘極20接地(0V)。這樣可以使得大部分的流入電子集中於浮動閘極22下方的通道部分，而能夠更有效率地達成程式化的目的。

本實施例中程式化處理方法可以摘要如下：(1)在深井區2和基底極1之間施加順向偏壓，讓電子從深井區2流入基底極1；(2)在源極5上加入正的高電壓，讓基底極1和源極5之間呈逆向偏壓，藉以加速流入的電子；(3)在控制閘極24上加入最大正電壓，透過控制閘極24和浮動閘極22間的耦合作用，讓加速的電子注入浮動閘極22；(4)讓選擇閘極20下方的通道區呈非反轉狀態，藉以讓電子集中於浮動閘極22下方的通道。在進行本實施例的程式化處理過程中，記憶體單元內各部分所施加之電壓值則表示於第6圖的第一列。必須說明的是，上述電壓值並非用以限定本發明，可以根據實際需要(例如浮動閘極22下方氧化層厚度或基底極摻雜濃度等等)來調整其應用參數，仍不脫離本發明之精神。

在本實施例中，由於利用深井區2透過基底極1來產生程式化的熱電子，並且透過浮動閘極下方通道區來注入熱電子，因此可以達到均勻注入、低程式化電流等等的目的，另外利用選擇閘極20來使得電子集中於浮動閘極22下



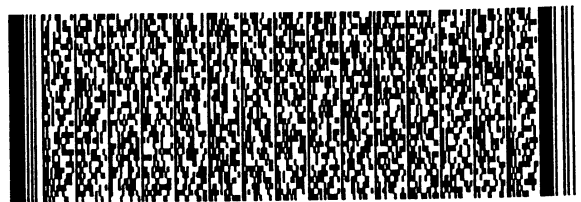
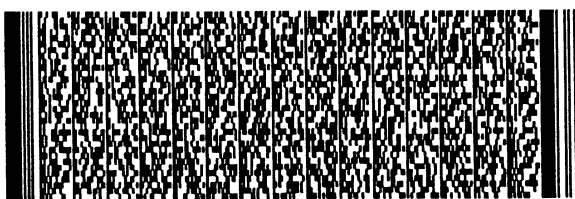
五、發明說明 (10)

方通道部分，也有助於注入效率的提昇。

抹除(erase)處理方法

第5圖表示在本實施例中用以說明抹除處理的記憶體單元剖面示意圖。首先讓選擇閘極20和汲極3加以適當偏壓，例如選擇閘極20可以偏壓於 $2V_{cc}+V_t$ 而汲極3則可以偏壓於 $2V_{cc}$ ，其中 V_t 為此電晶體之臨界值。此偏壓狀態可以讓選擇閘極20下方的通道部分呈現反轉狀態，建立反轉層36。另外，不是直接位於選擇閘極20正下方的通道部分，例如像是間隔物4下方的部分，也可以透過選擇閘極20的邊緣電場(fringing field)來連立連續的反轉層。所建立的反轉層36是從汲極3到接近浮動閘極22下方通道之間，可以用來提供一條路徑，讓浮動閘極22內電子得以釋放。另外，利用將選擇閘極20偏壓在 $2V_{cc}+V_t$ 的方式，也可以在反轉層36中接近於浮動閘極22的位置上建立一正電壓值。此時，深井區2和基底極1則可以偏壓於 V_{cc} 。

接著在控制閘極24上施加一最大負電壓值的電壓信號，例如 $-3V_{cc}$ 。經由控制閘極24和浮動閘極22之間耦合作用，所以可以在浮動閘極22中耦合出相當大的負電壓值。此時，由於浮動閘極22(負電壓值)和反轉層36接近浮動閘極22處(正電壓值)間具有足夠大的電壓差，能夠在短距離內建立足夠強的電場，讓原本被捕獲於浮動閘極22內的電子，利用穿隧效應流入反轉層36中。接著再經由反轉層36所提供的路徑，從汲極3加以釋放，便可以達到資料抹除的目的。



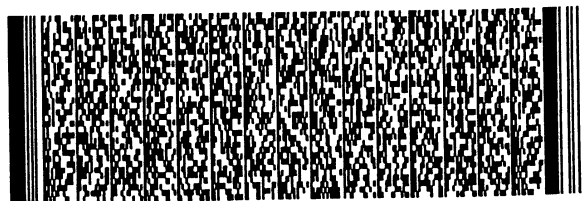
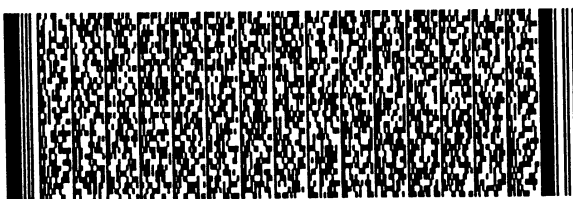
五、發明說明 (11)

另一方面，本實施例也可以結合習知的資料抹除方法，使得整個釋放電子的速度更加快速。在源極5上也可以施加一正電壓，例如 $2V_{cc}$ ，利用浮動閘極22(負電壓值)和源極5(正電壓值)間的電壓差，也可以達到穿隧效應的條件，讓電子透過源極5加以釋放。

本實施例中抹除處理方法可以摘要如下：(1)誘導出在汲極3和浮動閘極22附近間之通道中的反轉層36；(2)在控制閘極24上施加最大的負電壓值，透過控制閘極24和浮動閘極22間的耦合作用，使得浮動閘極22中的電子利用穿隧效應進入通道，並且透過反轉層36由汲極3加以釋放；(3)在源極5施加正電壓，讓浮動閘極22中的電子經由穿隧效應進入源極5加以釋放。在進行本實施例的抹除處理過程中，記憶體單元內各部分所施加之電壓值則表列於第6圖的第二列。同樣的，上述電壓值並非用以限定本發明，應用者可以根據需要來調整實際參數，仍不脫離本發明之精神。

資料讀取處理方法

讀取方式則與習知用法相同。資料讀取時，可以在控制閘極24上施加 V_{cc} ，而在選擇閘極20和汲極3上施加大約為 $2V$ 的電壓，也就是讓選擇閘極20下方之通道部分可以呈現反轉狀態。由於當浮動閘極22內具有電荷時，會讓浮動閘極22下方的通道部分呈現空乏狀態(depleted)，所以從汲極3到源極5的通道路徑不導通，此表示數位資料"1"。由於當浮動閘極22內沒有電荷時，浮動閘極22下方的通道



五、發明說明 (12)

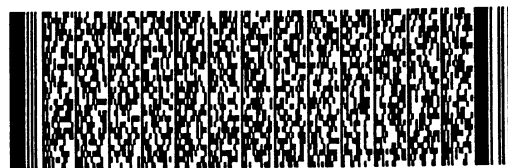
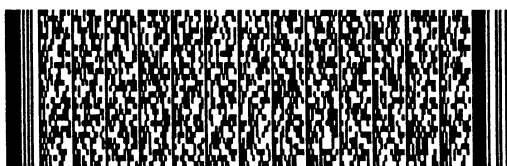
部分會呈現反轉狀態(inverted)，因此從汲極3到源極5的通道路徑便可以導通，即表示數位資料"0"。

總結以上所述，本發明之程式化/抹除處理方法具有下列優點：

1. 在程式化處理過程上，由於是利用基底熱電子注入方式來達成，因此可以達到低程式化電流、均勻注入和高注入效率等等的優點。

2. 在抹除處理過程上，由於利用通道反轉層和汲極來釋放電子，同時可以結合習知技術中利用源極來進行抹除動作，因此可以達到快速執行抹除動作的目的。

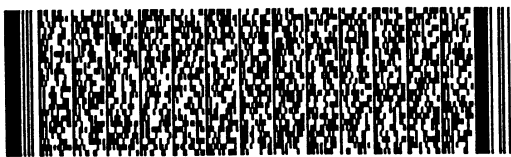
本發明雖以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做些許的更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



四、中文發明摘要 (發明之名稱：快閃式記憶體之程式化處理方法及抹除處理方法)

一種快取式記憶體之程式化/抹除處理方法，特別是針對三複晶矽分離閘極快閃式記憶體。在程式化處理上，主要是利用基底層熱電子注入方式來達成，而抹除處理方法則是利用穿隧效應和接近於汲極區的反轉層來達成，藉以達到均勻注入、低程式化電流和高電子注入效率的程式化/抹除處理方法。

英文發明摘要 (發明之名稱：)



六、申請專利範圍

1. 一種快閃式記憶體之程式化處理方法，可適用於一三複晶矽層分離閘極快閃式記憶體，上述三複晶矽層分離閘極快閃式記憶體置於一井區上，其包括基底極區、源極區、汲極區、置於上述源極區和上述汲極區間通道上方和上述汲極區側之選擇閘極、置於上述源極區和上述汲極區間通道上方和上述源極區側之浮動閘極以及置於上述浮動閘極上方之控制閘極，上述程式化處理方法中在將電子注入上述浮動閘極時包括下列步驟：

施加順向偏壓於上述井區和上述基底極區之間，用以使電子從上述井區流入上述基底極區；

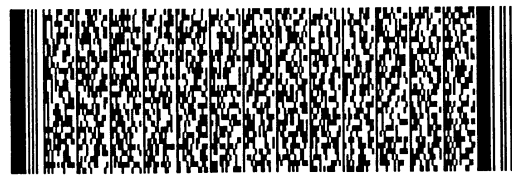
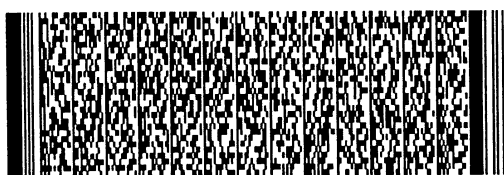
施加逆向偏壓於上述基底極區和上述源極區之間，用以加速流入之上述電子；以及

施加第一電壓信號於上述控制閘極上，透過上述控制閘極和上述浮動閘極間耦合作用，用以使得加速之上述電子注入上述浮動閘極。

2. 如申請專利範圍第1項所述之程式化處理方法，其中尚包括一步驟，施加第二電壓信號於上述選擇閘極上，使得上述源極區和上述汲極區間通道中置於上述選擇閘極下方之部分呈非反轉狀態。

3. 如申請專利範圍第1項所述之程式化處理方法，其中上述第一電壓為最大之正電壓值。

4. 一種快閃式記憶體之抹除處理方法，可適用於一三複晶矽層分離閘極快閃式記憶體，上述三複晶矽層分離閘極快閃式記憶體包括源極區、汲極區、置於上述源極區和



六、申請專利範圍

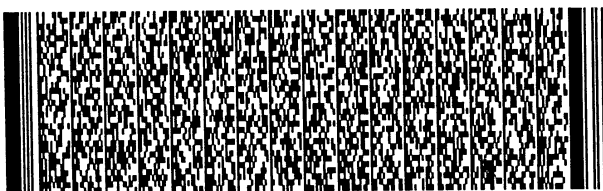
上述汲極區間通道上方和上述汲極區側之選擇閘極、置於上述源極區和上述汲極區間通道上方和上述源極區側之浮動閘極以及置於上述浮動閘極上方之控制閘極，上述抹除處理方法中在將電子從上述浮動閘極中釋放時包括下列步驟：

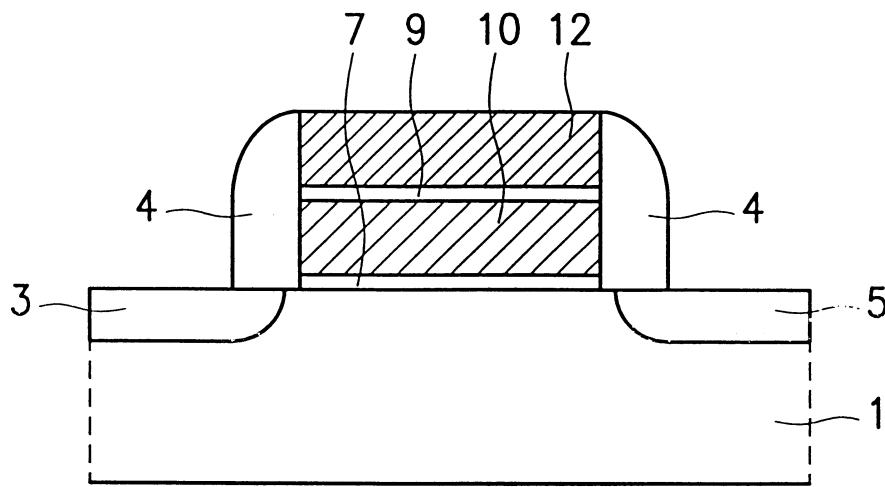
誘導出在上述汲極區和上述浮動閘極附近間之通道中的反轉層；以及

施加第一電壓信號於上述控制閘極，透過上述控制閘極和上述浮動閘極間耦合作用，用以使得上述浮動閘極中的電子經由穿隧效應進入通道，並且透過上述反轉層由上述汲極區加以釋放。

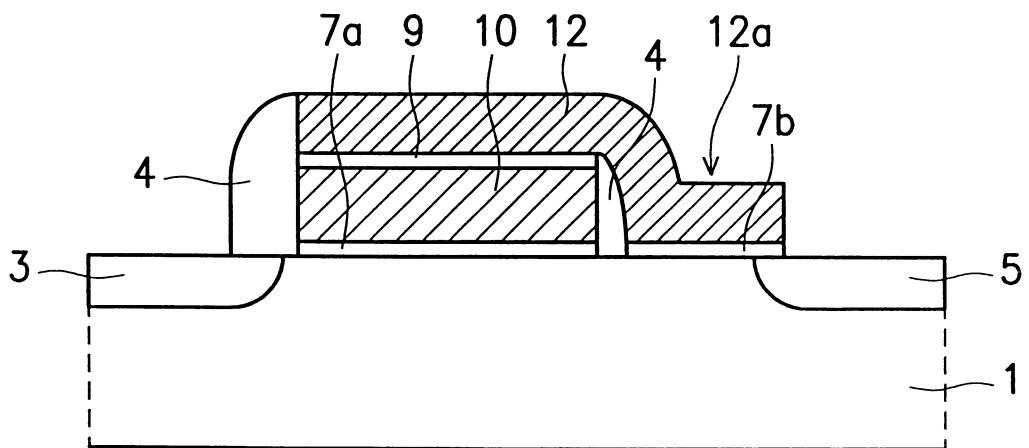
5. 如申請專利範圍第4項所述之抹除處理方法，其中尚包括一步驟，施加第二電壓信號於上述源極區，上述第二電壓信號相對於上述第一電壓信號為正，用以使得上述浮動閘極中的電子經由穿隧效應進入上述源極區加以釋放。

6. 如申請專利範圍第4項所述之抹除處理方法，其中上述第一電壓信號為最大之負電壓值。

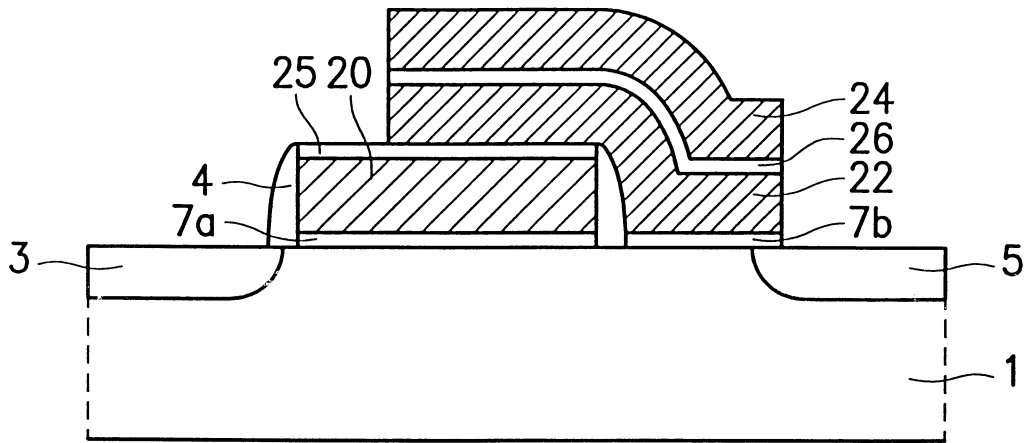




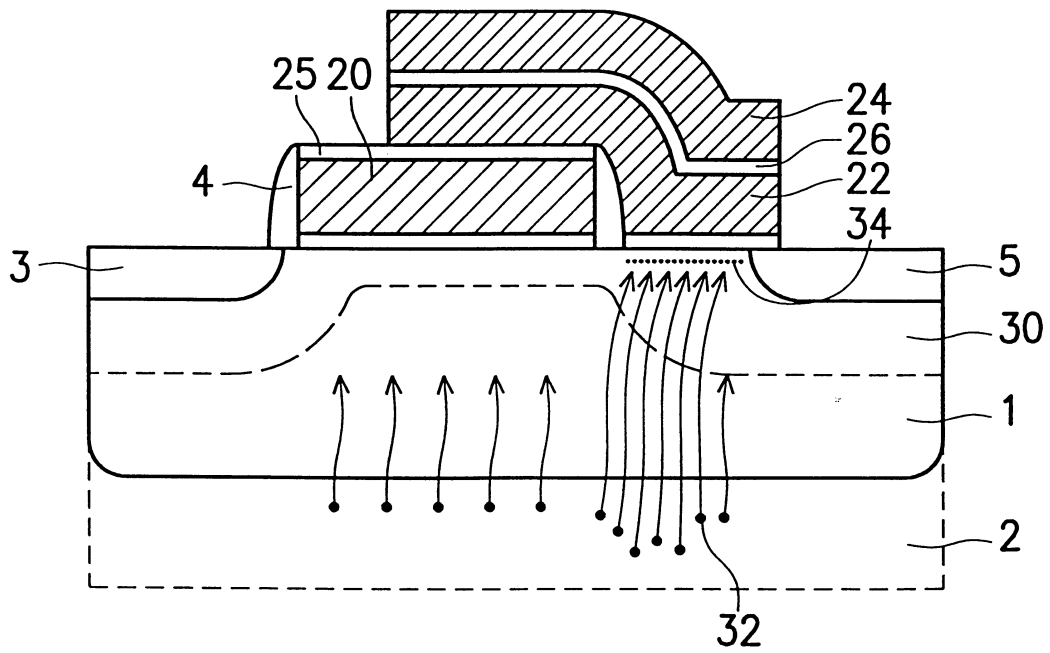
第 1 圖



第 2 圖



第 3 圖



第 4 圖

