

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY 129 674

Patent dodatkowy
do patentu —

Zgłoszono: 80 01 25 /P. 221 614/

Pierwszeństwo: —

Zgłoszenie ogłoszono: 81 08 07

Opis patentowy opublikowano: 1985 11 30

CZYTELNIA

Urzędu Patentowego
P. O. Box 1000, 00-100 Warszawa

Int. Cl.³ G06F 15/46

Twórcy wynalazku: Marek Mokrosz, Krystian Żymełka, Andrzej Kot,
Janusz Suchy, Zbigniew Isakow

Uprawniony z patentu: Ośrodek Badawczo-Rozwojowy Systemów Mechanizacji Elektrotechniki
i Automatyki Górniczej, Katowice /Polska/

REJESTRATOR CYFROWY O ZMIENNYM PROGRAMIE DZIAŁANIA

Przedmiotem wynalazku jest rejestrator cyfrowy o zmiennym programie działania przeznaczony do kontroli parametrów procesów technologicznych.

Dotychczas stosowane są w technice cyfrowej rejestratory cyfrowe o stałym programie działania lub uniwersalne maszyny cyfrowe. Rejestratory cyfrowe o stałym programie działania mają znacznie rozbudowaną i skomplikowaną strukturę urządzeniową bez możliwości modyfikacji programu działania. Oznacza to, że praktycznie dla każdego zastosowania należy przekonstruować w znacznym stopniu strukturę rejestratora i dostosować ją każdorazowo do istniejących potrzeb programowych. Uniwersalne maszyny cyfrowe stosowane obecnie do kontroli parametrów procesów technologicznych charakteryzują się możliwością modyfikacji programu działania oraz elastycznością struktury, osiągniętą kosztem rozbudowy struktury urządzeniowej oraz komplikacją obsługi. Wymagają one najczęściej zatrudnienia wysoko specjalizowanych fachowców informatyków.

Rejestrator cyfrowy o zmiennym programie działania zawiera blok arytmetyczno-sterujący połączony z blokami wejściowo-wyjściowymi za pomocą magistrali informacyjnej, linii sterowania, linii adresowych, linii gotowości i linii zgłoszenia. Blok arytmetyczno-sterujący zawiera układ pamięci z rejestrem adresowym i rejestrem danych, które są połączone z przełącznicą informacyjną, której wyjście połączone jest z jednym wejściem układu arytmetyczno-logicznego. Blok ten posiada również przełącznicę operacyjną z jednym wejściem spoczynkowym, której pozostałe wejścia łączą się odpowiednio z wyjściami trzech rejestrów operacyjnych, a której wyjście poprzez przełącznicę bitów łączy się z drugim wejściem układu arytmetyczno-logicznego. Wyjście układu arytmetyczno-logicznego połączone jest z wejściami rejestrów operacyjnych, rejestru adresowego i rejestru danych, a ponadto z wyjściem rejestru zgłoszeń i z jednym z wejść układu sterowania magistrali informacyjnej. Drugie wejście układu sterowania magistrali informacyjnej łączy się z wyjściem dekodera funkcji. Wyjście rejestru danych połączone jest ponadto z wejściami dekodera adresu i dekodera funkcji.

Każdy blok wejściowo-wyjściowy zawiera układ wejścia-wyjścia magistrali informacyjnej połączony z układem wejść-wyjść technologicznych oraz z przerzutnikiem gotowości. Ponadto każdy blok wejściowo-wyjściowy zawiera przerzutnik gotów i przerzutnik uprawnienia, które

łączą się z przerzutnikiem zgłoszenia przez układ selekcji priorytetu. Każdy blok zawiera układ badania gotowości połączony z wyjściem przerzutnika gotów. Każdy blok wejściowo-wyjściowy połączony jest z blokiem arytmetyczno-sterującym za pośrednictwem linii adresu zgłoszenia, łączącymi wyjście przerzutnika zgłoszenia z wejściem rejestru zgłoszenia, linią gotowości łączącą wyjście układu badania gotowości z wejściem rejestru gotowości, linią adresowej, łączącej odpowiednie wyjście dekodera adresu z odpowiadającym wejściem układu wejścia-wyjścia magistrali informacyjnej, wejściem przerzutnika gotów i uprawnienia oraz z wejściem układu badania gotowości, linią sterowania, łączącymi wejście dekodera funkcji z wejściem układu wejścia-wyjścia magistrali informacyjnej, wejściem przerzutnika gotów, uprawnienia i zgłoszenia, a także z wejściem układu selekcji priorytetów, magistrali informacyjnej, łączącej układ wejścia-wyjścia magistrali informacyjnej z wejściem przełącznicy informacyjnej i wyjściem układu sterowania magistrali informacyjnej.

Układy selekcji priorytetu poszczególnych bloków wejściowo-wyjściowych są połączone szeregowo, przy czym wyjście bloku uprzywilejowanego stanowi wejście podporządkowanego bloku.

Zaletą proponowanego rozwiązania jest zachowanie prostoty obsługi rejestratora stałoprogramowego przy zapewnieniu możliwości zmiany programu działania oraz elastycznej i prostej struktury urządzeniowej.

Urządzenie według wynalazku uwidoczniono w przykładowym wykonaniu na rysunku, na którym fig. 1 przedstawia schemat blokowy urządzenia, fig. 2 - schemat blokowy przerzutnika gotowości, fig. 3 - schemat blokowy przerzutnika zgłoszenia, a fig. 4 - schemat ideowy układu selekcji priorytetów.

Rejestrator cyfrowy o zmiennym programie działania uwidoczniony na fig. 1 zawiera blok arytmetyczno-sterujący 1 i dowolną ilość bloków wejściowo-wyjściowych 2, których liczba jest ograniczona liczbą wyjść A dekodera adresu 3. Blok wejściowo-wyjściowy 2 zawiera układ wejścia-wyjścia magistrali informacyjnej 4, połączony poprzez magistralę informacyjną 5 z wyjściem układu sterowania magistrali informacyjnej 6 i jednym wejściem przełącznicy informacyjnej 7. Układ wejścia-wyjścia magistrali informacyjnej 4 połączony jest za pośrednictwem układu wejść-wyjść technologicznych 8 z obiektem technologicznym za pomocą sygnałów wyjściowych B i wejściowych C.

Każdy blok wejściowo-wyjściowy 2 wyposażony jest w przerzutnik gotowości 9 i przerzutnik uprawnienia 10, których wyjścia połączone są z wejściem przerzutnika zgłoszenia 11 za pośrednictwem układu selekcji priorytetów 12. Ponadto wyjście przerzutnika gotowości 9 połączone jest z jednym wejściem układu badania gotowości 13, którego wyjście połączone jest linią gotowości 14 z rejestrem gotowości 15 umieszczonym w bloku arytmetyczno-sterującym 1. Wyjście przerzutnika zgłoszenia 11 połączone jest liniami adresu zgłoszenia 16 z rejestrem adresu zgłoszeń 17, umieszczonym również w bloku arytmetyczno-sterującym 1. Wyjścia A dekodera adresu 3 są połączone liniami adresowymi 18 każda z odpowiadającym jej wejściem układu wejścia-wyjścia magistrali informacyjnej 4, wejściem przerzutnika gotowości 9, wejściem przerzutnika uprawnienia 10 oraz drugim wejściem układu badania gotowości 13 każdego bloku wejściowo-wyjściowego 2. Wyjścia dekodera funkcji 19 bloku arytmetyczno-sterującego 1 są połączone liniami sterującymi 20 z wejściami układu wejścia-wyjścia magistrali informacyjnej 4, wejściami przerzutnika gotowości 9 i przerzutnika uprawnienia 10, wejściami układu selekcji priorytetów 12 i wejściami przerzutnika zgłoszenia 11 każdego bloku wejściowo-wyjściowego 2, a ponadto z jednym z wejść układu sterowania magistrali informacyjnej 6. Każdy układ selekcji priorytetów 12 bloku wejściowo-wyjściowego 2 ma jedno wejście blokujące D bloku wejściowo-wyjściowego 2 podporządkowanego, które jest połączone z wyjściem sterującym E uprzywilejowanego bloku wejściowo-wyjściowego 2.

Blok arytmetyczno-sterujący 1 zawiera układy pamięci 21 połączone z wyjściem rejestru adresowego 22 oraz z jednym z wejść i wyjść rejestru danych 23. Wyjście rejestru danych 23 jest połączone z wejściem przełącznicy informacyjnej 7, wejściem dekodera adresu 3 i wejściem dekodera funkcji 19, natomiast wyjście rejestru adresowego 22 jest połączone z wejściem

przełącznicy informacyjnej 7. Czwarte wejście przełącznicy informacyjnej 7 połączone jest z wyjściem rejestru gotowości 15. Wejście przełącznicy informacyjnej 7 połączone jest z jednym wejściem układu arytmetyczno-logicznego 24. Wejście układu arytmetyczno-logicznego 24 połączone jest z wyjściem rejestru adresu zgłoszeń 17, z drugim wejściem rejestru danych 23, z wejściem rejestru adresowego 22 oraz z wejściami rejestrów operacyjnych 25, 26, 27, a ponadto z wejściem układu sterowania magistrali informacyjnej 6. Wejście rejestrów operacyjnych 25, 26, 27 są połączone z odpowiednimi wejściami przełącznicy operacyjnej 28, której jedno z wejść jest wejściem spoczynkowym F, natomiast wyjście jest połączone poprzez przełącznicę bitów 29 z drugim wejściem układu arytmetyczno-logicznego 24. Do wejścia przełącznicy bitów 29 doprowadzony jest sygnał generowania adresu początkowego G, a do wejść przełącznicy informacyjnej 7 i przełącznicy operacyjnej 28 doprowadzony jest sygnał generowania adresu funkcyjnego H układu pamięci 21.

Przerzutnik gotowości 9 pokazany na fig. 2 zawiera elementy logiczne 30, 31, 32, 33 oraz dwa przerzutniki statyczne typu RS 34, 35 połączone ze sobą poprzez element logiczny 33. Wejście J jednego przerzutnika statycznego 34 stanowiące jedno z wejść układu selekcji priorytetów 12 jest połączone z jednym z wejść elementu logicznego 33, którego drugie wejście jest połączone linią sterowania 20 z układem dekodera funkcji 19, umieszczanego w bloku arytmetyczno-sterującym 1. Wejście dekodera funkcji 19 połączone jest z wejściem pobudzającym drugiego przerzutnika statycznego 35. Wejście pobudzające I pierwszego przerzutnika statycznego 34 jest połączone z wyjściem układu wejść-wyjść technologicznych 8, a jedno z wejść zerujących tego przerzutnika statycznego 34 jest połączone z wyjściem elementu logicznego 32, którego pierwsze wejście jest połączone z wyjściem K przerzutnika zgłoszenia 11, a drugie wejście połączone jest linią sterowania 20 z układem dekodera funkcji 19.

Drugie wejście ustawiające i drugie wejście zerujące pierwszego przerzutnika statycznego 34 są połączone odpowiednio z wyjściami elementów logicznych 30, 31, których jedno z wejść połączone jest z odpowiednim wyjściem A dekodera adresu 3 linią adresową 18. Drugie wejścia elementów logicznych 30, 31 są połączone linią sterowania 20 z odpowiednimi wyjściami układu dekodera funkcji 19. Natomiast wyjście elementu logicznego 31 połączone jest dodatkowo z wejściem zerującym drugiego przerzutnika statycznego 35. Wejście przerzutnika gotowości 9 stanowi wyjście L drugiego przerzutnika statycznego 35.

Przerzutnik zgłoszenia 11 w bloku wejściowo-wyjściowym 2, uwidoczniony na fig. 3, zawiera przerzutnik statyczny typu RS 36, którego wyjście K stanowi jedno z wejść przerzutnika gotowości 9 i jest połączone ze zwartymi razem wejściami elementów logicznych 37. Wejścia tych elementów logicznych 37 są połączone z wejściem rejestru adresu zgłoszeń 17 poprzez doprowadzone do bloków wejściowo-wyjściowych 2 linie adresu zgłoszenia 16. Wejście jednego z elementów logicznych 37 połączone jest w każdym bloku wejściowo-wyjściowym 2 z linią M adresu zgłoszenia, natomiast pozostałe wyjścia elementów logicznych 37 połączone są tylko z doprowadzonymi do tego złącza bloku wejściowo-wyjściowego 2 w zadanym kodzie adresu zgłoszenia N. Wejście pobudzające przerzutnika statycznego 36 jest połączone z wyjściem elementu logicznego 38, którego jedno wejście połączone jest linią sterowania 20 z dekoderek funkcji 19. Drugie wejście elementu logicznego 38 jest połączone z wyjściem O układu selekcji priorytetów 12. Natomiast wejście ustawiające w stan spoczynkowy przerzutnik statyczny 36 jest połączone linią sterowania 20 z dekoderek funkcji 19.

Układ selekcji priorytetów 12 bloku wejściowo-wyjściowego 2 uwidoczniony na fig. 4 zawiera elementy logiczne 39, 40, 41, 42, w których wejście jednego elementu logicznego 39 jest połączone z wyjściem L przerzutnika gotowości 9, drugie wejście tego elementu logicznego 39 jest połączone z wyjściem P przerzutnika usprawnienia 10, trzecie wejście tego elementu logicznego 39 jest połączone z dekoderek funkcji 19 w bloku arytmetyczno-sterującym 1 poprzez linie sterujące 20. Wejście elementu logicznego 39 jest połączone z wejściem następnego elementu logicznego 40 i jednym z wejść innego elementu logicznego 41,

którego drugie wejście stanowi sygnał blokady D. Wejście tego elementu logicznego 41 stanowi sygnał sterowania E. Wejście elementu logicznego 40 jest połączone z jednym wyjściem kolejnego elementu logicznego 42, do którego pozostałych wejść jest doprowadzony sygnał blokady D, sygnał z linii sterującej 20 i sygnał wyjściowy J przerzutnika statycznego 34. Sygnał wyjściowy O elementu logicznego 42 stanowi wejście pobudzające przerzutnika zgłoszeń 11.

Urządzenie według wynalazku działa następująco: pojawienie się odpowiedniej sekwencji lub kombinacji sygnałów na wejściach technologicznych C bloku wejściowo-wyjściowego 2, wykrywanych w układzie wejść-wyjść technologicznych 8, powoduje pobudzenie przerzutnika gotowości 9. Jeśli pobudzony jest także przerzutnik uprawnienia 10, a na wejściu blokującym D układu selekcji priorytetów 12 nie ma sygnału blokady, pobudzony zostaje przerzutnik zgłoszenia 11. Adres zgłoszonego bloku wejściowo-wyjściowego 2 zostaje za pośrednictwem linii adresu zgłoszenia 16 przesłany do rejestru adresu zgłoszeń 17, a stąd przesłany jest do rejestru adresowego 22. Z układów pamięci 21 zostaje odczytana sekwencja rozkazów i danych do przetwarzania przypisanych do odpowiedniego bloku wejściowo-wyjściowego 2 rozpoznawana adresem zgłoszenia. Stan rejestru danych 23 zostaje w dekoderyze adresu 3 zamieniony na sygnały adresowe A, a w dekoderyze funkcji 19 na sygnały sterujące przesłane liniami sterowania 20 do bloku wejściowo-wyjściowego 2 wybranego linią adresową 18. Sygnały z wejść technologicznych C bloku wejściowo-wyjściowego 2 są przesłane za pośrednictwem układu wejść-wyjść technologicznych 8, układu wejścia-wyjścia magistrali informacyjnej 4 i magistrali informacyjnej 5, oraz przełącznicy informacyjnej 7 na jedno wejście układu arytmetyczno-logicznego 24, a z jego wyjścia do wybranego rejestru operacyjnego 25, 26, 27 lub rejestru danych 23, gdzie dokonwane jest ich dalsze przetwarzanie.

Jeżeli przerzutnik uprawnienia 10 bloku wejściowo-wyjściowego 2 nie jest pobudzony lub na wejściu blokującym D układu selekcji priorytetów 12 jest sygnał blokady, to przerzutnik zgłoszenia 11 nie może zostać pobudzony. Stan przerzutnika gotowości 9 bloku wejściowo-wyjściowego 2 może być testowany przez blok arytmetyczno-sterujący 1 za pośrednictwem układu badania gotowości 13, umieszczonego w bloku wejściowo-wyjściowym 2 i układów: rejestru gotowości 15, dekodera adresu 3 i dekodera funkcji 19, umieszczonych w bloku arytmetyczno-sterującym 1. Przetworzona zawartość rejestrów operacyjnych 25, 26, 27 lub zawartość rejestru danych 23 może być za pośrednictwem przełącznicy informacyjnej 7, lub przełącznicy operacyjnej 28 i przełącznicy bitów 29, układ arytmetyczno-logiczny 24, układ sterowania magistrali informacyjnej 6, magistralę informacyjną 5, układ wejścia-wyjścia magistrali informacyjnej 4 oraz układ wejść-wyjść technologicznych 8 przesłana do obiektu technologicznego w postaci sygnałów wyjściowych B.

Uruchomienie rejestratora realizowane jest przez przyciśnięcie przycisku START na pulpicie operatorskim. Generowany jest wówczas sygnał G na wejściu strobojącym przełącznicy bitów 29, zbudowanej z elementów logicznych typu selektor-multiplekser, który powoduje zadanie na jej wyjściu początkowego adresu. Adres ten poprzez układ arytmetyczno-logiczny 24 zostaje przesłany do rejestru adresu 22 i powoduje odczytanie z układów pamięci 21 sekwencji rozkazów uaktywniających współpracę rejestratora z obiektem technologicznym. Wejście strobojące H przełącznicy operacyjnej 28 i przełącznicy informacyjnej 7 zbudowanych z tych samych elementów logicznych typu selektor-multiplekser jest wysterowywane w trakcie pracy rejestratora dla uzyskania adresów funkcyjnych, a rezultat pojawienia się sygnału H jest identyczny z wyżej opisanym sygnałem G, różnica polega jedynie na wartości adresu.

Z a s t r z e ż e n i a p a t e n t o w e

1. Rejestrator cyfrowy o zmiennym programie działania, zawierający blok arytmetyczno-sterujący połączony z blokami wejściowo-wyjściowymi, z n a m i e n n y t y m , że posiada układ pamięci /21/, którego jedno wejście połączone jest z jednym z wyjść rejestru adresu /22/, a drugie wejście z jednym z wyjść rejestru danych /23/, przy czym drugie wyjście rejestru danych /23/ połączone jest równolegle z wejściem dekodera adresu /3/ oraz z wejściem dekodera funkcji /19/, a ponadto z jednym z wejść przełącznicy informacyjnej /7/, której wyjście połączone jest z jednym z wejść układu arytmetyczno-logicznego /24/, którego wyjście jest połączone równolegle z wyjściem rejestru adresu zgłoszeń /17/ oraz z drugim wejściem rejestru danych /23/, z wejściem rejestru adresu /22/, z wejściem rejestrów operacyjnych /25, 26, 27/ oraz z wejściem układu sterowania magistrali informacyjnej /6/, przy czym drugie wyjście rejestru adresu /22/ połączone jest z odpowiednim wejściem przełącznicy informacyjnej /7/, a wyjścia rejestrów operacyjnych /25, 26, 27/ połączone są z odpowiednimi wejściami przełącznicy operacyjnej /28/, mającej jedno wejście spoczynkowe /F/, a której wyjście połączone jest z wejściem przełącznicy bitów /29/ o wyjściu połączonym z drugim wejściem układu arytmetyczno-logicznego /24/, a ponadto wyjście układu sterowania /6/ magistrali informacyjnej /5/ połączone jest z odpowiednim wejściem przełącznicy informacyjnej /7/, a za pośrednictwem magistrali informacyjnej /5/ z układem wejścia-wyjścia /4/ bloków wejściowo-wyjściowych /2/, które z kolei połączone są z układami wejść-wyjść technologicznych /8/ połączonymi przewodami wyjściowymi /B/ i wejściowymi /C/ z obiektem technologicznym, a ponadto wyjście każdego układu wejść-wyjść technologicznych /8/ połączone jest z jednym wejściem przerzutnika gotowości /9/, którego wyjście połączone jest z odpowiednim wejściem układu selekcji priorytetów /12/ oraz z jednym z wejść układu badania gotowości /13/, przy czym układy selekcji priorytetów /12/ bloków wejściowo-wyjściowych /2/ są połączone ze sobą szeregowo przewodami /E, D/, że wyjście sterujące /E/ uprzywilejowanego bloku wejściowo-wyjściowego /2/ stanowi wejściowy sygnał blokujący /D/ podporządkowanego bloku wejściowo-wyjściowego /2/, a ponadto wyjście układu badania gotowości /13/ za pośrednictwem linii gotowości /14/ połączone jest z rejestrem gotowości /15/ umieszczonym w bloku arytmetyczno-sterującym /1/, natomiast wejście rejestru gotowości /15/ połączone jest z odpowiednim wejściem przełącznicy informacyjnej /7/, oraz wyjścia /A/ dekodera adresu /3/ za pośrednictwem linii adresu /18/ są połączone w każdym bloku wejściowo-wyjściowym /2/ z wejściem układu wejścia-wyjścia magistrali informacyjnej /4/, z wejściem przerzutnika gotowości /9/, z wejściem przerzutnika uprawnienia /10/ oraz z drugim wejściem układu badania gotowości /13/, natomiast wyjście dekodera funkcji /19/ łączy się z jednym z wejść układu sterowania magistrali wejściowo-wyjściowej /6/, a za pośrednictwem linii sterowania /20/ połączone jest w każdym bloku wejściowo-wyjściowym /2/ równolegle z wejściem układu wejścia-wyjścia magistrali informacyjnej /4/, z wejściem przerzutnika gotowości /9/, z wejściem układu selekcji priorytetów /12/, z wejściem przerzutnika zgłoszenia /11/ oraz z wejściem przerzutnika uprawnienia /10/, którego wyjście połączone jest z odpowiednim wejściem układu selekcji priorytetów /12/, natomiast wyjście przerzutnika zgłoszenia /11/ połączone jest liniami adresu zgłoszenia /16/ z wejściem rejestru adresu zgłoszenia /17/ umieszczonego w bloku arytmetyczno-sterującym /1/.

2. Rejestrator według zastrz. 1, z n a m i e n n y t y m , że przerzutnik /9/ zawiera elementy logiczne /30, 31, 32, 33/ oraz dwa przerzutniki statyczne RS /34, 35/ połączone ze sobą poprzez element logiczny /33/, przy czym wyjście /J/ jednego przerzutnika statycznego /34/ stanowiące jedno z wejść układu selekcji priorytetów /12/ połączone jest z jednym z wejść elementu logicznego /33/, którego drugie wejście połączone jest linią sterowania /20/ z układem dekodera funkcji /19/ umieszczonym w bloku arytmetyczno-sterującym /1/, a którego wyjście połączone jest z wejściem pobudzającym drugiego prze-

rzutnika statycznego /35/, ponadto wejście pobudzające /I/ pierwszego przerzutnika statycznego /34/ połączone jest z wyjściem układu wejść-wyjść technologicznych /8/, a jedno z wejść zerujących tego przerzutnika statycznego /34/ połączone jest z wyjściem elementu logicznego /32/, którego pierwsze wejście jest połączone z wyjściem /K/ przerzutnika zgłoszenia /11/, a drugie wejście połączone jest linią sterowania /20/ z układem dekodera funkcji /19/ umieszczonym w bloku arytmetyczno-sterującym, ponadto drugie wejście ustawiające i drugie wejście zerujące pierwszego przerzutnika statycznego /34/ połączone są odpowiednio z wyjściami elementów logicznych /30, 31/, których jedno z wejść połączone jest z odpowiednim wyjściem /A/ dekodera adresu /3/ linią adresową /18/, a drugie wejścia połączone są linią sterowania /20/ z odpowiednimi wyjściami układu dekodera funkcji /19/ bloku arytmetyczno-sterującego /1/, natomiast wyjście elementu logicznego /31/ połączone jest dodatkowo z wejściem zerującym drugiego przerzutnika statycznego /35/, przy czym wyjście przerzutnika gotowości /9/ stanowi wyjście /L/ drugiego przerzutnika statycznego /35/.

3. Rejestrator według zastrz. 1, z n a m i e n n y t y m , że przerzutnik zgłoszenia /11/ bloku wejściowo-wyjściowego /2/ zawiera przerzutnik statyczny RS /36/, którego wyjście /K/ stanowi jedno z wejść przerzutnika gotowości /9/ i jest połączone ze zwartymi razem wejściami elementów logicznych /37/, a wyjścia tych elementów logicznych /37/ są połączone z wejściem rejestru adresu zgłoszeń /17/ poprzez doprowadzone do bloków wejściowo-wyjściowych /2/ linie adresu zgłoszenia /16/, przy czym wyjście jednego z elementów logicznych /37/ połączone jest w każdym bloku wejściowo-wyjściowym /2/ z linią /M/ adresu zgłoszenia, natomiast pozostałe wyjścia elementów logicznych /37/ połączone są tylko z doprowadzonymi do tego złącza bloku wejściowo-wyjściowego /2/ w zadanym kodzie adresu zgłoszenia /N/, a ponadto wejście pobudzające przerzutnika statycznego /36/ połączone jest z wyjściem elementu logicznego /38/, którego jedno wejście połączone jest linią sterowania /20/ z dekoderek funkcji /19/, a drugie wejście z wyjściem /O/ układu selekcji priorytetów /12/, natomiast wejście ustawiające w stan spoczynkowy przerzutnik statyczny /36/ jest połączone linią sterowania /20/ z dekoderek funkcji /19/ znajdującym się w bloku arytmetyczno-sterującym /1/.

4. Rejestrator według zastrz. 1, z n a m i e n n y t y m , że układ selekcji priorytetów /12/ bloku wejściowo-wyjściowego /2/ zawiera elementy logiczne /39, 40, 41, 42/, w których wejście jednego elementu logicznego /39/ jest połączone z wejściem /L/ przerzutnika gotowości /9/, drugie wejście tego elementu logicznego /39/ połączone jest z wyjściem /P/ przerzutnika uprawnienia /10/, a trzecie wejście elementu logicznego /39/ połączone jest z dekoderek funkcji /19/ w bloku arytmetyczno-sterującym /1/ poprzez linie sterujące /20/, natomiast wyjście tego elementu logicznego /39/ połączone jest z wejściem następnego elementu logicznego /40/ i jednym z wejść innego elementu logicznego /41/, którego drugie wejście stanowi sygnał blokady /D/, natomiast wyjście tego elementu logicznego /41/ stanowi sygnał sterowania /E/, przy czym wyjście drugiego elementu logicznego /40/ połączone jest z jednym wejściem kolejnego elementu logicznego /42/, do którego pozostałych wejść doprowadzony jest sygnał blokady /D/, sygnał z linii sterującej /20/ i sygnał wyjściowy /J/ przerzutnika statycznego /34/, przy czym sygnał wyjściowy /O/ elementu logicznego /42/ stanowi wejście pobudzające przerzutnika zgłoszeń /11/.

5. Rejestrator według zastrz. 1, z n a m i e n n y t y m , że przełącznica informacyjna /7/, przełącznica operacyjna /28/ oraz przełącznica bitów /29/ są zbudowane z elementów logicznych typu selektor-multiplekser, w których wykorzystane są wejścia sterujące /G, H/ do generowania adresów - początkowego i funkcyjnego układu pamięci /21/ w bloku arytmetyczno-sterującym /1/.

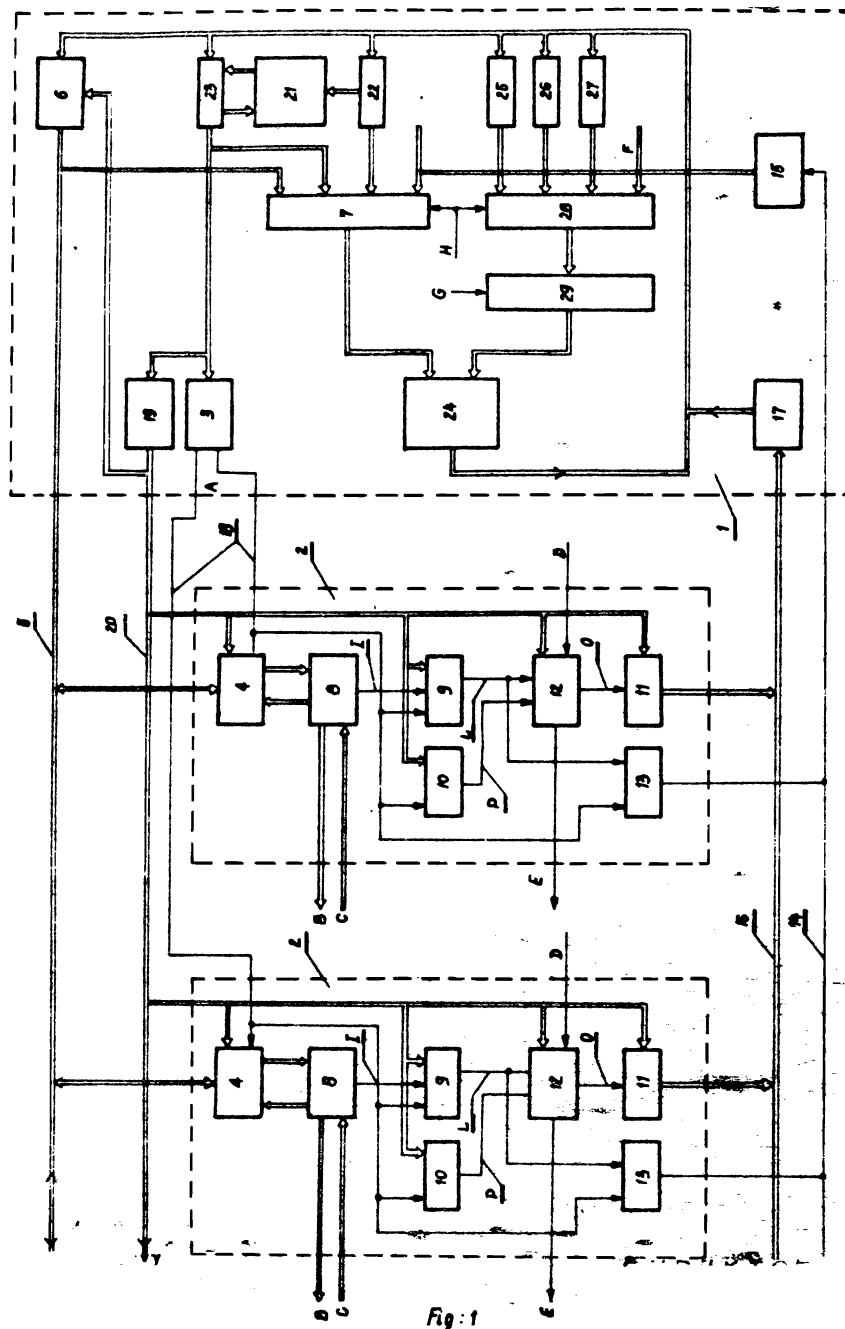


Fig. 1

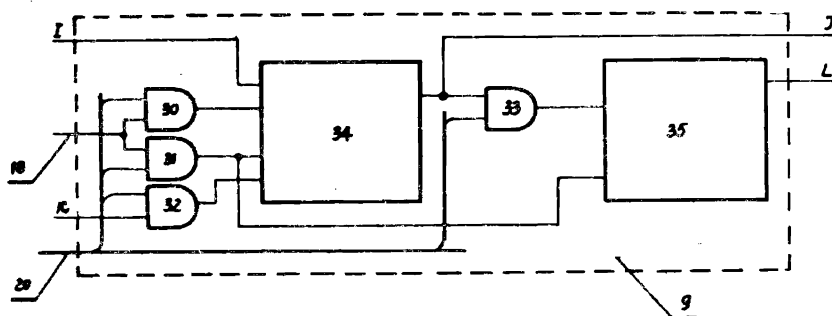


Fig. 2

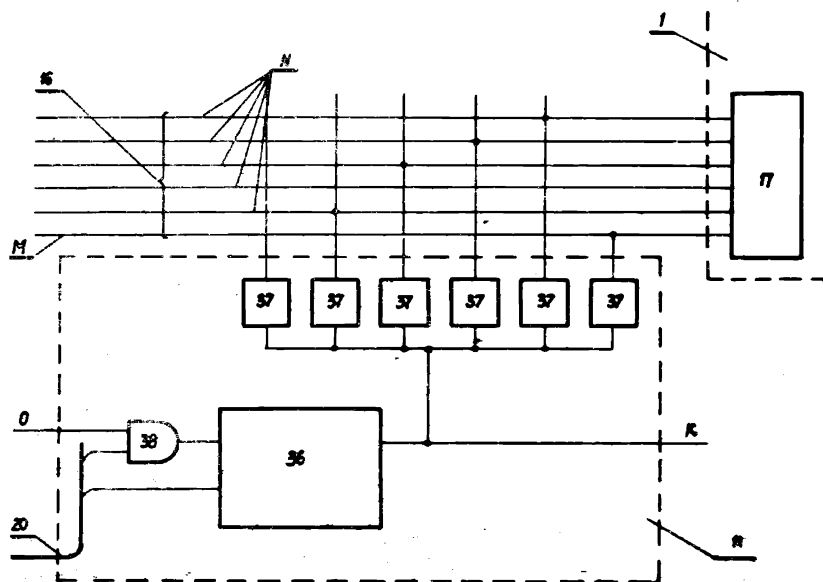


Fig. 3

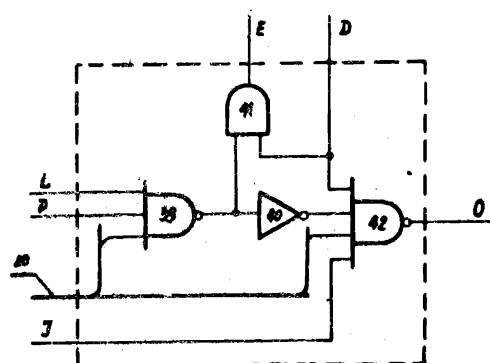


Fig. 4