

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4439552号
(P4439552)

(45) 発行日 平成22年3月24日 (2010. 3. 24)

(24) 登録日 平成22年1月15日 (2010. 1. 15)

(51) Int. Cl.

F I

G 0 9 G 3 / 3 0 (2006. 01)
G 0 9 G 3 / 2 0 (2006. 01)G 0 9 G 3 / 3 0 J
G 0 9 G 3 / 2 0 6 2 3 B
G 0 9 G 3 / 2 0 6 4 1 D
G 0 9 G 3 / 2 0 6 1 1 J
G 0 9 G 3 / 2 0 6 7 0 E

請求項の数 5 (全 12 頁) 最終頁に続く

(21) 出願番号 特願2007-260811 (P2007-260811)
(22) 出願日 平成19年10月4日 (2007. 10. 4)
(65) 公開番号 特開2009-92744 (P2009-92744A)
(43) 公開日 平成21年4月30日 (2009. 4. 30)
審査請求日 平成21年3月16日 (2009. 3. 16)(73) 特許権者 308033711
O K I セミコンダクタ株式会社
東京都八王子市東浅川町550番地1
(74) 代理人 100079119
弁理士 藤村 元彦
(74) 代理人 100109036
弁理士 永岡 重幸
(74) 代理人 100147728
弁理士 高野 信司
(72) 発明者 内田 浩文
東京都港区虎ノ門1丁目7番12号 沖電
気工業株式会社内
(72) 発明者 本田 隆
東京都港区虎ノ門1丁目7番12号 沖電
気工業株式会社内

最終頁に続く

(54) 【発明の名称】 電流源装置

(57) 【特許請求の範囲】

【請求項 1】

電流出力FETと、前記電流出力FETのソース側およびドレイン側の各々に直列に接続されて直列回路を形成する第1および第2スイッチFETと、前記第1スイッチFETに電源電圧の正側電位を印加するとともに前記第2スイッチFETに前記電源電圧の負側電位を印加して前記直列回路に前記電源電圧を供給する電源電圧供給手段と、前記電流出力FETと前記第2スイッチFETとの間に接続された出力端子と、を各々が含む複数の電流出力回路と、前記電流出力FETの各々のゲートに共通のゲート電圧を供給するゲート電圧供給回路と、を含む電流源装置であって、

前記電流出力回路の各々は、前記電流出力FETと前記出力端子との間に設けられた第3スイッチFETを更に有することを特徴とする電流源装置。

10

【請求項 2】

前記電流出力回路の各々は、前記第2および第3スイッチFETからなる直列回路に並列接続されている電位固定FETを更に有することを特徴とする請求項1に記載の電流源装置。

【請求項 3】

前記電位固定FETは、前記第2スイッチFETよりもスイッチングタイムが遅いことを特徴とする請求項2に記載の電流源装置。

【請求項 4】

前記電位固定FETに直列接続された抵抗素子を更に有することを特徴とする請求項3に

20

記載の電流源装置。

【請求項 5】

前記第 1 および第 3 スイッチ FET は PMOS トランジスタであり、前記第 2 スイッチ FET は NMOS トランジスタであることを特徴とする請求項 1 乃至 4 のいずれか 1 に記載の電流源装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路等において使用され、特に複数の発光素子がマトリックス状に配置されて構成される画像表示装置において該発光素子の各々に対する発光駆動電流の供給に適した電流源装置に関する。

10

【背景技術】

【0002】

図 1 は、一般的な有機エレクトロルミネッセンス（以下有機 EL と称する）を使用した画像表示装置の概略構成を示したブロック図である。同図に示す如く、表示パネル 4 には、 n 本のデータライン $A_1 \sim A_n$ 及びこれと交差して配列された m 本の走査ライン $B_1 \sim B_m$ が形成されており、データライン及び走査ラインの各交差部には画素を担う有機 EL 素子 $E_{1,1} \sim E_{m,n}$ が形成されている。すなわち、表示パネルに形成された $m \times n$ 個の有機 EL 素子の発光によって、表示されるべき画像が構成される。

【0003】

20

走査ライン $B_1 \sim B_m$ は、走査ラインスイッチ $SWB_1 \sim SWB_m$ を含む走査ライン駆動部 2 に接続され、この走査ラインスイッチのスイッチング動作によって、各走査ラインには接地電位若しくは所定の正電位 VH （例えば $10V$ ）が印加されるようになっている。各走査ラインスイッチ $SWB_1 \sim SWB_m$ は、制御部 1 から供給される制御信号に従って、走査ラインに順次接地電位を印加していく。すなわち、各走査ラインには順次一定の時間間隔で接地電位が印加され、この期間が走査ラインの選択期間とされる。

【0004】

一方、データライン $A_1 \sim A_n$ は、各データラインに供給すべき駆動電流を生成する電流源 $J_1 \sim J_n$ 及びデータラインスイッチ $SWA_1 \sim SWA_n$ を含むデータライン駆動部 3 に接続され、このデータラインスイッチのスイッチング動作によって、各データラインは電流源 $J_1 \sim J_n$ 若しくは接地電位のいずれかに接続されるようになっている。各データラインスイッチ $SWA_1 \sim SWA_n$ は、制御部 1 から供給される制御信号に従って、走査ラインの選択期間に同期して、データライン $A_1 \sim A_n$ を選択的に電流源に接続する。走査ラインスイッチによって選択された走査ライン上の有機 EL 素子のうち、データラインスイッチによって電流源と接続されたものは、電流源から発光駆動電流が供給され、当該発光駆動電流に応じた輝度で発光する。

30

【0005】

例えば、図 1 においては、走査ライン B_1 が走査ラインスイッチ SWB_1 によって接地電位に接続されることによって選択され、データライン A_2 および A_3 がデータラインスイッチ SWA_2 、 SWA_3 によってそれぞれ電流源 J_2 および J_3 に接続されている。これにより、走査ライン B_1 とデータライン A_2 及び A_3 の各交差部に設けられた有機 EL 素子 $E_{1,2}$ および $E_{1,3}$ には、電流源 J_2 および J_3 からそれぞれ発光駆動電流が供給され、当該発光駆動電流に応じた輝度で発光する。全ての走査ライン $B_1 \sim B_m$ は、所定のフレーム期間内において順次選択され、これに同期して輝度に応じた発光駆動電流が有機 EL 素子に供給され、発光することによって 1 画面が構成される。

40

【0006】

図 2 は、上記した画像表示装置において、データライン $A_1 \sim A_n$ を介して各有機 EL 素子に発光駆動電流を供給する電流源 $J_1 \sim J_n$ を構成する電流源装置の等価回路図である。電流源装置は単一のゲート電圧供給部 10 と、各データライン $A_1 \sim A_n$ の各々に対応する n 個の電流出力回路 30-1 $\sim$ 30- n からなる出力部 20 と、により構成される。

50

【 0 0 0 7 】

ゲート電圧供給部10は、演算増幅器OP1と、PMOSトランジスタP1およびP2と、抵抗R1とにより構成される。演算増幅器OP1の反転入力端子には所定の基準電圧V1が供給され、演算増幅器OP1の出力はPMOSトランジスタP2のゲートに接続される。PMOSトランジスタP2のソースはPMOSトランジスタP1のドレインに接続され、ドレインは一端が所定の負側電位V_sに固定された抵抗R1に接続される。PMOSトランジスタP2と抵抗R1との接続点の電位は演算増幅器OP1の非反転入力端子に供給される。PMOSトランジスタP1のゲートは負側電位V_{ss}に固定され、ソースには電源電圧V_{dd}が印加される。かかる構成のゲート電圧供給部10においては、演算増幅器OP1の出力によってPMOSトランジスタP2のゲート電圧が制御されることにより、PMOSトランジスタP1、P2および抵抗R1を経由する電流経路には基準電圧V1に応じた基準電流I1が流れる。尚、PMOSトランジスタP1は常時オン状態であるが、所定のオン抵抗を有しているため、抵抗素子として機能する。

10

【 0 0 0 8 】

出力部20は、上記したように各データラインA₁ ~ A_nに対応するn個の電流出力回路30-1 ~ 30-nによって構成され、各電流出力回路30-1 ~ 30-nはそれぞれ同一の構成を有する。各電流出力回路において、PMOSトランジスタP4は、ゲートがPMOSトランジスタP2のゲートラインすなわち、演算増幅器OP1の出力ラインに接続され、データラインに供給すべき出力電流を発生せしめる電流出力FETとして機能する。つまり、各電流出力回路において、PMOSトランジスタP4のゲートには共通のゲート電圧が供給される。PMOSトランジスタP4のドレインはNMOSトランジスタN1のドレインに接続され、ソースはPMOSトランジスタP3のドレインに接続される。NMOSトランジスタN1のソースは負側電位V_{ss}に固定され、ゲートには制御部1より制御信号NSWが供給される。PMOSトランジスタP4とNMOSトランジスタN1の接続点には出力端子OUT1 ~ OUTnが設けられ、出力端子OUT1 ~ OUTnにはそれぞれデータラインA₁ ~ A_nが接続される。PMOSトランジスタP3のソースには電源電圧V_{dd}が印加され、ゲートには制御部1より制御信号PSWが供給される。かかる構成の電流源装置においてPMOSトランジスタP2とP4、PMOSトランジスタP1とP3のディメンション（ゲート幅とゲート長の比W/L）を同一とすることにより、各出力端子OUT1 ~ OUTnからは基準電流I1と同じ電流値を示す出力電流を得ることができ、各データラインA₁ ~ A_nに対して均一に発光駆動電流を供給することが可能となる。

20

【 0 0 0 9 】

PMOSトランジスタP3およびNMOSトランジスタN1は、出力電流をデータラインに供給するか否かを切り替えるデータラインスイッチSW_{A1} ~ SW_{An}に相当する。PMOSトランジスタP3のゲートにLowレベルの制御信号が供給されるとともにNMOSトランジスタN1のゲートにLowレベルの制御信号が供給されると、PMOSトランジスタP3はオン状態となり、NMOSトランジスタN1はオフ状態となる。これにより出力端子の電位はHighレベルとなり、データラインには発光駆動電流が供給される。一方、PMOSトランジスタP3のゲートにHighレベルの制御信号が供給されるとともにNMOSトランジスタN1のゲートにHighレベルの制御信号が供給されると、PMOSトランジスタP3はオフ状態となり、NMOSトランジスタN1はオン状態となる。これにより出力端子の電位はLowレベルとなり、データラインへの電流供給は停止される。すなわち、PMOSトランジスタP3およびNMOSトランジスタN1は、電流出力FETとして機能するPMOSトランジスタP4を挟んでそれぞれ電源および負側電位に接続された正側（ハイサイド）スイッチおよび負側（ローサイド）スイッチを構成する。そして、これら正側および負側スイッチがデータラインへの電流供給のオンオフを切り替えることにより、スイッチング電流経路が形成される。かかる電流源装置の出力電流のオンオフ制御は電流出力回路30-1 ~ 30-n毎になされ、データライン毎に発光駆動電流の供給および供給停止が制御される。

30

40

【 0 0 1 0 】

上記した如き構成を有する有機EL画像表示装置に用いられる電流源装置は、例えば特許文献1に記載されている。

【特許文献1】特開2003-131617号公報

50

【発明の開示】

【発明が解決しようとする課題】

【0011】

図3は、上記した従来構成の電流源装置において、全ての電流源回路30-1～30-nが各データラインに対して出力電流を供給している状態からn番目の電流出力回路30-nについては出力電流の供給を継続させ、それ以外の1番目からn-1番目の電流出力回路については電流供給を停止状態に移行させたときの各部の動作波形示している。かかる場合、1番目からn-1番目の電流出力回路においては、各データラインに対して電流供給を停止させるタイミングで制御信号PSWおよびNSWは、共にLowレベルからHighレベルに切り替えられる。一方、電流供給を維持すべきn番目の電流出力回路30-nにおいては制御信号PSWおよびNSWは、Lowレベルが維持される。尚、かかる制御信号PSWおよびNSWの入力制御は画像データに基づいて制御部1によってなされる。

10

【0012】

ここで、各電流出力回路30-1～30-nのPMOSトランジスタP4の各々のゲート・ドレイン間には寄生容量C1が存在し、演算増幅器OP1の出力からみた合成容量は $n \cdot C1$ となる。つまり、演算増幅器OP1の出力ラインには大容量のキャパシタが接続されているものとみなすことができる。この場合において、1番目からn-1番目の電流出力回路のNMOSトランジスタN1の各々が、制御信号NSWの切り替わりに応じて一斉にオン状態となると、上記寄生容量C1の各々に充電電流が一斉に流れる。かかる寄生容量C1への充電が短時間で起る程、充電電流の瞬時値は増大し、演算増幅器OP1の駆動能力が低いと、図3に示す如く演算増幅器OP1の出力ラインの電位は、充電期間中一次的に低下する。演算増幅器OP1の出力ラインの電位が一次的に低下すると、電流供給を継続させるべき電流出力回路30-nにおいては、所定の定電流を出力すべく制御されたPMOSトランジスタP4のゲート電圧が低下することになるため、出力電流が所定の制御値を超えて上昇するといった誤動作が発生する。その結果、データラインAnに接続された有機EL素子には、誤動作により増加した発光駆動電流が一時的に供給されることになり発光輝度に影響を及ぼすといった問題が生じていた。

20

【0013】

本発明は、上記した点に鑑みてなされたものであり、個別に出力電流のオンオフ制御が可能な複数の電流出力回路を備えた電流源装置において、多数の電流出力回路の出力を一斉に切り替えることによって生じる誤動作を防止することができる電流源装置を提供することを目的とする。

30

【課題を解決するための手段】

【0014】

本発明に係る電流源装置は、電流出力FETと、前記電流出力FETのソース側およびドレイン側の各々に直列に接続されて直列回路を形成する第1および第2スイッチFETと、前記第1スイッチFETに電源電圧の正側電位を印加するとともに前記第2スイッチFETに前記電源電圧の負側電位を印加して前記直列回路に前記電源電圧を供給する電源電圧供給手段と、前記電流出力FETと前記第2スイッチFETとの間に接続された出力端子と、を各々が含む複数の電流出力回路と、前記電流出力FETの各々のゲートに共通のゲート電圧を供給するゲート電圧供給回路と、を含む電流源装置であって、前記電流出力回路の各々は、前記電流出力FETと前記出力端子との間に設けられた第3スイッチFETを更に有することを特徴としている。

40

【発明の効果】

【0015】

本発明の電流源装置によれば、個別に出力電流のオンオフ制御が可能な複数の電流出力回路を備えた電流源装置において、多数の電流出力回路の出力を同時に切り替えた際に生じる誤動作を防止することが可能となる。

【発明を実施するための最良の形態】

【0016】

50

以下、本発明の実施例について図面を参照しつつ説明する。尚、以下に示す図において、実質的に同一又は等価な構成要素、部分には同一の参照符を付している。

(第1実施例)

図4は、本発明の第1実施例に係る電流源装置100の構成を示す等価回路図である。尚、図4においては、図2において示した従来の電流源装置の構成と共通する部分については、同一の符号を付している。本発明の電流源装置100は、従来構成のものと同様、単一のゲート電圧供給部40とデータライン $A_1 \sim A_n$ の各々に対応する n 個の電流出力回路60-1～60- n からなる出力部50により構成される。

【0017】

ゲート電圧供給部40は、抵抗 $R1$ とPMOSトランジスタ $P2$ との間にPMOSトランジスタ $P10$ が設けられている点が上記従来構成のものと異なる。すなわち、PMOSトランジスタ $P10$ はソースがPMOSトランジスタ $P2$ のドレインに接続され、ドレインが抵抗 $R1$ に接続され、ゲートが負側電位 V_{ss} に固定されている。演算増幅器 $OP1$ の非反転入力端子はPMOSトランジスタ $P10$ と抵抗 $R1$ との接続点に接続される。かかる構成においてPMOSトランジスタ $P10$ は常時オン状態となるが所定のオン抵抗を有しているため、抵抗素子として機能する。PMOSトランジスタ $P10$ が上記した箇所に配置されるのは、後述する電流出力回路60-1～60- n の各々においてPMOSトランジスタ $P11$ が従来構成のものに対して追加されたことに対応させたものであり、各電流出力回路において基準電流 $I1$ と同一の電流値を示すミラー電流を発生させるためである。

【0018】

各電流出力回路60-1～60- n においては、PMOSトランジスタ $P3$ (第1スイッチFET)が電流出力FETとして機能するPMOSトランジスタ $P4$ のソース側に直列接続され、NMOSトランジスタ $N1$ (第2スイッチFET)が後述するPMOSトランジスタ $P11$ (第3スイッチFET)を介してPMOSトランジスタ $P4$ のドレイン側に接続される。すなわち、PMOSトランジスタ $P3$ 、 $P4$ および $P11$ とNMOSトランジスタ $N1$ とにより直列回路が構成されている。かかる直接回路の両端には、電源電圧 V_{dd} が印加される。PMOSトランジスタ $P3$ およびNMOSトランジスタ $N1$ は、PMOSトランジスタ $P4$ を挟み、それぞれ電源電圧の正側電位に接続された正側(ハイサイド)スイッチおよび負側電位に接続された負側(ローサイド)スイッチを構成する。PMOSトランジスタ $P11$ はPMOSトランジスタ $P4$ とNMOSトランジスタ $N1$ の間に挿入される。具体的には、PMOSトランジスタ $P11$ のソースはPMOSトランジスタ $P4$ のドレインに接続され、ドレインはNMOSトランジスタ $N1$ のドレインに接続され、ゲートには制御部1より制御信号 PSW が供給される。PMOSトランジスタ $P11$ とNMOSトランジスタ $N1$ の接続点が各電流出力回路の出力端子とされ、各出力端子には対応するデータライン $A_1 \sim A_n$ が接続される。尚、上記した以外の構成部分については、従来構成のものと同様であるため、その説明は省略する。

【0019】

以下に本発明に係る電流源装置100の動作について図5に示す各部の動作波形を参照しつつ説明する。図5は、図3に示す場合と同様、全ての電流源回路60-1～60- n が各データラインに対して出力電流を供給している状態から n 番目の電流出力回路60- n については出力電流の供給を継続させ、それ以外の1番目から $n-1$ 番目の電流出力回路については電流供給を停止状態に移行させたときの各部の動作波形示している。この場合、1番目から $n-1$ 番目の電流出力回路においては、電流供給を停止させるタイミングで制御信号 PSW および NSW は共にLowレベルからHighレベルに切り替えられる。一方、電流供給を維持すべき n 番目の電流出力回路60- n においては制御信号 PSW および NSW はLowレベルが維持される。かかる制御信号 PSW および NSW の入力制御は画像データに基づいて制御部1によってなされる。

【0020】

各電流出力回路60-1～60- n において、制御信号 PSW および NSW がともにLowレベルとされる期間においては、PMOSトランジスタ $P3$ および $P11$ はオン状態であり、NMOSトランジスタ $N1$ はオフ状態である。この場合、各電流出力回路60-1～60- n の出力端子はHighレベルであり、全てのデータライン $A_1 \sim A_n$ に対して出力電流が供給される。

【 0 0 2 1 】

1 番目から $n-1$ 番目の電流出力回路において、制御信号PSWおよびNSWがともにLowレベルからHighレベルに切り替えられることにより、PMOSトランジスタP3およびP11がオフ状態となり、NMOSトランジスタN1がオン状態となる。PMOSトランジスタP3およびP11がオフ状態となることにより、出力電流の供給が停止され、NMOSトランジスタN1がオン状態となることにより出力端子の電位はLowレベルとなる。ここで、従来の電流源装置においては、NMOSトランジスタN1とPMOSトランジスタP4とが直接接続されていたために、NMOSトランジスタN1がオン状態に駆動されることにより 1 番目から $n-1$ 番目の電流出力回路のPMOSトランジスタP4に付随する各寄生容量C1に一斉に充電電流が流れ、演算増幅器OP1の駆動能力にも限界があるため、演算増幅器OP1の出力ラインの電位が一瞬低下してしまうという不具合が発生していた。これに対し本発明の電流源装置100においては、PMOSトランジスタP4とNMOSトランジスタN1との間にPMOSトランジスタP11が挿入され、NMOSトランジスタN1がオン状態となるタイミングでPMOSトランジスタP11がオフ状態とされることによりPMOSトランジスタP4とNMOSトランジスタN1とが電氣的に分離される。これにより、NMOSトランジスタN1がオン状態になっても、PMOSトランジスタP4のドレイン（図中のノード1）の電位はHighレベルを維持するため寄生容量C1への充電が起らず演算増幅器OP1の出力ラインの電位変動は解消される。従って、電流供給を維持すべき電流出力回路60- n の出力電流の変動も起らず、データラインAnに対して安定した発光駆動電流の供給が可能となる。尚、1 番目から $n-1$ 番目の電流出力回路において、制御信号PSWと制御信号NSWのLowレベルからHighレベルへの遷移は同時であってもよいが、制御信号PSWを先にHighレベルに遷移させ、PMOSトランジスタP3およびP11をオフ状態とした後に制御信号NSWをHighレベルに遷移させ、NMOSトランジスタN1をオン状態とすることとしてもよい。

【 0 0 2 2 】

（第2実施例）

第1実施例に示す電流源装置100においては、上記の如く、1 番目から $n-1$ 番目の電流出力回路を電流供給状態から電流供給停止状態に移行させたときに生じる不具合を解消させることが可能である。しかし、電流供給停止状態となっている 1 番目から $n-1$ 番目の電流出力回路を再度同時に電流供給状態に移行させると新たな不具合が発生するおそれがある。この新たな不具合について、図6を参照しつつ説明する。尚、 n 番目の電流出力回路については、電流供給を継続しているものとする。

【 0 0 2 3 】

1 番目から $n-1$ 番目の電流出力回路においては、電流供給を開始させるタイミングで制御信号PSWおよびNSWは共にHighレベルからLowレベルに切り替えられる。一方、電流供給を維持すべき n 番目の電流出力回路60- n においては制御信号PSWおよびNSWはLowレベルが維持される。1 番目から $n-1$ 番目の電流出力回路において、制御信号PSWおよびNSWがともにHighレベルからLowレベルに切り替えられることにより、PMOSトランジスタP3およびP11がオン状態となり、NMOSトランジスタN1がオフ状態となる。これにより、各電流出力回路に対応するデータラインA1～An-1には出力電流が供給され、出力端子の電位はHighレベルとなる。ここで、1 番目から $n-1$ 番目の電流出力回路においては、PMOSトランジスタP11がオンした瞬間にPMOSトランジスタP4のドレイン（図中のノード1）の電位は一時的に低下する。かかるノード1の電位変動によって寄生容量C1に充電電流が流れると、演算増幅器OP1の出力ラインの電位が低下する。すると、電流供給を継続させるべき電流出力回路60- n においては、所定の定電流を出力すべく制御されたPMOSトランジスタP4のゲート電圧が低下することになるため、上記した場合と同様、出力電流が所定の制御値を超えて上昇するといった誤動作が発生する。

【 0 0 2 4 】

第2実施例に係る電流源装置においては上記不具合を解消させることが可能となっている。図7に本発明の第2実施例に係る電流源装置200を示す。本実施例の電流源装置200は、第1実施例に係る電流源装置100の構成に加え、電流出力回路60-1～60- n の各々において電位固定用のNMOSトランジスタN11が設けられている。つまり、本実施例に係る電流出力

回路70-1～70-nの各々において、NMOSトランジスタN11は、ドレインが図中のノード1すなわちPMOSトランジスタP4のドレインに接続され、ソースは負側電位Vssに接続され、ゲートには制御部1より制御信号NSW1が供給される。NMOSトランジスタN11は、そのディメンジョン（ゲート幅とゲート長との比 W/L ）を十分小さくすることにより、スイッチングスピードがNMOSトランジスタN1よりも十分遅いものが使用される。NMOSトランジスタN11が追加される点以外は、第1実施例の電流源装置100の構成と同一である。

【0025】

このような構成を有する電流源装置200の動作について図8に示す各部の動作波形を参照しつつ説明する。図8は、図6に示す場合と同様、 n 番目の電流出力回路70-nについては出力電流の供給を継続させ、それ以外の1番目から $n-1$ 番目の電流出力回路については電流供給停止状態から電流供給状態に移行させたときの各部の動作波形示している。この場合、1番目から $n-1$ 番目の電流出力回路においては、電流供給を開始させるタイミングで制御信号PSWおよびNSWは共にHighレベルからLowレベルに切り替えられる。一方、電流供給を維持すべき n 番目の電流出力回路70-nにおいては制御信号PSWおよびNSWはLowレベルが維持される。1番目から $n-1$ 番目の電流出力回路のNMOSトランジスタN11のゲートには、これらの電流出力回路が電流供給を開始する前の期間内、すなわち制御信号PSWおよびNSWがHighレベルからLowレベルに切り替わる前のタイミングでHighレベルの制御信号NSW1が供給される。これにより、NMOSトランジスタN11はオン状態となり、ノード1の電位を低下せしめるが、上記の如くNMOSトランジスタのスイッチングスピードはNMOSトランジスタN1と比較して十分遅いためノード1の電位はゆっくりと低下していくこととなる。その結果、寄生容量C1への充電もゆっくり起ることとなるため、演算増幅器OP1の出力ラインの電圧低下は、演算増幅器OP1の駆動能力によって打ち消される。すなわち、NMOSトランジスタN11のスイッチングスピードを遅くすることにより、NMOSトランジスタN11のオン駆動により生じる演算増幅器OP1の出力ラインの電位変動は回避される。NMOSトランジスタN11がオン状態に駆動されることにより、ノード1の電位はLowレベルに固定される。そして、1番目から $n-1$ 番目の電流出力回路において、ノード1の電位をLowレベルとした後に制御信号PSW、NSWおよびNSW1を共にHighレベルからLowレベルに切り替える。これにより、PMOSトランジスタP3およびP11はオン状態となり、NMOSトランジスタN1およびN11はオフ状態となるが、ノード1の電位がLowレベルとされた状態からPMOSトランジスタP11がオン状態となってもノード1の瞬間的な電位低下は起らないため、寄生容量C1への充電も起らず、演算増幅器OP1の出力ラインの電圧変動も起らない。従って、電流供給を維持すべき n 番目の電流出力回路においては、他の電流出力回路による出力切り替え前後に亘って、安定した出力電流をデータラインに供給することが可能となるのである。

【0026】

このように第2実施例に係る電流源回路によれば、多数の電流出力回路が電流供給状態から電流供給停止状態に移行し、それ以外の電流出力回路においては電流供給を維持する動作モードおよび多数の電流出力回路が電流供給停止状態から電流供給状態に移行し、それ以外の電流出力回路においては電流供給を維持する動作モードの両モードにおいて、該多数の電流出力回路による出力切り替えのタイミングで電流供給を維持すべき電流出力回路において生じる出力電流の変動を防止することが可能となる。従って、本発明の電流源装置を電流出力回路の各々に対応する複数のデータラインを介して該データラインの各々に接続された有機EL素子の各々に発光駆動電流を供給する電流源として使用することにより、動作モードにかかわらず有機EL素子に安定した発光駆動電流の供給が可能となり、発光輝度の安定化を図ることが可能となる。

（第3実施例）

図9に、本発明の第3実施例に係る電流源装置300の等価回路図を示す。本実施例の電流源装置300の基本構成は、第2実施例のものと同一であるが、電流出力回路80-1～80-nの構成が第2実施例のものと若干異なる。すなわち、本実施例に係る電流出力回路80-1～80-nにおいては、第2実施例に係る電流出力回路に対してNMOSトランジスタN12が更に追加される。具体的にはNMOSトランジスタN12のドレインは、PMOSトランジスタP4のドレイ

10

20

30

40

50

ン、すなわちノード1に接続され、ソースはNMOSトランジスタN11のドレインに接続され、ゲートには外部よりゲートバイアス電圧Bias1が供給される。ゲートバイアス電圧Bias1は、NMOSトランジスタN12の閾値電圧より若干高い電位に設定される。これにより、NMOSトランジスタN12はオン状態となるが、ゲートバイアス電圧Bias1に応じたオン抵抗を有することとなる。すなわち、NMOSトランジスタN12はNMOSトランジスタN11に直列接続された抵抗素子として機能する。

【0027】

本実施例の電流源装置300の動作は、上記第2実施例のものと同様であるが、NMOSトランジスタN12が追加され、これが抵抗素子として機能することにより、NMOSトランジスタN11がオン駆動されたときの電荷の引き抜き速度は更に低下する。従って、ノード1の電位降下のスピードをより低下させることが可能となり、NMOSトランジスタN11がオン駆動されたときの寄生容量C1への瞬間的な充電の抑制効果を助長することが可能となる。すなわち、本実施例の電流源装置によれば、NMOSトランジスタN11がオン駆動される際の演算増幅器OP1の出力ラインの電位変動の抑制効果をより顕著なものにすることが可能となる。

【0028】

尚、NMOSトランジスタN12の代わりに抵抗を使用しても同様の効果を得ることができる。また、NMOSトランジスタN12とN11の配置を入れ替えても同様の効果を得ることができる。また、NMOSトランジスタN11による電荷の引き抜き箇所は、PMOSトランジスタP3とP4の接続点（すなわち、PMOSトランジスタP4のソース）であっても同様の効果を得ることができる。また、上記各実施例においては、スイッチングスピードの遅いNMOSトランジスタN11を使用してノード1の電荷をゆっくりと引き抜くようにしたが、ノード1の電荷引き抜きのスピードすなわち引き抜き電流を制限する手段が構築されていればよく、PMOSやDMOS等の他の種類の素子を使用してもよい。また、図10に示す如くNMOSトランジスタN11のソースは、出力端子に接続することとしてもよい。かかる接続形態であってもNMOSトランジスタN11がオン駆動される際には出力端子はLowレベルであるので動作上問題はない。

【図面の簡単な説明】

【0029】

【図1】有機EL素子を使用した従来の画像表示装置の全体構成を示すブロック図である。

【図2】従来の電流源装置の構成を示す等価回路図である。

【図3】従来の電流源装置の動作波形を示す図である。

【図4】本発明の実施例である電流源装置の構成を示す等価回路図である。

【図5】本発明の電流源装置の動作波形を示す図である。

【図6】本発明の電流源装置の動作波形を示す図である。

【図7】本発明の他の実施例である電流源装置の構成を示す等価回路図である。

【図8】本発明の他の実施例である電流源装置の動作波形を示す図である。

【図9】本発明の他の実施例である電流源装置の構成を示す等価回路図である。

【図10】本発明の他の実施例である電流源装置の構成を示す等価回路図である。

【符号の説明】

【0030】

40 ゲート電圧供給部

50 出力部

60 - 1 ~ 60 - n 電流出力回路

70 - 1 ~ 70 - n 電流出力回路

80 - 1 ~ 80 - n 電流出力回路

OP1 演算増幅器

P1 ~ P11 PMOSトランジスタ

N1 ~ N12 NMOSトランジスタ

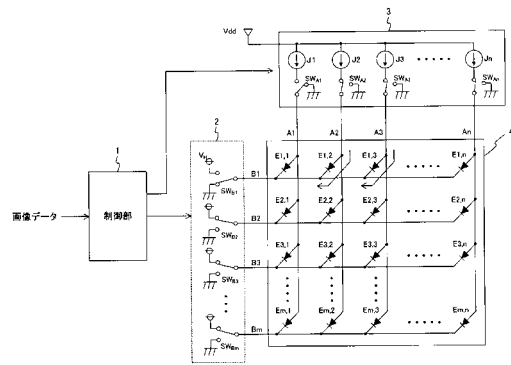
10

20

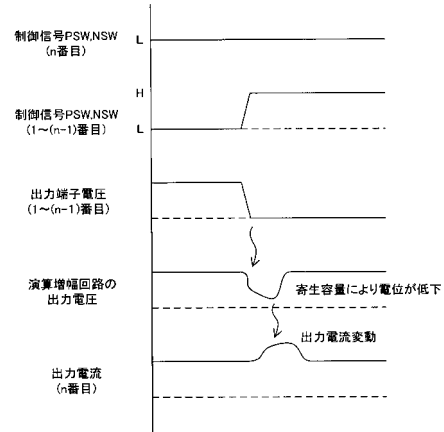
30

40

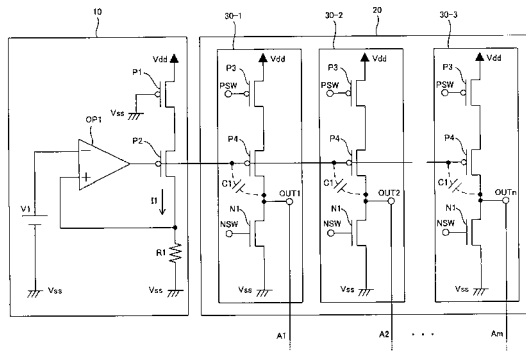
【図 1】



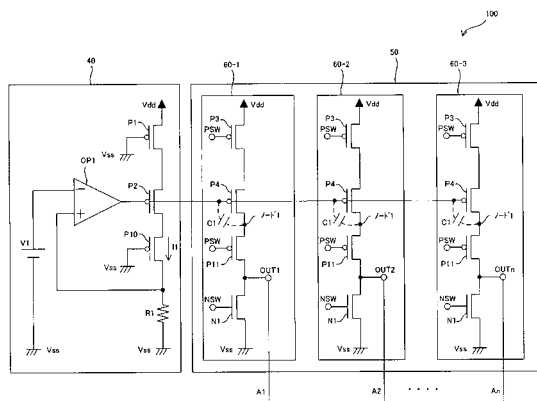
【図 3】



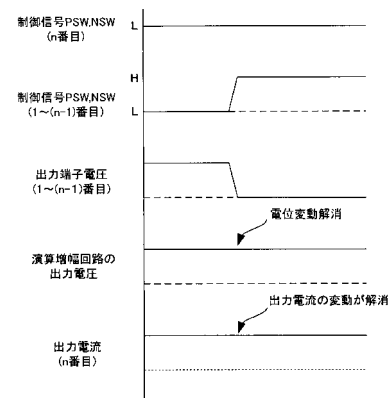
【図 2】



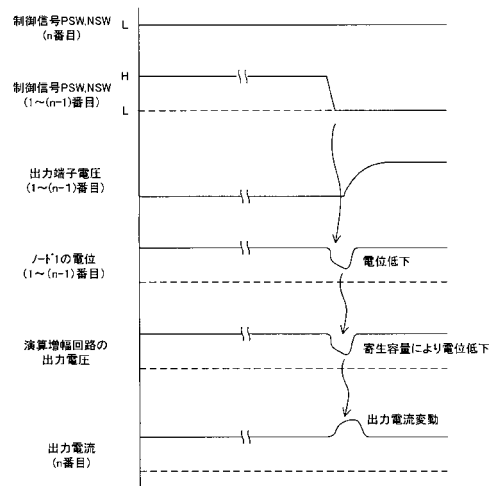
【図 4】



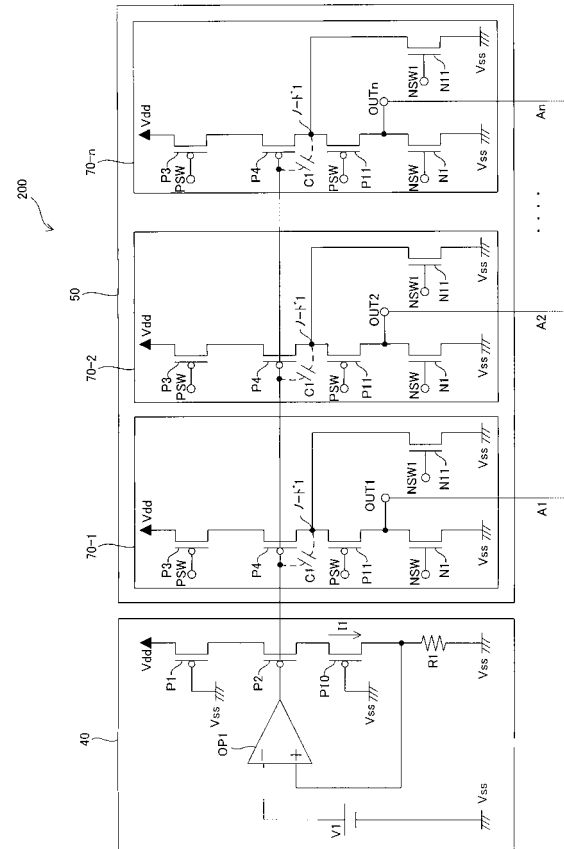
【図 5】



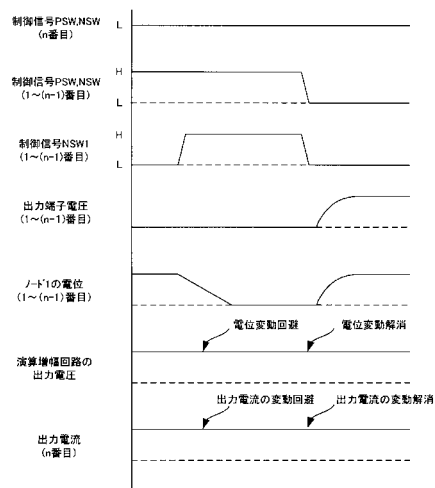
【 図 6 】



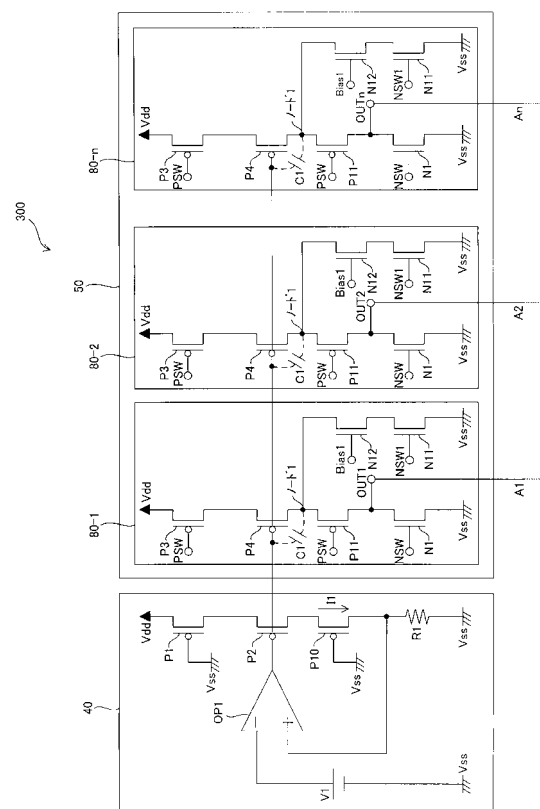
【 図 7 】



【圖 8】



【 図 9 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 M
G 0 9 G 3/20 6 4 2 C

審査官 後藤 亮治

(56)参考文献 特開2003-131617(JP,A)
特開2001-056669(JP,A)
特開2007-187714(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 3 8