I465892

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I465892 B**

(45)公告日： 中華民國 103 (2014) 年 12 月 21 日

(21)申請案號：100122246 (22)申請日： 中華民國 100 (2011) 年 06 月 24 日

(51)Int. Cl.： ***G06F1/26*** ***(2006.01)***

(30)優先權：2010/06/30 美國 12/828,221

(71)申請人：英特爾股份有限公司 (美國) INTEL CORPORATION (US)
美國

(72)發明人：華奇 吉姆 WALSH, JIM (US)

(74)代理人：林志剛

(56)參考文獻：

TW	200603001A	TW	200608182A
TW	200641620A	TW	200641623A
TW	201015289A	US	2006/0149977A1
US	2008/0288798A1		

審查人員：潘世光

申請專利範圍項數：10 項 圖式數：1 共 16 頁

(54)名稱

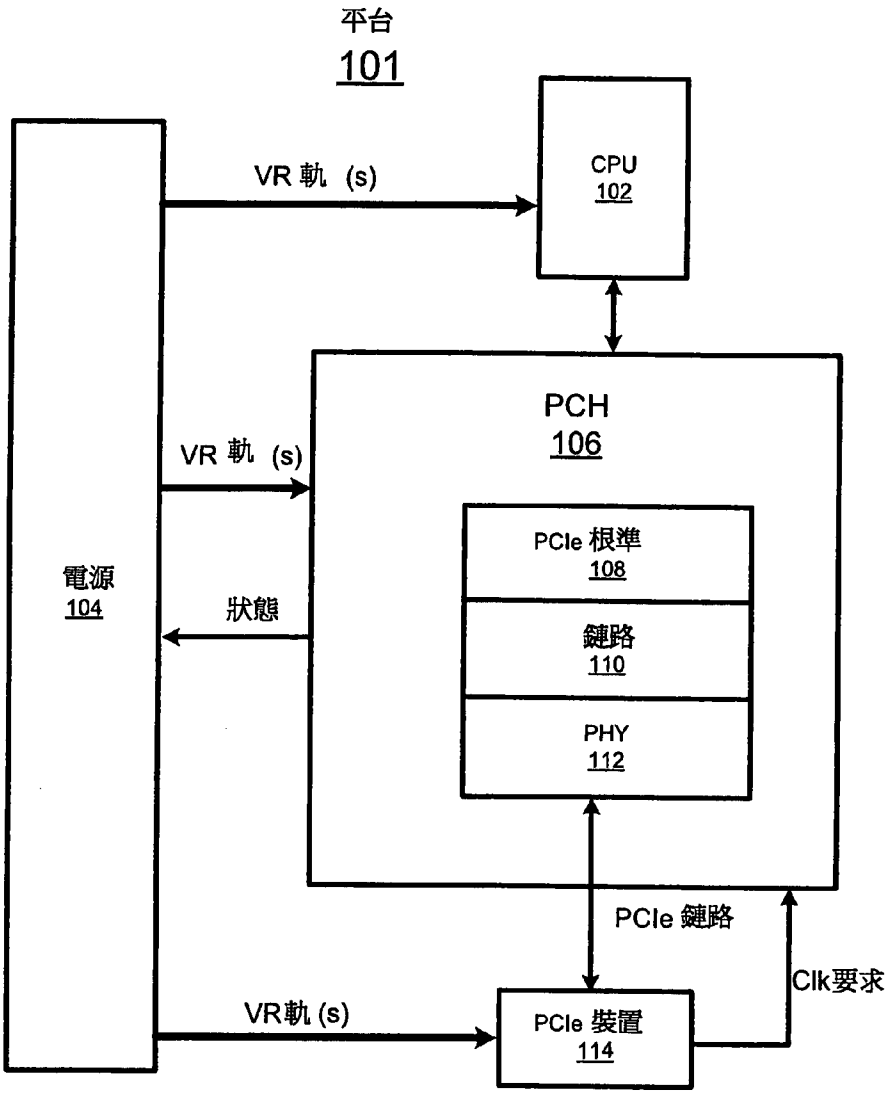
實施減小電力狀態之晶片及運算平台

CHIP AND COMPUTING PLATFORM FOR IMPLEMENTING REDUCED POWER STATES

(57)摘要

在某些實施例中，提供了一種可讓裝置要求 S0ix(或類似狀態)進入及退出之方式。

In some embodiments, provided is a way for devices to request S0ix (or the like) entry and exit.



第1圖

101・・・運算平台

102・・・中央處理單元晶片

104・・・電源

106・・・平台控制中心

108・・・周邊組件高速介面埠

110・・・鏈路層

112・・・實體層

114・・・周邊組件高速介面裝置

第 100122246 號　　民國 103 年 8 月 12 日修正 P1~2

發明專利說明書 公告本

（本申請書格式、順序，請勿任意更動，※記號部分請勿填寫）

※申請案號：100122246

※申請日：100 年 06 月 24 日　　※IPC 分類：G06F 1/26

一、發明名稱：（中文／英文）

實施減小電力狀態之晶片及運算平台

Chip and computing platform for implementing reduced power states

二、中文發明摘要：

在某些實施例中，提供了一種可讓裝置要求 S0ix（或類似狀態）進入及退出之方式。

三、英文發明摘要：

In some embodiments, provided is a way for devices to request S0ix (or the like) entry and exit.

四、指定代表圖：

（一）本案指定代表圖為：第（1）圖。

（二）本代表圖之元件符號簡單說明：

101：運算平台

102：中央處理單元晶片

104：電源

106：平台控制中心

108：周邊組件高速介面埠

110：鏈路層

112：實體層

114：周邊組件高速介面裝置

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明

【發明所屬之技術領域】

本發明係大致有關運算平台中之減小電力狀態。

【先前技術】

運算平台（與諸如 Windows™等的作業系統結合之平台硬體）通常可進入較低電力狀態。例如，可以 Windows™及其他作業系統連同諸如 PCI Express 及 USB3 實施一些所謂的"S"狀態（S0、S3、S4、及 S5）狀態。

在某些系統中，S0 可以是最現用狀態（active state），S3 可以是一待命狀態（standby state）、S4 可以是一休眠狀態（hibernate state），且 S5 可以是一關閉狀態。在該最現用狀態（S0）內，可以有一些具有不同活動的進一步之子狀態，以便節省該平台中之電力。這些狀態中之一狀態可被稱爲 S0ix 狀態。在該狀態中，縱然該系統係處於 S0（現用）狀態，諸如 PCIe 裝置以及系統控制器及／或平台控制部分等的硬體組件也可處於減小電力模式。

S0ix 進入及退出通常需要諸如一平台控制中心（Platform Controller Hub；簡稱 PCH）等的一平台控制區塊內的一系統控制器與各周邊組件高速介面（Peripheral Component Interface Express；簡稱 PCIe）裝置間之協調。在傳統的技術中，一裝置通常藉由啓動一 L1（低電力 PCIe 鏈路狀態）退出，而啓動 S0ix 退出（以

便進入一更現用的操作模式）。但是很不幸，此種方式通常要求該裝置及該系統控制器（例如，其實體（PHY）及鏈路層）在該 S0ix（減小電力）模式時保持供電，且供該系統控制器監視該裝置進行的 L1 退出之啓動。亦即，縱然一裝置與埠間之一 PCIe 鏈路可能是閒置的，該裝置與該埠也需要保持供電（至少是某一程度的供電），以便爲若要進行鏈路活動時作好準備。

【發明內容】

因此，在某些實施例中，提供了一種在沒有先前技術解決方案的某些缺點之情形下可讓裝置要求 S0ix（或類似的狀態）進入及退出之方式。例如，在某些實施例中，可讓一系統控制器在 S0ix 期間自 PCIe 實體及鏈路層電路關閉許多（如果不是所有的）電力。在某些實施例中，可讓各裝置（例如，PCIe 裝置）在一 S0ix 狀態期間自其實體及鏈路層電路關閉大多數（如果不是所有的）電力。在某些實施例中，可使系統電源於 S0ix 期間在適當的條件下被置於一較低電力狀態。

【實施方式】

第 1 圖大致示出諸如一可攜式電腦、桌上型電腦或伺服器電腦、平板電腦、簡易筆記本電腦、及智慧型手機等的一運算平台 101 之一部分。該運算平台包含一中央處理單元（Central Processing Unit；簡稱 CPU）晶片 102、一

電源 104、以及一系統（或平台）控制區塊 106。在某些實施例中，可以一平台控制中心（PCH）實施該平台控制區塊 106，且爲了說明的方便，PCH 將被用來一般性地參照到一平台控制區塊。（請注意，該 CPU 及 PCH 可對應於諸如一系統單晶片（System-On-Chip；簡稱 SOC）或其他高集積度運算晶片等的一晶片中之獨立的晶片或功能區塊。

PCH 106 包含分別具有相關聯的鏈路及 PHY 層 110、112 之一或多個 PCIe 埠 108。使埠 108 被耦合到一對應的 PCIe 裝置 114（例如，無線網路卡、以太網路卡、及通用序列匯流排（USB）橋接器等的 PCI 裝置）。當經由其各別的介面而被耦合在一起時，該等 PCIe 裝置可構成一現用 PCIe 鏈路，且相互通訊。（請注意，PCH 106 可包含諸如音訊埠、USB 埠、硬碟機控制器、及平台電力控制器等的其他埠及控制器。此外，爲了簡化而示出了一單一的 PCIe 裝置，但是多個裝置可被耦合到該 PCH 內之多個埠。）

雖然並未示出所有的介面信號，但是除了鏈路信號（例如，可構成該被參照的"PCIe 鏈路"之傳輸及接收通道）之外，該等裝置之介面亦可包含一時脈要求（Clk Request）信號。在某些實施例中，（諸如該 PCH 中之）一系統控制器或該裝置可觸發該時脈要求信號，因而任一鏈路搭配的裝置可將其需要進行一通訊之訊息通知另一裝置。例如，該裝置可使用 wire-OR 信令。一裝置 114 使用

該時脈要求信號向該埠要求一參考時脈（圖中未示出），使其可與該埠通訊。在傳統的系統中，該時脈要求信號通常只被用來提出該參考時脈啓動要求，但是在本發明揭示的某些實施例中，該時脈要求信號也被用來指示該裝置是否可進入、想要進入、或將要進入一較不現用的（例如，S0ix）狀態。在某些實施例中，該狀態可讓該裝置減少來自該裝置的鏈路及 PHY 層電路之電力，且該狀態亦可讓該系統控制器減少（例如，關閉）該 PCH 埠之對應的鏈路及 PHY 層中之電力。

當該系統控制器（系統）或該裝置能夠觸發該時脈要求信號時，該系統可觸發該時脈要求信號，以便將該系統並不處於 S0ix 且可開始該裝置的存取之訊息通知該裝置。因而當一裝置處於一非現用狀態時，可使系統鏈路／PHY 及裝置鏈路／PHY 電路中之一者或兩者的功率下降（power down）。在該 PCIe 裝置本身的發動下，該 PCIe 裝置可停止觸發時脈要求，而進入一減小電力狀態；然後在該 PCIe 裝置需要退出該減小電力模式時（例如，爲了傳送一 PCIe 傳輸，此時可能需要該系統重新供電給對應的 PCIe 埠／鏈路／PHY 電路，且供應電力（或供應更多的電力）給該裝置），該 PCIe 裝置觸發時脈要求。

在某些實施例中，當任何裝置處於現用狀態時（亦即，如果來自任何 PCIe 裝置的任何時脈要求信號被觸發），該 PCH 系統控制器可能不容許該 PCH 進入該 S0ix 狀態。如果其他的 PCH 功能將處於現用狀態，則該系統

亦可防止一系統層級的 S0ix 狀態，或可啓動 S0ix 退出。該系統可將至被觸發的狀態之轉變（退出 S0ix 狀態）用來使電力被重新施加到該埠的 PHY 及鏈路層電路 110、112。一旦電力被重新施加之後，即恢復該系統控制器的 PHY 及鏈路層之狀態，且諸如可開始一正常的 L1 退出程序。

因此，在某些實施例中，對於將處於 S0ix 狀態的該系統而言，該系統之足夠數目的（例如，某些或所有的）埠及控制器等的組件應處於一較低電力（例如，S0ix）狀態。一旦該系統處於 S0ix 狀態之後，可施加一適當的狀態信號（例如，觸發一 VR Idle Enable 信號），而使系統電源（自電源至該 PCH 之電力軌（power rail））被置於一較低電力狀態。如果該裝置（或任何其他裝置）想要變成現用的，則該裝置可觸發時脈要求，因而將導致不只是重新供電給該系統，而且也重新供電給將要變成現用狀態的該一或多個裝置（在該系統控制對該一或多個裝置的供電之情形下）。在某些實施例中，一裝置可能包含電路，因而該裝置在時脈要求觸發之後，將等候一被規定長度的時間，而使該裝置本身完全被啓動，以便提供電源供應，且將足夠的時間提供給 PCH，以便諸如避免電力低落或暫態等的狀況。在其他的架構中，該裝置可在觸發該時脈要求信號之後，諸如等候到自該 PCH 接收到參考時脈爲止。請注意，當使個別的裝置功率下降（停止觸發該裝置的時脈要求）時，該系統可以其他方式通知該電源，因而

該電源能夠在有需要時提供足夠的電力，亦即，能夠減少暫態等的狀況。

在前文的說明中，述及了許多特定細節。然而，我們應可了解：可在沒有這些特定細節的情形下實施本發明之實施例。在其他的情形中，可能並未詳細示出習知的電路、結構、及技術，以便不會模糊了對本說明的了解。考慮到這一點，提及"一個實施例"、"一實施例"、"例示實施例"、"各實施例"等的辭語時，意指以此種方式述及的本發明之該一或多個實施例可包括特定特徵、結構、或特性，但是並非每一實施例都必然包含該等特定特徵、結構、或特性。此外，某些實施例可包含針對其他實施例而述及的特徵之某些或全部特徵，或不包含任何該等特徵。

在前文的說明及最後的申請專利範圍中，應以下文所述方式理解下列的術語：可使用術語"被耦合"及“被連接”以及其衍生詞。我們應可了解：這些術語將不是彼此的同義字。更確切地講，在特定實施例中，"被連接"被用來指示兩個或更多個元件相互在實體上或電氣上直接接觸。"被耦合"被用來指示：兩個或更多個元件相互配合或作用，但是該兩個或更多個元件可在或可不在實體上或電氣上直接接觸。

術語"PMOS 電晶體"意指 P 型金屬氧化物半導體場效電晶體。同樣地，"NMOS 電晶體"意指 N 型金屬氧化物半導體場效電晶體。我們應可了解：當使用術語"MOS 電晶體"、"NMOS 電晶體"、或"PMOS 電晶體" 時，除非另有

明確的指示或該等術語在使用本質上的強制性，否則係以一種舉例的方式使用該等術語。該等術語包含 MOS 裝置的不同之變化，其中包括具有不同的臨界電壓（VT）、材料類型、絕緣層厚度、以及閘極結構等的特性之裝置。此外，除非被明確地稱爲 MOS 等的術語，否則術語電晶體可包括諸如接面場效電晶體、雙極接面電晶體、金屬半導體場效電晶體、以及各種類型的三維電晶體、MOS、或其他目前已知或尚未被開發的電晶體等的其他適當之電晶體類型。

本發明不限於所述之實施例，而是可以在附加的申請專利範圍的精神及範圍內之修改及改變實施本發明。例如，我們應可了解：適於配合所有類型的半導體積體電路（Integrated Circuit；簡稱 IC）晶片而使用本發明。這些 IC 晶片的例子包括（但不限於）處理器、控制器、晶片組組件、可程式邏輯陣列（Programmable Logic Array；簡稱 PLA）、記憶體晶片、以及網路晶片等的 IC 晶片。

我們亦應可了解：在某些圖式中，係以線表示信號導體線。某些線可能是較粗的，而指示較多成分之信號路徑；某些線可具有數字標記，而指示一些成分信號路徑；且（或）某些線之一或多個末端上可具有箭頭，而指示主要資訊流方向。然而，不應以限制之方式詮釋此種表示法。更確切地講，可配合一或多個實施例而使用此種增添的細節，而有助於更易於了解某一電路。任何被示出的信號線不論是否有額外的資訊，都可實際上包含可沿著多個

方向行進的一或多個信號，且可以任何適當類型的信號體系實施該等信號線，例如，以差動對、光纖線、及（或）單端線實施的數位或類比線。

我們應可了解：可能提供了一些例示的尺寸／模型／值／範圍，但是本發明不限於此。當一些製造技術（例如，微影）隨著時間的經過而成熟時，預期可製造出尺寸較小的裝置。此外，爲了圖式及說明的簡化，也爲了不模糊了本發明，各圖式中可能示出或可能不示出 IC 晶片及其他組件之習知電源／接地連線。此外，爲了避免模糊了本發明，可能以方塊圖之形式示出一些配置，此外，也考慮到與這些方塊圖配置的實施方式有關的細節是極度取決於將在其中實施本發明之平台，亦即，這些細節應是在熟悉此項技術者所當理解的範圍內。當爲了說明本發明之實施例而述及一些特定細節（例如，電路）時，熟悉此項技術者當可了解：可在沒有這些特定細節的情形下，或可以這些特定細節的變化之方式，實施本發明。因此，本說明將被視爲例示性而非限制性。

【圖式簡單說明】

係參照各附圖而以舉例且非限制說明本發明之實施例，在該等附圖中，類似的代號參照到類似的元件。

第 1 圖示出設有一具有根據某些實施例的有效率的電力減少狀態進入的埠的一系統之一部分。

【主要元件符號說明】

101：運算平台

102：中央處理單元晶片

104：電源

106：平台控制中心

108：周邊組件高速介面埠

110：鏈路層

112：實體層

114：周邊組件高速介面裝置

第 100122246 號　　民國 103 年 8 月 12 日修正 P1~2

七、申請專利範圍

1.一種實施減小電力狀態之晶片，包含：

與一對應的裝置通訊之一埠，該埠具有該裝置於進入一減小電力模式時可觸發之一時脈要求節點，

其中該埠及該裝置能夠觸發該時脈要求節點。

2.如申請專利範圍第 1 項之晶片，其中該埠是一周邊組件高速介面（PCI Express）埠。

3.如申請專利範圍第 1 項之晶片，其中該時脈要求節點被觸發時，將使一參考時脈被提供給該裝置。

4.如申請專利範圍第 1 項之晶片，包含一系統控制器，該系統控制器在其中包括該裝置的一些功能將處於一減小電力模式時使其本身進入該減小電力模式。

5.如申請專利範圍第 1 項之晶片，其中該減小電力模式是一 S0ix 狀態。

6.一種實施減小電力狀態之運算平台，包含：

一中央處理單元（CPU）；

一電源；以及

一平台控制中心，該平台控制中心包含一系統控制器及與一裝置通訊之至少一埠，該埠具有該裝置於進入一減小電力模式時可觸發之一時脈要求節點，該系統控制器在該節點被停止觸發時減少被供應到該埠的鏈路及實體（PHY）電路之電力，

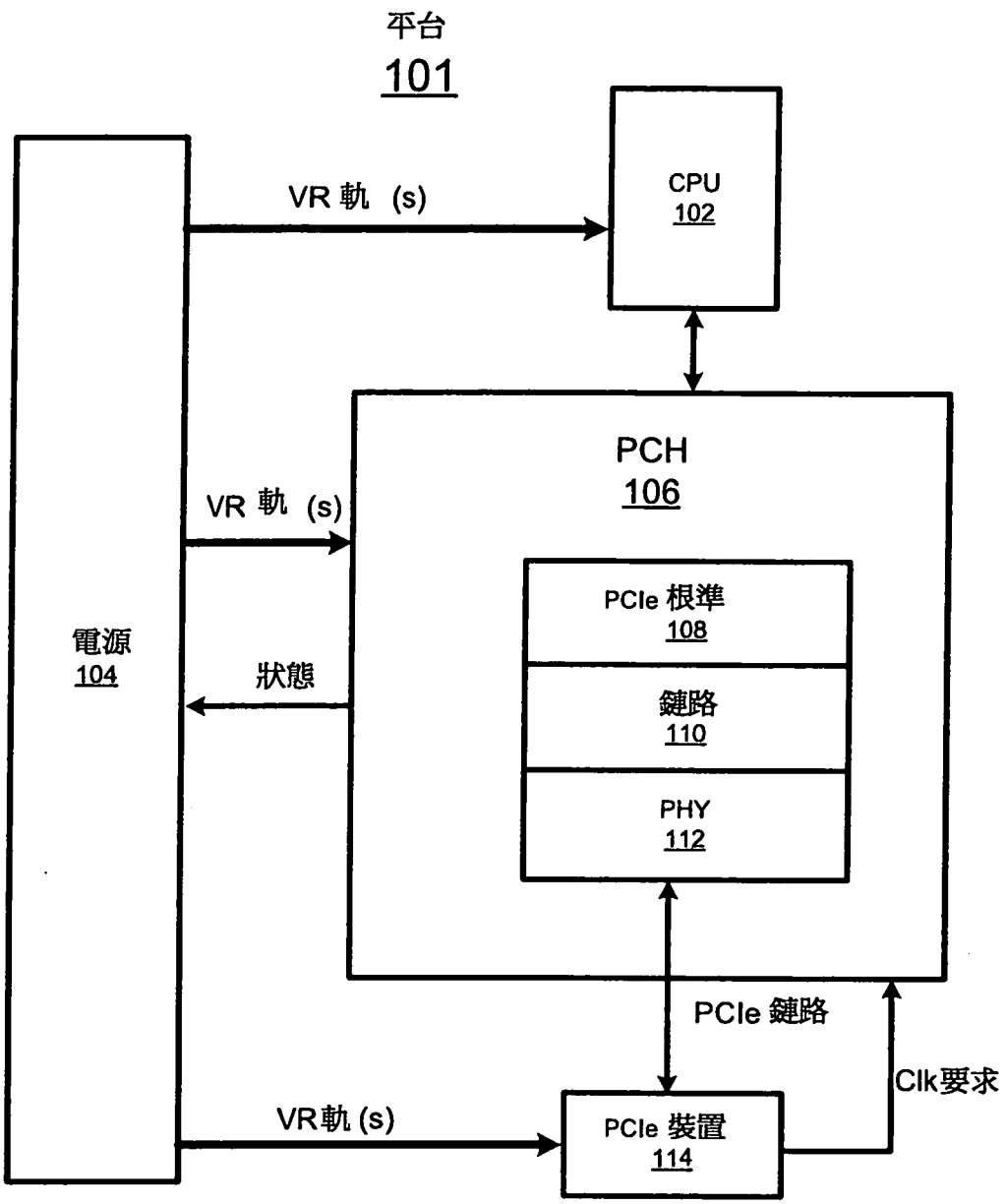
其中該系統控制器及該裝置能夠觸發該時脈要求節點。

7.如申請專利範圍第 6 項之平台，其中該埠是一 PCI Express 埠。

8.如申請專利範圍第 6 項之平台，其中該時脈要求節點被觸發時，將使一參考時脈被提供給該裝置。

9.如申請專利範圍第 6 項之平台，其中該系統控制器在其中包括該裝置的一些功能將處於該減小電力模式時將進入一減小電力模式。

10.如申請專利範圍第 6 項之平台，其中該減小電力模式是一 S0ix 狀態。


平台
101
CPU
102
VR 軌 (s)
PCH
106
VR 軌 (s)
PCIe 根準
108
鏈路
110
PHY
112
電源
104
狀態
PCIe 鏈路
Clk要求
VR軌 (s)
PCIe 裝置
114

第1圖