



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201624575 A

(43) 公開日：中華民國 105 (2016) 年 07 月 01 日

(21) 申請案號：105109494 (22) 申請日：中華民國 99 (2010) 年 07 月 01 日

(51) Int. Cl. : *H01L21/336 (2006.01)* *H01L21/28 (2006.01)*
G09F9/33 (2006.01)

(30) 優先權：2009/07/03 日本 2009-159052

(71) 申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
 LABORATORY CO., LTD. (JP)
 日本

(72) 發明人：坂田淳一郎 SAKATA, JUNICHIRO (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；
 細羽美雪 HOSOBATA, MIYUKI (JP)

(74) 代理人：林志剛

申請實體審查：有 申請專利範圍項數：7 項 圖式數：43 共 164 頁

(54) 名稱

包括電晶體的顯示裝置和其製造方法

DISPLAY DEVICE INCLUDING TRANSISTOR AND MANUFACTURING METHOD THEREOF

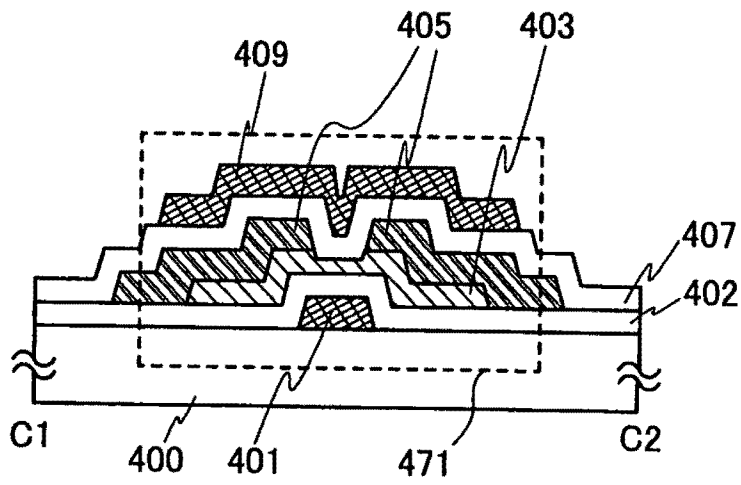
(57) 摘要

本發明的課題在於提供一種使用具有穩定的電特性的電晶體來進行穩定的工作的顯示裝置。當應用以氧化物半導體層為通道形成區的電晶體來製造顯示裝置時，至少在應用於驅動電路的電晶體上進一步配置閘極電極。當製造以氧化物半導體層為通道形成區的電晶體時，對氧化物半導體層進行用來實現脫水化或脫氫化的加熱處理，以減少存在於以上下接觸的方式設置的閘極絕緣層及保護絕緣層與氧化物半導體層的介面的水分等雜質。

An object is to provide a display device which operates stably with use of a transistor having stable electric characteristics. In manufacture of a display device using transistors in which an oxide semiconductor layer is used for a channel formation region, a gate electrode is further provided over at least a transistor which is applied to a driver circuit. In manufacture of a transistor in which an oxide semiconductor layer is used for a channel formation region, the oxide semiconductor layer is subjected to heat treatment so as to be dehydrated or dehydrogenated; thus, impurities such as moisture existing in an interface between the oxide semiconductor layer and the gate insulating layer provided below and in contact with the oxide semiconductor layer and an interface between the oxide semiconductor layer and a protective insulating layer provided on and in contact with the oxide semiconductor layer can be reduced.

指定代表圖：

圖 1A



符號簡單說明：

400 . . . 基板

401 . . . 閘極電極層

402 . . . 閘極絕緣層

403 . . . 氧化物半導體層

405 . . . 源極電極及
汲極電極層

407 . . . 保護絕緣層

409 . . . 閘極電極層

471 . . . 電晶體

201624575

發明摘要

※申請案號：105109494 (由103140251分割)

※申請日：099年07月01日 ※IPC分類：H01L 21/336 (2006.01)

【發明名稱】(中文/英文)

H01L 21/28 (2006.01)

包括電晶體的顯示裝置和其製造方法

G09F 9/33 (2006.01)

Display device including transistor and manufacturing method thereof

● 【中文】

本發明的課題在於提供一種使用具有穩定的電特性的電晶體來進行穩定的工作的顯示裝置。當應用以氧化物半導體層為通道形成區的電晶體來製造顯示裝置時，至少在應用於驅動電路的電晶體上進一步配置閘極電極。當製造以氧化物半導體層為通道形成區的電晶體時，對氧化物半導體層進行用來實現脫水化或脫氫化的加熱處理，以減少存在於以上下接觸的方式設置的閘極絕緣層及保護絕緣層與氧化物半導體層的介面的水分等雜質。

【 英文 】

An object is to provide a display device which operates stably with use of a transistor having stable electric characteristics. In manufacture of a display device using transistors in which an oxide semiconductor layer is used for a channel formation region, a gate electrode is further provided over at least a transistor which is applied to a driver circuit. In manufacture of a transistor in which an oxide semiconductor layer is used for a channel formation region, the oxide semiconductor layer is subjected to heat treatment so as to be dehydrated or dehydrogenated; thus, impurities such as moisture existing in an interface between the oxide semiconductor layer and the gate insulating layer provided below and in contact with the oxide semiconductor layer and an interface between the oxide semiconductor layer and a protective insulating layer provided on and in contact with the oxide semiconductor layer can be reduced.

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：

400：基板

401：閘極電極層

402：閘極絕緣層

403：氧化物半導體層

405：源極電極及汲極電極層

407：保護絕緣層

409：閘極電極層

471：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

包括電晶體的顯示裝置和其製造方法

Display device including transistor and manufacturing method thereof

【技術領域】

本發明係關於一種具有由電晶體構成的電路的顯示裝置及其製造方法。

【先前技術】

金屬氧化物的種類繁多且用途廣泛。作為金屬氧化物的氧化銮是較普遍的材料，並且它用作液晶顯示器等所需要的具有透光性的導電材料。

有的金屬氧化物呈現半導體特性。作為呈現半導體特性的金屬氧化物，例如可以舉出氧化鎢、氧化錫、氧化銮、氧化鋅等，並且已知將這種呈現半導體特性的金屬氧化物用於通道形成區的電晶體(例如，參照專利文獻 1 至 4、非專利文獻 1)。

另外，作為金屬氧化物，不僅已知一元氧化物，而且還已知多元氧化物。例如，已知的是，具有均質物(homologous series)的 $\text{InGaO}_3(\text{ZnO})_m$ (m 為自然數)是具有 In、Ga 及 Zn 的多元氧化物半導體(參照非專利文獻 2 至 4)。

並且，已經確認到可以將由上述那樣的 In-Ga-Zn 類氧化物構成的氧化物半導體層應用於電晶體的通道層(參照專利文獻 5、非專利文獻 5 及 6)。

[專利文獻 1]日本專利申請公開第昭 60-198861 號公報

[專利文獻 2]日本專利申請公開第平 8-264794 號公報

[專利文獻 3]日本專利申請公開第平 11-505377 號公報

[專利文獻 4]日本專利申請公開第 2000-150900 號公報

[專利文獻 5]日本專利申請公開第 2004-103957 號公報

[非專利文獻 1]M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, "A ferroelectric transparent thin-film transistor"(透明鐵電薄膜電晶體), *Appl. Phys. Lett.*, 17 June 1996, Vol. 68 p. 3650-3652

[非專利文獻 2]M. Nakamura, N. Kimizuka, and T. Mohri, "The Phase Relations in the $\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ System at 1350 °C "($\text{In}_2\text{O}_3\text{-Ga}_2\text{ZnO}_4\text{-ZnO}$ 類在 1350°C 時的相位關係), *J. Solid State Chem.*, 1991, Vol. 93, p. 298-315

[非專利文獻 3]N. Kimizuka, M. Isobe, and M. Nakamura, "Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$) in the $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ System"(均質物的合成和單晶資料, $\text{In}_2\text{O}_3\text{-ZnGa}_2\text{O}_4\text{-ZnO}$ 類的 $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m=3, 4, \text{ and } 5$), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m=7, 8, 9, \text{ and } 16$)), *J.*

Solid State Chem., 1995, Vol. 116, p. 170-178

[非專利文獻 4]M. Nakamura, N. Kimizuka, T. Mohri, and M. Isobe, "Syntheses and crystal structures of new homologous compounds, indium iron zinc oxides ($\text{InFeO}_3(\text{ZnO})_m$) (m :natural number) and related compounds", KOTAI BUTSURI (均質物、銦鐵鋅氧化物($\text{InFeO}_3(\text{ZnO})_m$) (m 爲自然数)及其同型化合物的合成以及結晶結構), *固体物理(SOLID STATE PHYSICS)*, 1993, Vol. 28, No. 5, p. 317-327

[非專利文獻 5]K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, "Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor" (由單晶透明氧化物半導體製造的薄膜電晶體), *SCIENCE*, 2003, Vol. 300, p. 1269-1272

[非專利文獻 6]K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, "Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors"(室溫下的使用非晶氧化物半導體的透明撓性薄膜電晶體電晶體的製造), *NATURE*, 2004, Vol. 432 p. 488-492

【發明內容】

本發明的一種實施例的目的在於提供一種電特性良好且可靠性高的電晶體及其製造方法、以及一種應用該電晶

體的顯示品質良好且可靠性高的顯示裝置。

本發明的一種實施例是設置有具有氧化物半導體層的電晶體的顯示裝置，並且，該顯示裝置的主動矩陣基板具有像素部和驅動電路部。至少在該驅動電路部中，在與背通道部重疊的位置上還設置有閘極電極，並且，當製造該電晶體時，對氧化物半導體層進行加熱處理，藉由該加熱處理，實現脫水化或脫氫化。再者，在該加熱處理後覆蓋該氧化物半導體層地利用包含氧的絕緣無機材料形成保護絕緣層。由於該加熱處理，載子濃度也變化。

製造電特性良好的電晶體，尤其是，可以製造即使使用很長時間臨界值電壓也不容易偏移並且可靠性高的電晶體。藉由將這種電晶體至少應用於驅動電路部，可以提高顯示裝置的可靠性。

【圖式簡單說明】

在附圖中：

圖 1A 至 1C 是說明本發明的一種實施例的電晶體的圖；

圖 2A 至 2D 是說明本發明的一種實施例的電晶體的圖；

圖 3 是說明可應用於本發明的電爐的圖；

圖 4A 和 4B 是說明本發明的一種實施例的電晶體的圖；

圖 5A 至 5D 是說明本發明的一種實施例的電晶體的

圖；

圖 6A 和 6B 是說明本發明的一種實施例的電晶體的

圖；

圖 7A 至 7D 是說明本發明的一種實施例的電晶體的

圖；

圖 8A 和 8B 是說明本發明的一種實施例的電晶體的

圖；

圖 9A 至 9D 是說明本發明的一種實施例的電晶體的

圖；

圖 10A 和 10B 是說明本發明的一種實施例的電晶體的圖；

圖 11A 和 11B 是說明本發明的一種實施例的顯示裝置的圖；

圖 12 是說明本發明的一種實施例的顯示裝置的圖；

圖 13A 和 13B 是說明本發明的一種實施例的顯示裝置的圖；

圖 14 是說明本發明的一種實施例的顯示裝置的圖；

圖 15 是說明本發明的一種實施例的顯示裝置的圖；

圖 16 是說明本發明的一種實施例的顯示裝置的圖；

圖 17 是說明本發明的一種實施例的顯示裝置的圖；

圖 18 是說明本發明的一種實施例的顯示裝置的圖；

圖 19 是說明本發明的一種實施例的顯示裝置的圖；

圖 20 是說明本發明的一種實施例的顯示裝置的圖；

圖 21 是說明本發明的一種實施例的顯示裝置的圖；

圖 22A 至 22C 是說明本發明的一種實施例的顯示裝置的圖；

圖 23A 和 23B 是說明本發明的一種實施例的顯示裝置的圖；

圖 24A1 至 24B 是說明本發明的一種實施例的顯示裝置的圖；

圖 25 是說明本發明的一種實施例的顯示裝置的圖；

圖 26A 和 26B 是說明本發明的一種實施例的電子設備的圖；

圖 27A 和 27B 是說明本發明的一種實施例的電子設備的圖；

圖 28A 和 28B 是說明本發明的一種實施例的電子設備的圖；

圖 29A 至 29C 是說明實施例 1 的圖；

圖 30A 至 30C 是說明實施例 1 的圖；

圖 31A 至 31C 是說明實施例 1 的圖；

圖 32A 至 32C 是說明實施例 1 的圖；

圖 33 是說明實施例 2 的圖；

圖 34 是說明實施例 2 的圖；

圖 35 是說明實施例 2 的圖；

圖 36 是說明實施例 2 的圖；

圖 37A 至 37C 是說明實施例 2 的圖；

圖 38 是說明實施例 2 的圖；

圖 39 是說明實施例 2 的圖；

圖 40 是說明實施例 2 的圖；

圖 41 是說明實施例 2 的圖；

圖 42 是說明實施例 3 的圖；以及

圖 43 是說明實施例 3 的圖。

【實施方式】

參照附圖對實施例模式進行詳細說明。但是，所屬技術領域的普通技術人員可以很容易地理解一個事實就是，本發明不侷限於以下的說明，而其方式及詳細內容在不脫離本發明的宗旨及其範圍內的情況下可以被變化為各種各樣的形式。從而，本發明不應該被解釋為僅限定在以下的實施例模式所記載的內容中。注意，在下面所說明的發明的結構中，在不同的附圖中共同使用相同的附圖標記來表示相同的部分或具有相同功能的部分，而省略其重複說明。

注意，在下面的實施例模式 1 至實施例模式 4 中，說明至少設置於本發明的一種實施例的顯示裝置的驅動電路部中的電晶體。

(實施例模式 1)

在本實施例模式中，說明可應用於本發明的一種實施例的顯示裝置的電晶體及其製造方法。在本發明的一種實施例的顯示裝置中，將本實施例模式的電晶體至少應用於驅動電路部。

圖 1A 至 1C 示出可應用於本發明的一種實施例的電晶體的截面圖。

電晶體 471 是底閘型電晶體，並且它包括設置於基板 400 上的第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極及汲極電極層 405。再者，設置有與氧化物半導體層 403 的一部分接觸地覆蓋該第一閘極電極層 401、該閘極絕緣層 402、該氧化物半導體層 403、該源極電極及汲極電極層 405 的第一保護絕緣層 407 以及設置於該第一保護絕緣層 407 上且與氧化物半導體層 403 重疊的第二閘極電極層 409。注意，也可以將第一保護絕緣層 407 稱為第二閘極絕緣層。

作為包括通道形成區的氧化物半導體層 403 的材料，使用具有半導體特性的氧化物材料即可。例如，可以使用具有由 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 表示的結構的氧化物半導體，特別佳的是，使用 In-Ga-Zn-O 類氧化物半導體。另外，M 表示選自 Ga、Fe、Ni、Mn 及 Co 中的一種金屬元素或多種金屬元素。例如，在 M 為 Ga 的情況下，還有包含 Ga 以外的上述金屬元素的情況，諸如包含 Ga 和 Ni 的情況、包含 Ga 和 Fe 的情況等。

注意，在上述氧化物半導體中，除了作為 M 被包含的金屬元素以外，還可以包含諸如 Fe、Ni 等過渡金屬元素或者該過渡金屬的氧化物。

注意，在具有由 $\text{InMO}_3(\text{ZnO})_m (m>0)$ 表示的結構的氧化物半導體中，將具有作為 M 至少包含 Ga 的結構的氧化

物半導體稱為 In-Ga-Zn-O 類氧化物半導體，並且將該薄膜還稱為 In-Ga-Zn-O 類非單晶膜。

或者，作為應用於氧化物半導體層 403 的氧化物半導體，除了上述以外，還可以應用 In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、In-O 類、Sn-O 類、Zn-O 類的氧化物半導體。

注意，也可以使上述氧化物半導體包含氧化矽。

當形成氧化物半導體層 403 時，至少在形成氧化物半導體膜後，進行用來減少作為雜質的水分(H₂O)等的加熱處理(用來實現脫水化或脫氫化的加熱處理)來實現低電阻化(載子濃度提高，較佳的是，它成為 $1 \times 10^{18}/\text{cm}^3$ 以上)，與該氧化物半導體膜(或者經過加工的氧化物半導體層)接觸地形成第一保護絕緣層 407，實現高電阻化(載子濃度降低，它較佳的成為低於 $1 \times 10^{18}/\text{cm}^3$ ，更佳的成為 $1 \times 10^{14}/\text{cm}^3$ 以下)，從而形成可以用作通道形成區的氧化物半導體層。

再者，較佳的是，在藉由用來實現脫水化或脫氫化的加熱處理來脫離水分等的雜質後，在惰性氛圍下進行緩冷(逐漸冷卻)。藉由在進行用來實現脫水化或脫氫化的加熱處理及緩冷後，進行以接觸氧化物半導體層的方式形成絕緣氧化膜的製程等，降低氧化物半導體層的載子濃度，從而可以提高電晶體 471 的可靠性。

再者，不僅減少氧化物半導體層 403 內的水分等雜

質，還減少存在於閘極絕緣層 402 內以及與氧化物半導體層 403 的上下接觸地設置的層與氧化物半導體層 403 的介面(明確地說，閘極絕緣層 402 與氧化物半導體層 403 的介面以及第一保護絕緣層 407 與氧化物半導體層 403 的介面)的水分等的雜質。

氧化物半導體層 403 的至少與無機絕緣膜接觸的區域是高電阻氧化物半導體區，並且可以將該高電阻氧化物半導體區用作通道形成區。

注意，用於氧化物半導體層 403 的 In-Ga-Zn-O 類非單晶膜可以為非晶、微晶或多晶。或者，雖然記載為“In-Ga-Zn-O 類非單晶膜”，但是不侷限於此，而也可以為單晶。

藉由將高電阻氧化物半導體區用作通道形成區，使電晶體的電特性穩定，並且可以防止截止電流的增加等。

並且，作為用來形成與氧化物半導體層 403 接觸的源極電極及汲極電極層 405 的材料，較佳的使用含有氧親和性高的金屬的材料。作為含有氧親和性高的金屬的材料，較佳的使用選自鈦、鋁、錳、鎂、鋯、鉍、鈦中的任一種或多種的材料。

當以氧化物半導體層 403 和氧親和性高的金屬層接觸的方式進行熱處理時，氧原子從氧化物半導體層 403 移動到金屬層，在介面附近載子濃度增加，而形成低電阻區。該低電阻區也可以為具有介面的膜狀。

如此，可以降低電晶體的接觸電阻，並且增大導通電

流。

圖 2A 至 2D 是示出電晶體 471 的製造製程的截面圖。

首先，在具有絕緣表面的基板 400 上形成第一閘極電極層 401。作為具有絕緣表面的基板 400，可以使用諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等在電子行業中使用的玻璃基板(也稱為“無鹼玻璃基板”)、具有能夠承受本製造製程的處理溫度的耐熱性的塑膠基板等。在具有絕緣表面的基板 400 為母板玻璃的情況下，基板的尺寸可以採用第一代(320mm×400mm)、第二代(400mm×500mm)、第三代(550mm×650mm)、第四代(680mm×880mm 或 730mm×920mm)、第五代(1000mm×1200mm 或 1100mm×1250mm)、第六代(1500mm×1800mm)、第七代(1900mm×2200mm)、第八代(2160mm×2460mm)、第九代(2400mm×2800mm 或 2450mm×3050mm)、第十代(2950mm×3400mm)等。

或者，也可以與後面參照的圖 1C 同樣地將基底絕緣層形成在基板 400 和第一閘極電極層 401 之間。基底絕緣層由能夠防止來自基板 400 的雜質元素(鈉等)的擴散的絕緣膜形成即可，例如，可以利用選自氮化矽、氧化矽、氮氧化矽或氧氮化矽中的一個或多個膜層疊而形成。

第一閘極電極層 401 可以藉由使用鉬、鈦、鉻、鈿、鎢、鋁、銅、鈹或鈳等金屬材料或者以這些金屬材料為主要成分的合金材料，以單層或疊層形成。

例如，當第一閘極電極層 401 具有雙層的疊層結構時，較佳的採用：在鋁層上層疊有鉬層的雙層結構；在銅層上層疊有鉬層的雙層結構；在銅層上層疊有氮化鈦層或氮化鉬層的雙層結構；或者層疊有氮化鈦層和鉬層的雙層結構。當採用三層的疊層結構時，較佳的採用：層疊有鎢層或氮化鎢層、鋁和矽的合金層或鋁和鈦的合金層、氮化鈦層或鈦層的三層結構。

在將導電膜形成於基板 400 的整個表面上後，進行光微影製程，在該導電膜上形成抗蝕劑光罩，藉由蝕刻來去掉不需要的部分，以形成第一閘極電極層 401。第一閘極電極層 401 構成佈線及電極(包括第一閘極電極層 401 的閘極佈線、電容佈線、端子電極等)。

接著，在第一閘極電極層 401 上形成閘極絕緣層 402。

閘極絕緣層 402 可以藉由使用電漿 CVD 法或濺射法等以氧化矽、氮化矽、氧氮化矽或氮氧化矽的單層或疊層形成。例如，作為原料氣體而使用 SiH_4 、氧和氮中的任一方或兩者且藉由電漿 CVD 法來形成氧氮化矽層即可。或者，也可以使用一氧化二氮等而代替氧和氮。

接著，在閘極絕緣層 402 上形成氧化物半導體膜。

注意，較佳的在採用濺射法形成氧化物半導體膜之前，進行導入氬氣體來產生電漿的反濺射，以去掉附著到閘極絕緣層 402 的表面的塵屑等。反濺射是指一種方法，其中，在氬氛圍下使用 RF 電源對基板施加電壓來產生電

漿，並且使被處理物(例如，基板)暴露於該電漿，以進行表面改性。注意，也可以使用氮或氬等而代替氬氛圍。或者，也可以採用對氬氛圍添加氧或一氧化二氮等的氛圍。或者，也可以採用對氬氛圍添加氯或四氟甲烷等的氛圍。

氧化物半導體膜藉由使用 In-Ga-Zn-O 類金屬氧化物作為靶的濺射法來形成。氧化物半導體膜可以在稀有氣體(例如，氬)氛圍下、在氧氛圍下、或者在稀有氣體(例如，氬)及氧氛圍下藉由濺射法來形成。

注意，也可以不與大氣接觸的方式連續形成閘極絕緣層 402 和氧化物半導體膜。藉由以不與大氣接觸的方式連續形成閘極絕緣層 402 和氧化物半導體膜，閘極絕緣層 402 和氧化物半導體膜的介面以不被大氣成分或漂浮在大氣中的雜質(水、煙等)污染的方式形成，所以可以降低電晶體的特性的偏差。

接著，藉由光微影製程對氧化物半導體膜進行加工，來形成島狀的第一氧化物半導體層 430(參照圖 2A)。

在惰性氣體(氮、或者諸如氬、氖、氫等的稀有氣體)氛圍下或者減壓下對第一氧化物半導體層 430 進行加熱處理後，在惰性氛圍下進行緩冷，以形成第二氧化物半導體層 431(參照圖 2B)。藉由在上述氛圍下對第一氧化物半導體層 430 進行加熱處理，去掉包含在第一氧化物半導體層 430 中的氬及水等的雜質，形成第二氧化物半導體層 431。

注意，較佳的是，在加熱處理中，氮、或者諸如氬、

氦、氬等的稀有氣體不包含水或氫等雜質。或者，較佳的將引入加熱處理裝置的氮、或者諸如氮、氦、氬等的稀有氣體的純度設定為 6N(99.9999%)以上，更佳的設定為 7N(99.99999%)以上(就是說，將雜質濃度設定為 1ppm 以下，較佳的設定為 0.1ppm 以下)。

注意，在加熱處理中，可以採用使用電爐的加熱方法、使用受到加熱的氣體的 GRTA(Gas Rapid Thermal Anneal，氣體快速熱退火)法、或者使用燈光的 LRTA(Lamp Rapid Thermal Anneal，燈光快速熱退火)法等進行瞬間加熱的方法等。

在此，參照圖 3 而說明將電爐用於第一氧化物半導體層 430 的加熱處理的情況。

圖 3 是電爐 601 的概況圖。電爐 601 包括爐室 602，並且在爐室 602 的外側設置有用來加熱爐室 602 的加熱器 603。在爐室 602 中設置有用來裝載基板 604 的襯托器 605，並且將基板 604 搬入爐室 602 內或將基板 604 從爐室 602 搬出。對爐室 602 連接有氣體供給裝置 606 及排氣裝置 607。從氣體供給裝置 606 將氣體引入爐室 602。並且，使用排氣裝置 607 對爐室 602 內進行排氣或對爐室 602 內進行減壓。注意，電爐 601 較佳的具有如下結構：能夠以 $0.1^{\circ}\text{C}/\text{分}$ 以上且 $20^{\circ}\text{C}/\text{分}$ 以下進行升溫且以 $0.1^{\circ}\text{C}/\text{分}$ 以上且 $15^{\circ}\text{C}/\text{分}$ 以下進行降溫。

氣體供給裝置 606 包括氣體供給源 611、壓力調節閥 612、質量流量控制器 614、停止閥 615。在本實施例模式

中，如圖 3 所示，較佳的在氣體供給源 611 和爐室 602 之間設置精製器 613。藉由設置精製器 613，可以去掉從氣體供給源 611 引入爐室 602 內的氣體所包含的水或氫等的雜質，並且可以防止水或氫等侵入爐室 602 內。

在本實施例模式中，從氣體供給源 611 將氮或稀有氣體引入爐室 602，使爐室 602 內成爲氮或稀有氣體氛圍，在加熱到 200℃ 以上且 600℃ 以下，較佳的爲 400℃ 以上且 600℃ 以下的爐室 602 內，對形成在基板 604(圖 1A 至 1C 中的基板 400)上的第一氧化物半導體層 430 進行加熱，可以實現第一氧化物半導體層 430 的脫水化或脫氫化。

或者，對藉由排氣裝置 607 進行了減壓的爐室 602 進行加熱到 200℃ 以上且 600℃ 以下，較佳的爲 400℃ 以上且 600℃ 以下，並且在該爐室 602 中對形成在基板 604(圖 1A 至 1C 中的基板 400)上的第一氧化物半導體層 430 進行加熱，可以實現第一氧化物半導體層 430 的脫水化或脫氫化。

接著，停止加熱器 603，對爐室 602 進行緩冷。藉由惰性氣體氛圍下或者減壓下的加熱處理和緩冷，實現第一氧化物半導體層 430 的低電阻化(載子濃度提高，較佳的是，它成爲 $1 \times 10^{18}/\text{cm}^3$ 以上)，而得到第二氧化物半導體層 431。

藉由像上述那樣進行加熱處理，可以提高後面形成的電晶體的可靠性。

注意，當在減壓下進行加熱處理時，在加熱後對爐室 602 引入惰性氣體，在大氣壓下進行冷卻，即可。

注意，也可以在將加熱裝置的爐室 602 內的基板 604 冷卻到 300°C 左右後，將基板 604 移動到室溫的氛圍下。其結果，可以縮短基板 604 的冷卻時間。

注意，在加熱裝置是多室型的情況下，也可以在不同的爐室中進行加熱處理和冷卻處理。例如，在填充有氮或稀有氣體且加熱到 200°C 以上且 600°C 以下，較佳的為 400°C 以上且 600°C 以下的第一爐室中，對基板 604(圖 1A 至 1C 中的基板 400)上的第一氧化物半導體層 430 進行加熱。接著，經過引入有氮或稀有氣體的傳送室，將上述受到加熱處理的基板移動到填充有氮或稀有氣體且為 100°C 以下，較佳的為室溫的第二爐室，進行冷卻。藉由在不同的爐室中進行加熱處理和冷卻處理，可以提高處理量。

注意，也可以對加工為島狀的第一氧化物半導體層 430 之前的氧化物半導體膜進行惰性氣體氛圍下或者減壓下的對第一氧化物半導體層 430 的加熱處理。在此情況下，在惰性氣體氛圍下或者減壓下對氧化物半導體膜進行加熱處理後進行緩冷到大於或等於室溫且低於 100°C，從加熱裝置取出基板 604(圖 1A 至 1C 中的基板 400)，進行光微影製程。

注意，受到惰性氣體氛圍下或者減壓下的加熱處理的第一氧化物半導體層 430 的狀態較佳的為非晶，然而，也可以使其一部分晶化。

接著，在閘極絕緣層 402、第二氧化物半導體層 431 上形成導電膜。

作為導電膜的材料，可以舉出：選自鋁、鉻、鉍、鈦、鉬、鎢中的元素；以這些金屬元素為主要成分的合金；組合這些金屬元素的合金；等等。

注意，在形成該導電膜後進行加熱處理的情況下，使用至少具有能夠承受該加熱處理的程度的耐熱性的導電膜。例如，因為當只使用鋁形成該導電膜時有耐熱性低且容易腐蝕等問題，所以組合鋁與耐熱導電材料而形成。作為與鋁組合的耐熱導電材料，可以舉出：選自鈦、鉍、鎢、鉬、鉻、釩、鈷中的元素；以上述金屬元素為主要成分的合金；組合上述元素的合金；或者以上述元素為主要成分的氮化物；等等。

對第二氧化物半導體層 431 和該導電膜進行蝕刻，形成第三氧化物半導體層 432、源極電極及汲極電極層 405(源極電極 405a 及汲極電極 405b)(參照圖 2C)。注意，第三氧化物半導體層 432 的一部分(背通道部)受到蝕刻，從而具有槽部(凹部)。

接著，與第三氧化物半導體層 432 接觸地形成第一保護絕緣層 407。在第一保護絕緣層 407 中，減少水分、氫離子及 OH^- 等(就是說，不包含水分、氫離子及 OH^- 等，或者即使包含，也相當於幾乎不包含)，且該第一保護絕緣層 407 阻擋水分、氫離子及 OH^- 等從外部侵入，並且它由包括氧的絕緣無機材料形成。明確而言，可以使用氧化

矽、氧氮化矽或氮氧化矽。

在本實施例模式中，作為第一保護絕緣層 407，藉由濺射法形成厚度為 300nm 的氧化矽膜。將形成氧化矽膜時的基板溫度設定為室溫以上且 300°C 以下即可，在此將它設定為 100°C。使用濺射法的氧化矽膜的形成可以在稀有氣體(例如，氬)氛圍下、氧氛圍下、或者稀有氣體(例如，氬)和氧的混合氣體氛圍下進行。注意，作為靶，可以使用氧化矽靶或矽靶。例如，藉由在包括氧的氛圍下進行使用矽靶的濺射，可以形成氧化矽膜。

當使用濺射法或電漿 CVD 法等與第三氧化物半導體層 432 接觸地形成作為第一保護絕緣層 407 的氧化矽膜時，使低電阻化的第三氧化物半導體層 432 中的至少與第一保護絕緣層 407 接觸的區域高電阻化(載子濃度降低，它較佳成為低於 $1 \times 10^{18}/\text{cm}^3$)，可以形成高電阻化氧化物半導體區。

在電晶體的製造方法中，根據惰性氣體氛圍下(或減壓下)的加熱、緩冷、以及絕緣氧化物的形成等而增減第三氧化物半導體層 432 的載子濃度，這是很重要的。第三氧化物半導體層 432 成為具有高電阻化氧化物半導體區的氧化物半導體層 403(參照圖 2D)。

接著，在第一保護絕緣層 407 上形成導電膜後，進行光微影製程，在該導電膜上形成抗蝕劑光罩，使用蝕刻去掉不需要的部分，形成第二閘極電極層 409(包括由同一個層形成的佈線等)。當對第二閘極電極層 409 進行選擇性

的蝕刻以使其俯視形狀成爲所希望的形狀時，第一保護絕緣層 407 用作蝕刻停止層。

注意，當第二閘極電極層 409 和第一閘極電極層 401 連接時，在形成作爲第二閘極電極層 409 的導電膜之前在第一保護絕緣層 407 的預定部分形成用來使第一閘極電極層 401 露出的開口部。

作爲形成在第一保護絕緣層 407 上的導電膜，可以使用金屬材料(選自鋁、銅、鈦、鉬、鎢、鉕、鉻、釷、銦中的金屬元素之一或多個；或者以上述金屬元素爲主要成分的合金)。使用它們的膜藉由以足夠的厚度來形成而具有遮光性，所以可以對氧化物半導體層 403 進行遮光。

在圖 1A 中，第二閘極電極層 409 的寬度比第一閘極電極層 401 的寬度大，並且，第二閘極電極層 409 的寬度比氧化物半導體層 403 的寬度大。如圖 1A 所示，藉由使第二閘極電極層 409 的寬度比氧化物半導體層 403 的寬度大，形成第二閘極電極層 409 覆蓋氧化物半導體層 403 的頂面的形狀，從而可以對氧化物半導體層 403 進行遮光。因爲氧化物半導體層 403 的薄區不由源極電極及汲極電極層 405 覆蓋，所以光照射可能給電晶體 471 的電特性產生影響。例如，因爲藉由濺射法形成的 In-Ga-Zn-O 類非單晶膜對波長爲 450nm 以下的光具有靈敏度，所以在將 In-Ga-Zn-O 類非單晶膜用於氧化物半導體層 403 的情況下，尤其是，以能夠遮斷波長爲 450nm 以下的光的方式設置第二閘極電極層 409，即可。

注意，在此，也可以在氮氛圍下或大氣氛圍下(大氣中)對電晶體 471 進行加熱處理。在此進行的加熱處理較佳的以 300°C 以下的溫度進行，並且，只要是在形成作為第一保護絕緣層 407 的絕緣膜後，就可以隨時進行加熱處理。例如，作為在此進行的加熱處理，在氮氛圍下進行 350°C 且一個小時的加熱處理。若進行加熱處理，則可以減少電晶體 471 的電特性的偏差。

藉由上述製程，可以形成圖 1A 所示的電晶體 471。

注意，在本實施例模式中使用的電晶體不侷限於圖 1A 所示的方式。如圖 1B 所示，也可以在第二閘極電極層 409B 下設置平坦化層(例如，樹脂層)。圖 1B 示出在覆蓋第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極及汲極電極層 405 的第一保護絕緣層 407 與第二閘極電極層 409B 之間形成樹脂層 408 的方式。若在第二閘極電極層 409B 下設置樹脂層，則可以緩和由其下的結構物產生的凹凸，使要形成第二閘極電極層 409B 的表面平坦化。注意，不侷限於樹脂層而也可以採用使頂面平坦化的其他方法(旋塗法或軟熔法等)。

注意，在圖 1B 中，除了與圖 1A 不同的部分以外，使用相同的附圖標記來說明。

樹脂層 408 夾著第一保護絕緣層 407 而覆蓋源極電極及汲極電極層 405 和具有厚度薄的區域的氧化物半導體層 403。樹脂層 408 例如可以使用厚度為 0.5 μm 至 3 μm 的感光性或非感光性的有機材料。作為可用於樹脂層 408 的感

光性或非感光性的有機材料，可以舉出聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺醯胺、抗蝕劑、或苯並環丁烯或者使用上述材料而形成的疊層等。在此，作為樹脂層 408，藉由塗布法形成感光性的聚醯亞胺。在將聚醯亞胺塗敷到整個表面後，進行曝光、顯影及焙燒，形成表面平坦且厚度為 $1.5\mu\text{m}$ 的由聚醯亞胺構成的樹脂層 408。

藉由設置樹脂層 408，可以緩和電晶體 471B 的結構所產生的凹凸，來實現平坦化。

圖 1C 示出在設置有電晶體的基板 400 和第一閘極電極層 401C 之間設置基底絕緣層 410，並且第一閘極電極層 401C 的寬度和第二閘極電極層 409C 的寬度之間的關係與圖 1A 不同的方式。

注意，在圖 1C 中，除了與圖 1A 不同的部分以外，使用相同的附圖標記來說明。

基底絕緣層 410 可以使用厚度為 50nm 至 200nm 的氮化矽、氮氧化矽或者氮化矽等來形成，並且當作為基板 400 而使用玻璃時可以阻擋來自玻璃基板的雜質元素(例如，鈉等)擴散到電晶體 471C，尤其是，可以阻擋這種雜質元素侵入氧化物半導體層 403。再者，可以使用基底絕緣層 410 防止在形成第一閘極電極層 401C 時進行的蝕刻製程中基板 400 受到蝕刻。

注意，電晶體 471C 的第一閘極電極層 401C 的寬度及第二閘極電極層 409C 的寬度與電晶體 471 或電晶體 471B 的第一閘極電極層的寬度及第二閘極電極層的寬度

不同。圖 1C 所示的電晶體 471C 的第一閘極電極層 401C 在通道長度方向上的長度比氧化物半導體層 403 在通道長度方向上的長度大。另一方面，電晶體 471C 的第二閘極電極層 409C 在通道長度方向上的長度比氧化物半導體層 403 在通道長度方向上的長度小。如圖 1C 所示，至少使第二閘極電極層 409C 在通道長度方向上的長度為氧化物半導體層 403 的薄區(與第一保護絕緣層 407 接觸的區域)的長度以上並且使第二閘極電極層 409C 與氧化物半導體層 403 的薄區重疊即可。並且，當第二閘極電極層 409C 的長度小時，可以降低寄生電容。

注意，在圖 1A 至 1C 中，也可以在形成第一保護絕緣層 407 之前，對露出的氧化物半導體層 403 的薄區進行氧自由基處理。藉由進行氧自由基處理，對氧化物半導體層 403 的露出的表面附近進行改性，可以實現氧過剩區，從而可以得到高電阻區。既可使用包含氧的氣體藉由電漿產生裝置供給氧自由基，又可藉由臭氧產生裝置供給氧自由基。藉由將所供給的氧自由基或氧照射到薄膜，可以對氧化物半導體層 403 的表面(背通道部的表面)進行改性。此外，不侷限於氧自由基處理，而也可以進行氫和氧的自由基處理。氫和氧的自由基處理是指引入氫氣體和氧氣體而產生電漿以對薄膜表面進行改性的處理。

注意，在圖 1A 至 1C 中，作為第二閘極電極層，也可以使用具有透光性的導電材料諸如包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、

包含氧化鈦的銻錫氧化物、銻錫氧化物(下面，表示為ITO)、銻鋅氧化物、添加有氧化矽的銻錫氧化物等。

或者，在圖 1A 至 1C 中，在第二閘極電極層中使用具有透光性的導電材料的情況下，藉由使用與像素電極相同的材料，也可以使用同一個光罩來形成第二閘極電極層和像素電極。藉由使用相同的材料形成第二閘極電極層和像素電極，可以削減製程數。當將具有透光性的導電材料用於第二閘極電極層時，較佳的在與氧化物半導體層的薄區重疊的位置上另行設置用來對具有薄區的氧化物半導體層進行遮光的遮光層。遮光層藉由使用如下材料及厚度來形成：至少在 400nm 至 450nm 的波長區域中示出低於大約 50%的透光率、較佳的為低於 20%的透光率。例如，作為遮光層的材料，可以使用鉻(也可以為氧化鉻或氮化鉻)、氮化鈦等金屬或者黑色樹脂。在為遮斷光而使用黑色樹脂的情況下，要照射的光越強，遮光層的厚度需要越厚，所以在需要遮光層為薄膜的情況下，較佳使用遮光性高且可以進行精細的蝕刻加工及薄膜化的金屬。

注意，在上述說明中，示出在光微影製程中使用二級灰度的光罩的實例，但是當使用藉由使用多色調光罩而形成的具有多種(例如，在使用二級灰度的光罩的情況下為兩種)厚度不同的區域的抗蝕劑光罩時，可以減少抗蝕劑光罩的數目，從而可以實現製程的簡化及低成本化。注意，在本說明書中，為方便起見，將灰色調曝光光罩、半色調曝光光罩總稱為多色調光罩。注意，多色調光罩不侷

限於三級灰度的掩膜，而也可以為四級灰度的掩膜，並且還可以採用灰度級數更多的掩膜。

注意，在使用多色調光罩的情況下，在層疊形成氧化物半導體膜、導電膜後，在導電膜上形成具有多種厚度不同的區域的抗蝕劑光罩，並且使用該抗蝕劑光罩來形成具有厚度薄的區域的氧化物半導體層、源極電極及汲極電極層。在此情況下，源極電極及汲極電極層的端部與氧化物半導體層的端部大體上對準，並且氧化物半導體層的側面露出。從而，在形成第一保護絕緣層 407 的情況下，氧化物半導體層成為如下結構：不與源極電極及汲極電極層重疊的區域(薄區)和側面這兩者與第一保護絕緣層 407 接觸。

因為本實施例模式中的電晶體所具有的通道形成區的半導體層為高電阻化區，所以電晶體的電特性穩定，並且可以防止截止電流的增加等。從而，可以實現具有電特性良好且可靠性好的電晶體的顯示裝置。

注意，本實施例模式可以與本說明書所示出的其他實施例模式適當地組合。

(實施例模式 2)

在本實施例模式中，說明可應用於本發明的一種實施例的顯示裝置的不同於實施例模式 1 的電晶體及其製造方法。在本發明的一種實施例的顯示裝置中，將本實施例模式的電晶體至少應用於驅動電路部。

圖 4A 和 4B 示出本發明的一種實施例的電晶體的截面圖。電晶體 472 是底閘型電晶體，並且它包括設置於基板 400 上的第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、n 型氧化物半導體層 404、源極電極及汲極電極層 405。再者，設置有與氧化物半導體層 403 的一部分接觸地覆蓋該第一閘極電極層 401、該閘極絕緣層 402、該氧化物半導體層 403、該 n 型氧化物半導體層 404、該源極電極及汲極電極層 405 的第一保護絕緣層 407 以及設置於該第一保護絕緣層 407 上且與氧化物半導體層 403 重疊的第二閘極電極層 409。注意，也可以將第一保護絕緣層 407 稱為第二閘極絕緣層。

藉由在氧化物半導體層 403 和源極電極及汲極電極層 405 之間設置低電阻的 n 型氧化物半導體層 404，可以使電晶體 472 更穩定地工作。

首先，參照圖 5A 至 5D 而示出圖 4A 所示的電晶體 472 的製造方法的一例。

注意，因為直到在具有絕緣表面的基板 400 上形成第一閘極電極層 401、形成覆蓋第一閘極電極層 401 的閘極絕緣層 402、形成氧化物半導體膜的製程為止與實施例模式 1 相同，所以在此省略詳細說明，並且使用相同的附圖標記來說明與圖 1A 相同的部分。

與實施例模式 1 同樣地在閘極絕緣層 402 上形成第一氧化物半導體膜 433。

接著，在第一氧化物半導體膜 433 上形成用作源極區

或汲極區的第一 n 型氧化物半導體膜 440(參照圖 5A)。作為第一 n 型氧化物半導體膜 440，使用電阻低於第一氧化物半導體膜 433 的氧化物半導體膜。

作為第一 n 型氧化物半導體膜 440，例如，也可以使用：在包含氮氣體的氛圍中藉由濺射法使用包含 In(銦)、Ga(鎵)及 Zn(鋅)的金屬氧化物 ($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)而得到的包含銦、鎵及鋅的氧氮化物膜；Al-Zn-O 類非單晶膜；包含氮的 Al-Zn-O 類非單晶膜，即，Al-Zn-O-N 類非單晶膜(也稱為 AZON 膜)。

注意，在本實施例模式中使用的 In-Ga-Zn-O 類非單晶膜可以為非晶、微晶、多晶或者單晶。藉由改變它們的形成條件、靶的組成比，可以改變第一氧化物半導體膜 433 和第一 n 型氧化物半導體膜 440 的結晶狀態。

從而，根據氧化物半導體膜的形成條件、靶的組成比，也可以使用作源極區及汲極區的 n 型氧化物半導體層和形成通道區的氧化物半導體層 403 的結晶狀態不同。例如，既可以：用作源極區及汲極區的 n 型氧化物半導體層包含微晶，並且氧化物半導體層 403 為非晶，又可以：用作源極區及汲極區的 n 型氧化物半導體層為非晶，並且氧化物半導體層 403 包含微晶。

注意，也可以不與大氣接觸的方式連續形成第一氧化物半導體膜 433 及第一 n 型氧化物半導體膜 440。藉由以不與大氣接觸的方式連續形成第一氧化物半導體膜 433 及第一 n 型氧化物半導體膜 440，以第一氧化物半導體膜

433 及第一 n 型氧化物半導體膜 440 的介面不被大氣成分或漂浮在大氣中的雜質諸如水、烴等污染的方式形成各疊層介面，所以可以降低電晶體的特性的偏差。注意，也可以連續形成從閘極絕緣層 402 到第一 n 型氧化物半導體膜 440。

接著，與實施例模式 1 同樣地進行對第一氧化物半導體膜 433 的加熱處理。藉由惰性氣體氛圍下或者減壓下的加熱處理和緩冷，實現第一氧化物半導體膜 433 的低電阻化(載子濃度提高，較佳的是，它成爲 $1 \times 10^{18}/\text{cm}^3$ 以上)，而得到低電阻化的氧化物半導體膜(第二 n 型氧化物半導體膜)。

對第一氧化物半導體膜 433 的加熱處理在惰性氣體氛圍(氮或者氦、氖、氬等的稀有氣體)下或減壓下進行。藉由在上述氛圍下對第一氧化物半導體膜 433 進行加熱處理，可以去掉第一氧化物半導體膜 433 中包含的氫及水等的雜質。

注意，較佳的是，在加熱處理中，氮、或者諸如氦、氖、氬等的稀有氣體不包含水或氫等雜質。或者，較佳的將引入加熱處理裝置的氮或者諸如氦、氖、氬等的稀有氣體的純度設定爲 6N(99.9999%)以上，更佳的設定爲 7N(99.99999%)以上(就是說，將雜質濃度設定爲 1ppm 以下，較佳的設定爲 0.1ppm 以下)。

在本實施例模式中，電爐採用能夠以 $0.1^\circ\text{C}/\text{分}$ 以上且 $20^\circ\text{C}/\text{分}$ 以下進行升溫的結構，並且，將爐室內設定爲氮

或稀有氣體氛圍，將溫度設定為 200°C 以上且 600°C 以下，較佳的為 400°C 以上且 600°C 以下，對形成在基板上的第一氧化物半導體膜 433 及第一 n 型氧化物半導體膜 440 進行加熱。或者，利用排氣裝置進行減壓，在該減壓下將溫度設定為 200°C 以上且 600°C 以下，較佳的為 400°C 以上且 600°C 以下，對形成在基板上的第一氧化物半導體膜 433 及第一 n 型氧化物半導體膜 440 進行加熱，形成第二氧化物半導體膜及第二 n 型氧化物半導體膜。

在加熱處理後，關掉電爐的加熱器，對爐室進行緩冷(慢慢冷卻)。注意，電爐較佳的採用能夠以 $0.1^{\circ}\text{C}/\text{分}$ 以上且 $15^{\circ}\text{C}/\text{分}$ 以下進行降溫的結構。

藉由像上述那樣進行加熱處理，可以提高後面形成的電晶體的可靠性。

接著，藉由光微影製程在第二氧化物半導體膜及第二 n 型氧化物半導體膜上形成抗蝕劑光罩(未圖示)，並且藉由蝕刻製程加工為島狀的第二氧化物半導體層 431 及第二 n 型氧化物半導體層 434(參照圖 5B)。

注意，雖然在此在進行加熱處理後進行對氧化物半導體膜的加工，但是也可以在進行對氧化物半導體膜的加工後進行加熱處理。

接著，在去掉上述抗蝕劑光罩後在第二 n 型氧化物半導體層 434 上形成導電膜。

作為導電膜的材料，可以舉出：選自鋁、鉻、鈿、鈦、鋇、鎢中的元素；以這些金屬元素為主要成分的合

金；組合這些金屬元素的合金；等等。

注意，在形成該導電膜後進行加熱處理的情況下，使用至少具有能夠承受該加熱處理的程度的耐熱性的導電膜。

接著，進行光微影製程，在導電膜上形成抗蝕劑光罩，對該導電膜進行蝕刻，形成源極電極及汲極電極層 405。注意，使用同一個抗蝕劑光罩對夾在由源極電極及汲極電極層 405 形成的源極電極及汲極電極之間的區域(背通道部)的第二 n 型氧化物半導體層 434 進行蝕刻，形成用作源極區及汲極區的第二 n 型氧化物半導體層 437(參照圖 5C)。注意，僅對第二氧化物半導體層 431 的一部分進行蝕刻，得到具有槽部(凹部)的第三氧化物半導體層 432。

接著，使用諸如氧化矽或氮氧化矽等包含氧的無機絕緣膜以與第三氧化物半導體層 432 接觸的方式形成第一保護絕緣層 407。在此，與實施例模式 1 同樣，作為第一保護絕緣層 407，藉由濺射法形成厚度為 300nm 的氧化矽膜。

當藉由濺射法或電漿 CVD 法等使用氧化矽以與低電阻化的第一氧化物半導體層 432 接觸的方式形成第一保護絕緣層 407 時，在低電阻化的第三氧化物半導體層 432 中，至少使與第一保護絕緣層 407 接觸的區域高電阻化(載子濃度降低，它較佳的成為低於 $1 \times 10^{18}/\text{cm}^3$)，可以形成高電阻化氧化物半導體區。

在電晶體的製造方法中，根據惰性氣體氛圍下(或減壓下)的加熱、緩冷以及絕緣氧化物的形成等而增減第三氧化物半導體層 432 的載子濃度，這是很重要的。第三氧化物半導體層 432 成爲具有高電阻氧化物半導體區的氧化物半導體層 403(參照圖 5D)。

注意，形成第一保護絕緣層 407 以後的製程與實施例模式 1 相同。就是說，在第一保護絕緣層 407 上形成第二閘極電極層 409。

接著，也可以在第二閘極電極層 409 上設置樹脂層。若在第二閘極電極層 409 上設置樹脂層，則可以緩和由電晶體 472 的結構產生的凹凸，實現平坦化。

並且，也可以在氮氛圍下或大氣氛圍下(大氣中)對電晶體 472 進行加熱處理。加熱處理較佳的以 300℃ 以下的溫度進行，並且，只要是在形成作爲第一保護絕緣層 407 的絕緣膜後，就可以隨時進行加熱處理。例如，在氮氛圍下進行 350℃ 且一個小時的加熱處理。若進行該加熱處理，則可以降低電晶體 472 的電特性的偏差。

藉由上述製程，可以得到圖 4A 所示的電晶體 472。注意，在電晶體 472 中，第一保護絕緣層 407 用作第二閘極絕緣層。

圖 4B 示出在覆蓋第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、n 型氧化物半導體層 404、源極電極及汲極電極層 405 的第一保護絕緣層 407 和第二閘極電極層 409 之間形成樹脂層 408 的情況。

圖 4B 所示的電晶體 472B 僅有一部分與圖 4A 不同。在圖 4B 中，除了與圖 4A 不同的部分以外，使用相同的附圖標記來說明。

樹脂層 408 夾著第一保護絕緣層 407 而覆蓋源極電極及汲極電極層 405 和具有厚度薄的區域的氧化物半導體層 403。樹脂層 408 例如可以使用厚度為 $0.5\mu\text{m}$ 至 $3\mu\text{m}$ 的感光性或非感光性的有機材料。作為感光性或非感光性的有機材料，可以舉出聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯或使用上述材料而形成的疊層等。在此，作為樹脂層 408，藉由塗布法形成感光性的聚醯亞胺。在將聚醯亞胺塗敷到整個表面後，進行曝光、顯影及焙燒，形成表面平坦且厚度為 $1.5\mu\text{m}$ 的由聚醯亞胺構成的樹脂層 408。

藉由設置樹脂層 408，可以緩和電晶體 472B 的結構所產生的凹凸，來實現平坦化。

注意，如圖 4A 所示，藉由使第二閘極電極層 409 的寬度比第一閘極電極層 401 的寬度及氧化物半導體層 403 的寬度大，可以利用第二閘極電極層 409 來對氧化物半導體層 403 進行遮光。可以從第二閘極電極層 409 將閘極電壓施加到整個氧化物半導體層 403。

注意，即使採用圖 4A 所示的結構、圖 4B 所示的結構，也在層疊有第一保護絕緣層 407 和樹脂層 408 的部分薄的情況下，有時第二閘極電極層 409 與源極電極及汲極電極層 405 之間的寄生電容成為問題。在寄生電容成為問

題的情況下，較佳的縮小第二閘極電極層 409 的寬度，並且縮小第二閘極電極層 409 和源極電極及汲極電極層 405 重疊的面積。當縮小該重疊的面積時，可以降低寄生電容。

注意，當層疊有樹脂層 408 和第一保護絕緣層 407 的部分足夠厚，而寄生電容不成為問題時，也可以將第二閘極電極用作覆蓋驅動電路的多個電晶體的共用的閘極電極，並且將第二閘極電極的面積設定為與驅動電路大略相同的尺寸或其以上。

注意，在上述說明中，示出在光微影製程中使用二級灰度的光光罩的實例，但是若使用藉由使用多色調光罩而形成的具有多種(例如，在使用二級灰度的光光罩的情況下為兩種)厚度不同的區域的抗蝕劑光罩時，可以減少抗蝕劑光罩的數目，從而可以實現製程的簡化及低成本化。

在使用多色調光罩的情況下，在層疊形成層疊有兩種的氧化物半導體膜、導電膜後，在導電膜上形成具有多種厚度不同的區域的抗蝕劑光罩，並且使用該抗蝕劑光罩來形成具有厚度薄的區域的氧化物半導體層、源極電極及汲極電極層。在此情況下，源極電極及汲極電極層的端部與氧化物半導體層的端部大體上對準，並且氧化物半導體層的側面露出。從而，在形成第一保護絕緣層 407 的情況下，氧化物半導體層成為如下結構：不與源極電極層及汲極電極層重疊的區域(薄區)和側面這兩者與第一保護絕緣層 407 接觸。

因為本實施例模式中的電晶體所具有的通道形成區的半導體層為高電阻化區，所以電晶體的電特性穩定，可以防止截止電流的增加等。從而，可以實現具有電特性良好且可靠性好的電晶體的半導體裝置(顯示裝置)。

注意，本實施例模式可以與本說明書所示出的其他實施例模式適當地組合。

(實施例模式 3)

在本實施例模式中，說明可應用於本發明的一種實施例的顯示裝置的不同於實施例模式 1 及實施例模式 2 的電晶體及其製造方法。在本發明的一種實施例的顯示裝置中，將本實施例模式的電晶體至少應用於驅動電路部。

圖 6A 和 6B 示出本發明的一種實施例的電晶體的截面圖。電晶體 473 是底閘型電晶體，並且它包括設置於基板 400 上的第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極及汲極電極層 405(源極電極 405a 及汲極電極層—405b)、通道保護層 406。再者，設置有與通道保護層 406 接觸地覆蓋第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極及汲極電極層 405 的第一保護絕緣層 407 以及設置於該第一保護絕緣層 407 上且與氧化物半導體層 403 重疊的第二閘極電極層 409。就是說，在本實施例模式中說明的電晶體 473 是通道停止型。

首先，參照圖 7A 至 7D 而示出圖 6A 所示的電晶體

473 的製造方法的一例。

注意，因為直到在具有絕緣表面的基板 400 上形成第一閘極電極層 401、形成覆蓋第一閘極電極層 401 的閘極絕緣層 402、形成氧化物半導體膜的製程為止與實施例模式 1 相同，所以在此省略詳細說明，並且使用相同的附圖標記來說明與圖 2A 相同的部分。

與實施例模式 1 同樣地在閘極絕緣層 402 上形成第一氧化物半導體膜。

接著，進行光微影製程，在第一氧化物半導體膜上形成抗蝕劑光罩，對第一氧化物半導體膜進行蝕刻，形成島狀的第一氧化物半導體層 430。注意，在此的蝕刻不侷限於濕蝕刻，而也可以利用乾蝕刻(參照圖 7A)。

接著，與實施例模式 1 同樣地進行對第一氧化物半導體層 430 的加熱處理。藉由惰性氣體氛圍下或者減壓下的加熱處理和緩冷，實現第一氧化物半導體層 430 的低電阻化(載子濃度提高，較佳的是，它成為 $1 \times 10^{18}/\text{cm}^3$ 以上)，而得到低電阻化的第二氧化物半導體層 431。

對第一氧化物半導體層 430 的加熱處理在惰性氣體氛圍(氮或者氦、氖、氬等的稀有氣體)下或減壓下進行。藉由在上述氛圍下對第一氧化物半導體層 430 進行加熱處理，可以去掉第一氧化物半導體層 430 中包含的氫及水等的雜質。

注意，較佳的是，在加熱處理中，氮或者諸如氦、氖、氬等的稀有氣體不包含水或氫等雜質。或者，較佳的

將引入加熱處理裝置的氮或者諸如氦、氖、氬等的稀有氣體的純度設定為 6N(99.9999%)以上，更佳的設定為 7N(99.99999%)以上(就是說，將雜質濃度設定為 1ppm 以下，較佳的設定為 0.1ppm 以下)。

在本實施例模式中，電爐採用能夠以 $0.1^{\circ}\text{C}/\text{分}$ 以上且 $20^{\circ}\text{C}/\text{分}$ 以下進行升溫的結構，並且，將爐室內設定為氮或稀有氣體氛圍，將溫度設定為 200°C 以上且 600°C 以下，較佳的為 400°C 以上且 600°C 以下，在受到加熱的爐室中對形成在基板上的第一氧化物半導體層 430 進行加熱。或者，利用排氣裝置進行減壓，在該減壓下將溫度設定為 200°C 以上且 600°C 以下，較佳為 400°C 以上且 600°C 以下，對形成在基板上的第一氧化物半導體層 430 進行加熱，形成第二氧化物半導體層 431。

在加熱處理後，關掉電爐的加熱器，對爐室進行緩冷(慢慢冷卻)。注意，電爐較佳的採用能夠以 $0.1^{\circ}\text{C}/\text{分}$ 以上且 $15^{\circ}\text{C}/\text{分}$ 以下進行降溫的結構。

藉由像上述那樣進行加熱處理，可以提高後面形成的電晶體的可靠性。

接著，與第二氧化物半導體層 431 接觸地形成用作通道保護層的絕緣膜。在與第二氧化物半導體層接觸地形成的用作通道保護層的絕緣膜中，減少水分、氫離子及 OH^- 等，並阻擋水分、氫離子及 OH^- 等從外部侵入，並且該絕緣膜由包含氧的絕緣無機材料形成。明確而言，使用氧化矽、氧氮化矽或氮氧化矽形成。就是說，用作通道保護層

的絕緣膜與實施例模式 1 所說明的第一保護絕緣層 407 同樣地形成即可。

在本實施例模式中，作為用作通道保護層的絕緣膜，藉由濺射法形成厚度為 300nm 的氧化矽膜。將形成膜時的基板溫度設定為室溫以上且 300°C 以下即可，在此將它設定為 100°C。使用濺射法的氧化矽膜的形成可以在稀有氣體(例如，氬)氛圍下、氧氛圍下、或稀有氣體(例如，氬)和氧的混合氣體氛圍下進行。注意，作為靶，可以使用氧化矽靶或矽靶。例如，可以在包含氧的氛圍下使用矽靶並藉由濺射法來形成氧化矽膜。

當使用濺射法或電漿 CVD 法等與第二氧化物半導體層 431 接觸地使用氧化矽而形成用作通道保護層的絕緣膜時，在低電阻化的第二氧化物半導體層 431 中，至少使與用作通道保護層的絕緣膜接觸的區域高電阻化(載子濃度降低，它較佳的成為低於 $1 \times 10^{18}/\text{cm}^3$)，可以形成高電阻化氧化物半導體區。

在電晶體的製造方法中，根據惰性氣體氛圍下(或減壓下)的加熱、緩冷以及絕緣氧化物的形成等而增減氧化物半導體層的載子濃度，這是很重要的。第二氧化物半導體層 431 成為具有高電阻化氧化物半導體區的氧化物半導體層 403。

接著，進行光微影製程，在用作通道保護層的絕緣膜上形成抗蝕劑光罩，利用蝕刻去掉不需要的部分，形成通道保護層 406。注意，較佳的是，第一閘極電極層 401 的

寬度比通道保護層 406 的寬度(在通道長度方向上的長度)大(參照圖 7B)。

接著，在去掉抗蝕劑光罩後，在第二氧化物半導體層 431 及通道保護層 406 上形成導電膜。

作為導電膜的材料，可以舉出：選自鋁、鉻、鈮、鈦、鉬、鎢中的元素；以這些金屬元素為主要成分的合金；或者組合這些金屬元素的合金；等等。

注意，在形成該導電膜後進行加熱處理的情況下，使用至少具有能夠承受該加熱處理的程度的耐熱性的導電膜。

接著，進行光微影製程，在導電膜上形成抗蝕劑光罩，蝕刻該導電膜，形成源極電極及汲極電極層 405(源極電極 405a 及汲極電極 405b)。在該蝕刻中，通道保護層 406 用作氧化物半導體層 403 的蝕刻停止層，因此氧化物半導體層 403 不受到蝕刻。

由於採用與氧化物半導體層 403 的通道形成區上方接觸地設置通道保護層 406 的結構，所以可以防止在進行製程時發生的對氧化物半導體層 403 的通道形成區的損傷(在蝕刻時發生的由電漿或蝕刻劑導致的膜減小、氧化等)。從而，可以提高電晶體 473 的可靠性。

接著，在源極電極及汲極電極層 405、以及通道保護層 406 上形成第一保護絕緣層 407。在第一保護絕緣層 407 中，減少水分、氫離子及 OH^- 等，並阻擋水分、氫離子及 OH^- 等從外部侵入，並且第一保護絕緣層 407 使用包

含氧的絕緣無機材料形成。明確而言，可以舉出氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧化鎂、氧化鈮、氧化鉛、氧化鉭(參照圖 7D)。

注意，形成第一保護絕緣層 407 以後的製程與實施例模式 1 相同。就是說，在第一保護絕緣層 407 上形成第二閘極電極層 409。

接著，也可以在第二閘極電極層 409 上設置樹脂層。當在第二閘極電極層 409 上設置樹脂層時，可以緩和由電晶體 473 的結構產生的凹凸，實現平坦化。

注意，也可以在氮氛圍下或大氣氛圍下(大氣中)對電晶體 473 進行加熱處理。加熱處理較佳以 300°C 以下的溫度進行，並且，只要是在形成通道保護層 406 後，就可以隨時進行加熱處理。例如，在氮氛圍下進行 350°C 且一個小時的加熱處理。若進行該加熱處理，則可以降低電晶體 473 的電特性的偏差。

藉由上述製程，可以得到圖 6A 所示的電晶體 473。注意，在電晶體 473 中，層疊有通道保護層 406 和第一保護絕緣層 407 的部分用作第二閘極絕緣層。

圖 6B 所示的電晶體 473B 的僅僅一部分與圖 6A 不同。在圖 6B 中，除了與圖 6A 不同的部分以外，使用相同的附圖標記來說明。

圖 6B 示出在覆蓋第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極及汲極電極層 405 的第一保護絕緣層 407 和第二閘極電極層 409 之間形成樹

脂層 408 的情況。

樹脂層 408 夾著第一保護絕緣層 407 而覆蓋源極電極及汲極電極層 405 和通道保護層 406。樹脂層 408 例如可以使用厚度為 $0.5\mu\text{m}$ 至 $3\mu\text{m}$ 的感光性或非感光性的有機材料。作為感光性或非感光性的有機材料，可以舉出聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯或使用上述材料而成的疊層等。在此，作為樹脂層 408，藉由塗布法形成感光性的聚醯亞胺。在將聚醯亞胺塗敷到整個表面後，進行曝光、顯影及焙燒，形成表面平坦且厚度為 $1.5\mu\text{m}$ 的由聚醯亞胺構成的樹脂層 408。

藉由設置樹脂層 408，可以緩和電晶體 473B 的結構所產生的凹凸，來實現平坦化。

注意，如圖 6A 所示，藉由使第二閘極電極層 409 的寬度比第一閘極電極層 401 的寬度及氧化物半導體層 403 的寬度大，可以從第二閘極電極層 409 將閘極電壓施加到整個氧化物半導體層 403。

注意，即使採用圖 6A 所示的結構、圖 6B 所示的結構，也在層疊有通道保護層 406、第一保護絕緣層 407 和樹脂層 408 的部分薄的情況下，有時第二閘極電極層 409 與源極電極及汲極電極層 405 之間的寄生電容成為問題。在寄生電容成為問題的情況下，較佳使第二閘極電極層 409 的寬度比第一閘極電極層 401 的寬度小，並且縮小第二閘極電極層 409 和源極電極及汲極電極層 405 重疊的面積。若縮小該重疊的面積，則可以降低寄生電容。再者，

也可以採用如下結構：藉由使第一閘極電極層 401 的寬度比通道保護層 406 的寬度小，並且使第二閘極電極層 409 的寬度比通道保護層 406 的寬度小，使該第二閘極電極層 409 不與源極電極及汲極電極層 405 重疊，從而進一步降低寄生電容。

注意，當層疊有樹脂層 408 和第一保護絕緣層 407 的部分足夠厚，而寄生電容不成為問題時，也可以將第二閘極電極用作覆蓋驅動電路的多個電晶體的共用的閘極電極，並且將第二閘極電極的面積設定為與驅動電路大略相同的尺寸或其以上。

因為本實施例模式中的電晶體所具有的通道形成區的半導體層為高電阻化區，所以電晶體的電特性穩定，並且可以防止截止電流的增加等。從而，可以實現具有電特性良好且可靠性好的電晶體的半導體裝置(顯示裝置)。

注意，本實施例模式可以與本說明書所示出的其他實施例模式適當地組合。

(實施例模式 4)

在本實施例模式中，說明可應用於本發明的一種實施例的顯示裝置的不同於實施例模式 1 至實施例模式 3 的電晶體及其製造方法。在本發明的一種實施例的顯示裝置中，將本實施例模式的電晶體至少應用於驅動電路部。

圖 8A 和 8B 示出本發明的一種實施例的電晶體的截面圖。電晶體 474 是底閘型電晶體，並且它包括設置於基

板 400 上的第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、n 型氧化物半導體層 404a 及 404b、源極電極及汲極電極層 405(源極電極 405a 及汲極電極 405b)、通道保護層 406。再者，設置有與通道保護層 406 接觸地覆蓋它們的第一保護絕緣層 407 以及設置於該第一保護絕緣層 407 上且與氧化物半導體層 403 重疊的第二閘極電極層 409。就是說，在本實施例模式中說明的電晶體 474 是通道停止型。

首先，參照圖 9A 至 9D 而示出圖 8A 所示的電晶體 474 的製造方法的一例。

注意，因為直到在具有絕緣表面的基板 400 上形成第一閘極電極層 401、形成覆蓋第一閘極電極層 401 的閘極絕緣層 402、形成氧化物半導體膜的製程為止與實施例模式 3 相同，所以在此省略詳細說明，並且使用相同的附圖標記來說明與圖 7A 相同的部分。

與實施例模式 1 同樣地在閘極絕緣層 402 上形成第一氧化物半導體膜 433。

接著，與實施例模式 1 同樣地進行對第一氧化物半導體膜 433 的加熱處理。藉由惰性氣體氛圍下或者減壓下的加熱處理和緩冷，實現第一氧化物半導體膜 433 的低電阻化(載子濃度提高，較佳的是，它成爲 $1 \times 10^{18}/\text{cm}^3$ 以上)，而得到低電阻化的第二氧化物半導體膜。

對第一氧化物半導體膜 433 的加熱處理在惰性氣體氛圍(氮或者氦、氖、氬等的稀有氣體)下或減壓下進行。藉

由在上述氛圍下對第一氧化物半導體膜 433 進行加熱處理，可以去掉第一氧化物半導體膜 433 中包含的氫及水等的雜質。

注意，較佳的是，在加熱處理中，氮或者諸如氮、氬、氫等的稀有氣體不包含水或氫等雜質。或者，較佳的將引入加熱處理裝置的氮或者諸如氮、氬、氫等的稀有氣體的純度設定為 6N(99.9999%)以上，更佳的設定為 7N(99.99999%)以上(就是說，將雜質濃度設定為 1ppm 以下，較佳的設定為 0.1ppm 以下)。

在本實施例模式中，電爐採用能夠以 0.1°C /分以上且 20°C /分以下進行升溫的結構，並且，將爐室內設定為氮或稀有氣體氛圍，將溫度設定為 200°C 以上且 600°C 以下，較佳的為 400°C 以上且 600°C 以下，在受到加熱的爐室中對形成在基板上的第一氧化物半導體膜 433 進行加熱。

在加熱處理後，關掉電爐的加熱器，對爐室進行緩冷(慢慢冷卻)。注意，電爐較佳的採用能夠以 0.1°C /分以上且 15°C /分以下進行降溫的結構。

藉由像上述那樣進行加熱處理，可以提高後面形成的電晶體的可靠性。

接著，與第二氧化物半導體膜接觸地形成用作通道保護層的絕緣膜。在與第二氧化物半導體膜接觸地形成的用作通道保護層的絕緣膜中，減少水分、氫離子及 OH⁻等，並阻擋水分、氫離子及 OH⁻等從外部侵入，並且該絕緣膜

使用包含氧的絕緣無機材料形成。明確而言，使用氧化矽膜或氮氧化矽膜。

在本實施例模式中，作為用作通道保護層的絕緣膜，藉由濺射法形成厚度為 300nm 的氧化矽膜。將形成膜時的基板溫度設定為室溫以上且 300°C 以下即可，在此將它設定為 100°C。使用濺射法的氧化矽膜的形成可以在稀有氣體(例如，氬)氛圍下、氧氛圍下、或稀有氣體(例如，氬)和氧的混合氣體氛圍下進行。注意，作為靶，可以使用氧化矽靶或矽靶。例如，可以在包含氧的氛圍下使用矽靶並藉由濺射法來形成氧化矽膜。

當使用濺射法或電漿 CVD 法等與第二氧化物半導體膜接觸地使用氧化矽而形成用作通道保護層的絕緣膜時，在低電阻化的第二氧化物半導體膜中，至少使與用作通道保護層的絕緣膜接觸的區域高電阻化(載子濃度降低，它較佳的成為低於 $1 \times 10^{18}/\text{cm}^3$)，可以形成高電阻化氧化物半導體區。

在電晶體的製造方法中，根據惰性氣體氛圍下(或減壓下)的加熱、緩冷以及絕緣氧化物的形成等而增減氧化物半導體層的載子濃度，這是很重要的。第二氧化物半導體膜成為具有高電阻化氧化物半導體區的第三氧化物半導體膜。

接著，進行光微影製程，在用作通道保護層的絕緣膜上形成抗蝕劑光罩，利用蝕刻去掉不需要的部分，形成通道保護層 406。注意，較佳的是，第一閘極電極層 401 的

寬度比通道保護層 406 的寬度(在通道長度方向上的長度)大。

接著，在第三氧化物半導體膜及通道保護層 406 上形成用作源極區或汲極區的 n 型氧化物半導體膜。作為 n 型氧化物半導體膜，使用電阻低於第三氧化物半導體膜的用作氧化物半導體膜的膜。

作為 n 型氧化物半導體膜，例如，也可以使用：在包含氮氣體的氛圍中藉由濺射法使用包含 In(銦)、Ga(鎵)及 Zn(鋅)的金屬氧化物($\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$)而得到的包含銦、鎵及鋅的氧氮化物膜；Al-Zn-O 類非單晶膜；包含氮的 Al-Zn-O 類非單晶膜，即，Al-Zn-O-N 類非單晶膜(也稱為 AZON 膜)。

注意，在本實施例模式中使用的 In-Ga-Zn-O 類非單晶膜可以為非晶、微晶、多晶。或者，不限於此，也可以是單晶。藉由改變它們的形成條件、靶的組成比，改變第三氧化物半導體膜和 n 型氧化物半導體膜的結晶狀態。

從而，根據氧化物半導體膜的 formed 條件、靶的組成比，也可以使用作源極區及汲極區的 n 型氧化物半導體膜和形成通道區的第三氧化物半導體膜的結晶狀態不同。例如，既可以：用作源極區及汲極區的 n 型氧化物半導體膜包含微晶，並且第三氧化物半導體膜為非晶，又可以：用作源極區及汲極區的 n 型氧化物半導體膜為非晶，並且第三氧化物半導體膜包含微晶。

接著，進行光微影製程，在 n 型氧化物半導體膜上形

成抗蝕劑光罩，藉由蝕刻去掉 n 型氧化物半導體膜和第三氧化物半導體膜的不需要的部分來形成氧化物半導體層 403(參照圖 9B)。

注意，不侷限於上述說明，而也可以在用作通道保護層的絕緣膜上形成抗蝕劑光罩，藉由蝕刻去掉用作通道保護層的絕緣膜和第三氧化物半導體膜的不需要的部分，縮小該抗蝕劑光罩，藉由蝕刻進一步去掉用作通道保護層的絕緣膜的不需要的部分，以形成通道保護層 406。在此情況下，最初形成在用作通道保護層的絕緣膜上的抗蝕劑光罩較佳的為利用多色調光罩形成的具有多種厚度不同的區域的抗蝕劑光罩。

接著，在去掉抗蝕劑光罩後，在 n 型氧化物半導體膜上形成導電膜。

作為導電膜的材料，可以舉出：選自鋁、鉻、鈮、鈦、鉬、鎢中的元素；以這些金屬元素為主要成分的合金；或者組合這些金屬元素的合金；等等。

注意，在形成該導電膜後進行加熱處理的情況下，使用至少具有能夠承受該加熱處理的程度的耐熱性的導電膜。

接著，進行光微影製程，在導電膜上形成抗蝕劑光罩，蝕刻該導電膜，形成源極電極及汲極電極層 405。

並且，藉由蝕刻並利用同一個抗蝕劑光罩去掉夾在由源極電極及汲極電極層 405 形成的源極電極與汲極電極之間的 n 型氧化物半導體膜的區域，來形成用作源極區及汲

極區的 n 型氧化物半導體層 404。

藉由在氧化物半導體層 403 和源極電極及汲極電極層 405 之間設置低電阻的 n 型氧化物半導體層 404，與只使用金屬佈線的情況相比，可以使電晶體 474 更穩定地工作。

注意，在該蝕刻中，通道保護層 406 用作氧化物半導體層 403 的蝕刻停止層，因此氧化物半導體層 403 不受到蝕刻。通道保護層 406 可以防止在進行製程時發生的對氧化物半導體層 403 的通道形成區的損傷(在進行蝕刻時發生的由電漿或蝕刻劑導致的膜減小、氧化等)。從而，可以提高電晶體 474 的可靠性(參照圖 9C)。

接著，在源極電極及汲極電極層 405、以及通道保護層 406 上形成第一保護絕緣層 407(參照圖 9D)。在第一保護絕緣層 407 中，減少水分、氫離子及 OH^- 等，並阻擋水分、氫離子及 OH^- 等從外部侵入，並且第一保護絕緣層 407 使用包含氧的絕緣無機材料形成。明確而言，可以舉出氧化矽、氮化矽、氧氮化矽、氮氧化矽、氧化鋁、氮化鋁、氧化鎂、氧化鈮、氧化鈣、氧化鉬。

注意，形成第一保護絕緣層 407 以後的製程與實施例模式 1 相同。就是說，在第一保護絕緣層 407 上形成第二閘極電極層 409。

注意，也可以在第二閘極電極層 409 上設置樹脂層。若在第二閘極電極層 409 上設置樹脂層，則可以緩和由電晶體 474 的結構產生的凹凸，實現平坦化。

注意，也可以在氮氛圍下或大氣氛圍下(大氣中)對電晶體 474 進行加熱處理。加熱處理較佳的以 300°C 以下的溫度進行，並且，只要是在形成通道保護層 406 後，就可以隨時進行加熱處理。例如，在氮氛圍下進行 350°C 且一個小時的加熱處理。若進行該加熱處理，則可以減少電晶體 474 的電特性的偏差。

藉由上述製程，可以得到圖 8A 所示的電晶體 474。注意，在電晶體 474 中，層疊有通道保護層 406 和第一保護絕緣層 407 的部分用作第二閘極絕緣層。

注意，圖 8B 所示的電晶體 474B 的僅僅一部分與圖 8A 不同。在圖 8B 中，除了與圖 8A 不同的部分以外，使用相同的附圖標記來說明。

圖 8B 示出在覆蓋第一閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、n 型氧化物半導體層 404、源極電極及汲極電極層 405 的第一保護絕緣層 407 和第二閘極電極層 409 之間形成樹脂層 408 的情況。

樹脂層 408 夾著第一保護絕緣層 407 而覆蓋源極電極及汲極電極層 405 和通道保護層 406。樹脂層 408 例如可以使用厚度為 0.5 μm 至 3 μm 的感光性或非感光性的有機材料。作為感光性或非感光性的有機材料，可以舉出聚醯亞胺、丙烯酸樹脂、聚醯胺、聚醯亞胺醯胺、抗蝕劑、苯並環丁烯或層疊它們而成的材料等。在此，作為樹脂層 408，藉由塗布法形成感光性的聚醯亞胺。在將聚醯亞胺塗敷到整個表面後，進行曝光、顯影及焙燒，形成表面平

坦且厚度為 $1.5\mu\text{m}$ 的由聚醯亞胺構成的樹脂層 408。

藉由設置樹脂層 408，可以緩和電晶體 474B 的結構所產生的凹凸，來實現平坦化。

注意，如圖 8A 所示，藉由使第二閘極電極層 409 的寬度比第一閘極電極層 401 的寬度及氧化物半導體層 403 的寬度大，可以從第二閘極電極層 409 將閘極電壓施加到整個氧化物半導體層 403。

注意，即使採用圖 8A 所示的結構、圖 8B 所示的結構，也在層疊有通道保護層 406、第一保護絕緣層 407 和樹脂層 408 的部分薄的情況下，有時第二閘極電極層 409 與源極電極及汲極電極層 405 之間的寄生電容成爲問題。在寄生電容成爲問題的情況下，較佳的使第二閘極電極層 409 的寬度比第一閘極電極層 401 的寬度小，並且縮小第二閘極電極層 409 和源極電極及汲極電極層 405 重疊的面積。當縮小該重疊的面積時，可以降低寄生電容。再者，也可以採用如下結構：藉由使第一閘極電極層 401 的寬度比通道保護層 406 的寬度小，並且使第二閘極電極層 409 的寬度比通道保護層 406 的寬度小，來使該第二閘極電極層 409 不與源極電極層或汲極電極層重疊，從而進一步降低寄生電容。

注意，當層疊有樹脂層 408 和第一保護絕緣層 407 的部分足夠厚，而寄生電容不成爲問題時，也可以將第二閘極電極用作覆蓋驅動電路的多個電晶體的共用的閘極電極，並且將第二閘極電極的面積設定爲與驅動電路大略相

同的尺寸或其以上。

因為本實施例模式中的電晶體所具有的通道形成區的半導體層為高電阻化區，所以電晶體的電特性穩定，並且可以防止截止電流的增加等。從而，可以實現具有電特性良好且可靠性好的電晶體的半導體裝置(顯示裝置)。

注意，本實施例模式可以與本說明書所示出的其他實施例模式適當地組合。

(實施例模式 5)

在本實施例模式中，說明使用兩個 n 通道型電晶體而形成的驅動電路中的反相器電路的結構的一例。圖 10A 所示的電晶體與實施例模式 1 的圖 1A 所示的電晶體 471 等相同，因而相同部分使用相同附圖標記說明。此外，n 型氧化物半導體層 14a 及 n 型氧化物半導體層 14b 與實施例模式 2 的 n 型氧化物半導體層 404 相同，樹脂層 17 與實施例模式 1 的樹脂層 408 相同，第一保護絕緣層 18 與實施例模式 1 的第一保護絕緣層 407 相同，並且第二閘極電極層 470 與實施例模式 1 的第二閘極電極層 409 相同。

用來驅動像素部的驅動電路使用反相器電路、電容器、電阻等構成。在組合兩個 n 通道型電晶體形成反相器電路的情況下，有組合增強型電晶體和空乏型電晶體形成反相器電路的情況(以下稱為 EDMOS 電路)以及使用增強型電晶體的組合形成反相器電路的情況(以下稱為 EEMOS 電路)。

圖 10A 示出驅動電路中的反相器電路的截面結構。注意，圖 10A 和 10B 所示的電晶體 20 以及第二電晶體 43 是反交錯型的通道蝕刻型電晶體，是在氧化物半導體層上夾著源極區或汲極區而設置有佈線的電晶體的一例。

在圖 10A 中，在基板 10 上設置有第一閘極電極 11 及第三閘極電極 42。第一閘極電極 11 及第三閘極電極 42 的材料可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈹、銦等的金屬材料、或者以這些金屬材料為主要成分的合金材料，以單層或疊層形成。

在覆蓋第一閘極電極 11 及第三閘極電極 42 的第一閘極絕緣層 13 上設置氧化物半導體層 16 及第二氧化物半導體層 47。

在氧化物半導體層 16 上設置有用作第一端子的電極層(源極電極層 15a)及用作第二端子的電極層(汲極電極層 15b)，並且，用作第二端子的電極層藉由形成在第一閘極絕緣層 13 中的接觸孔 44 與第三閘極電極 42 直接連接。在第二氧化物半導體層 47 上設置用作第三端子 411 的電極層。

電晶體 20 包括第一閘極電極 11、覆蓋第一閘極電極 11 的第一閘極絕緣層 13、夾著第一閘極絕緣層 13 而與第一閘極電極 11 重疊的氧化物半導體層 16，並且，用作第一端子的電極層(源極電極層 15a)是被施加負電壓 VDL 的電源線(負電源線)。該電源線也可以是接地電位的電源線(接地電源線)。但是，在反相器電路中，根據連接到用作

第二端子的電極層(汲極電極層 15b)的佈線的電位，而有時用作第一端子的電極層用作汲極電極層，用作第二端子的電極層用作源極電極層。

第二電晶體 43 包括第三閘極電極 42、夾著第一閘極絕緣層 13 而與第三閘極電極 42 重疊的第二氧化物半導體層 47，並且，第三端子 411 是被施加正電壓 VDH 的電源線(正電源線)。注意，在反相器電路中，根據連接到用作第二端子的電極層(汲極電極層 15b)的佈線的電位，而有時用作第二端子的電極層用作源極電極層，用作第三端子 411 的電極層用作汲極電極層。

在此，在第二氧化物半導體層 47 和汲極電極層 15b 之間設置緩衝層 408a(也稱為源極區或汲極區)，並且，在第二氧化物半導體層 47 和第三端子 411 之間設置緩衝層 408b(也稱為汲極區或源極區)。

圖 10B 示出驅動電路中的反相器電路的俯視圖。在圖 10B 中，以虛線 Z1-Z2 切斷的截面相當於圖 10A。

為了使電晶體 20 成為增強型的 n 通道型電晶體，而在本實施例模式中在氧化物半導體層 16 上設置第二閘極絕緣層，並在該第二閘極絕緣層上設置第二閘極電極 19，並且利用施加到第二閘極電極 19 的電壓來調整電晶體 20 的臨界值電壓。

注意，雖然在圖 10A 及圖 10B 中示出成為第二端子的電極層(汲極電極層 15b)藉由形成在第一閘極絕緣層 13 中的接觸孔 44 與第三閘極電極 42 直接連接的例子，但是 §

不特別侷限於此，而也可以另行設置連接電極，從而用作第二端子的電極層(汲極電極層 15b)和第三閘極電極 42 藉由連接電極連接。

本實施例模式可以與實施例模式 1 至實施例模式 4 自由組合。

(實施例模式 6)

在本實施例模式中，參照方方塊圖、電路圖、表示各信號等的電位變化的波形圖、俯視圖(佈局圖)等而說明本發明的一種實施例的顯示裝置。

圖 11A 示出主動矩陣型液晶顯示裝置的方塊圖的一例。圖 11A 所示的液晶顯示裝置在基板 800 上包括：包括多個具備顯示元件的像素的像素部 801；控制與各像素的閘極電極連接的掃描線的電位的掃描線驅動電路 802；控制視頻信號向所選擇的像素的輸入的信號線驅動電路 803。在各像素中設置有圖 11B 所示的電晶體 804。電晶體 804 是利用第一控制信號 G1 和第二控制信號 G2 進行 In 端子和 Out 端子之間的電控制的元件。注意，圖 11B 所示的電晶體 804 的附圖標記相當於上述實施例模式 1 至實施例模式 4 中的任一個所說明的電晶體。

注意，雖然在此示出將掃描線驅動電路 802 和信號線驅動電路 803 形成在基板 800 上的方式，但是也可以利用形成在另一個基板上的 IC 等安裝掃描線驅動電路 802 的一部分。也可以利用形成在另一個基板上的 IC 等安裝信

號線驅動電路 803 的一部分。也可以在基板 800 上設置多個掃描線驅動電路 802。

圖 12 是說明構成顯示裝置的信號輸入端子、掃描線、信號線和包括非線性元件的保護電路以及像素部的位置關係的圖。在具有絕緣表面的基板 820 上以交叉的方式配置掃描線 823A 和控制線 823B 以及信號線 824，以構成像素部 827。注意，像素部 827 相當於圖 11 所示的像素部 801。注意，也可以將控制線 823B 配置為與信號線 824 平行。

像素部 827 藉由將多個像素 828 排列為矩陣狀來構成。像素 828 包括連接到掃描線 823A、控制線 823B、信號線 824 的像素電晶體 829、儲存電容部 830、像素電極 831。

在此所示的像素結構中，儲存電容部 830 的一個電極連接到像素電晶體 829，並且儲存電容部 830 的另一個電極連接到電容線 832。像素電極 831 構成驅動顯示元件(液晶元件、發光元件、反差介質(電子墨水)等)的一個電極。這些顯示元件的另一個電極(也稱為對置電極)連接到公共端子 833。從公共端子將共用電位(也稱為公共電位)供給到顯示元件的對置電極。

在從像素部 827 延伸的佈線和信號線輸入端子 822 之間設置有保護電路 835。在掃描線驅動電路 802 和像素部 827 之間設置有保護電路 835。在本實施例模式中，藉由設置使用多個保護電路而構成的保護電路 835，當對掃描

線 823A、控制線 823B、信號線 824 以及電容線 832 施加靜電等所導致的浪湧電壓時，保護像素電晶體 829 等不被破壞。因此，構成保護電路 835，以便當施加了浪湧電壓時可以將電荷釋放到公共佈線。

在本實施例模式中示出在信號線輸入端子 822 附近針對一個佈線而設置一個保護電路的實例。但是，設置保護電路 835 的位置、設置在保護電路 835 中的保護電路的數目不侷限於此。

藉由將實施例模式 1 至實施例模式 4 中的任一個所示的電晶體應用於像素電晶體 829，可以實現像素電晶體 829 的臨界值電壓的調整、電晶體的導通電流的增大中的一方或兩者。

圖 13A 是示出供給到像素 828 的信號的電位變化的概況的波形圖。在此，說明像素 828 的工作。圖 13A 示出連接到任意的像素的掃描線 823A、控制線 823B、信號線 824 以及電容線 832 的各電位的波形。圖 13A 是以橫軸為時間且以縱軸為電位而示出如下波形的時間變化的圖：表示掃描線 823A 的電位變化的概況的波形 G1、表示控制線 823B 的電位變化的概況的波形 G2、表示信號線 824 的電位變化的概況的波形 D、表示電容線 832 的電位變化的波形 COM。注意，將波形 G1 的高電源電位表示為 V_1 ，將波形 G1 的低電源電位表示為 V_2 ，將波形 G2 的電位表示為 V_c ，將波形 D 的高電源電位表示為 V_{D1} ，將波形 D 的低電源電位表示為 V_{D2} ，並且將波形 COM 的電位表示為

V_{COM} 。注意，如圖 13A 和 13B 所示，從波形 G1 從 V_2 變化為 V_1 的瞬間開始、到 V_1 再變化為 V_2 並再度變化為 V_1 為止的期間相當於一個幀期間。如圖 13A 和 13B 所示，從波形 G1 從 V_2 變化為 V_1 的瞬間開始、到 V_1 再變化為 V_2 為止的期間相當於一個閘極選擇期間。

在圖 13A 中，當一個幀期間的一個閘極選擇期間即掃描線 823A 為 V_1 時，位於 V_{D1} 至 V_{D2} 的範圍內的信號線 824 的電位被保持在像素 828 內的儲存電容部 830 中。此外，在圖 13A 中，當一個幀期間的一個閘極選擇期間以外的期間即掃描線 823A 為 V_2 時，與位於 V_{D1} 至 V_{D2} 的範圍內的信號線 824 的電位無關地，像素 828 內的儲存電容部 830 保持在一個閘極選擇期間輸入的電位。注意，較佳的是，在由掃描線 823A 進行的像素電晶體 829 的導通或非導通控制不會誤操作的範圍內，將表示控制線 823B 的電位變化的概況的波形 G2 設定為固定的電位。藉由將控制線 823B 的電位 V_c 設定為 V_{D2} 以下，較佳的為 V_2 至 V_{D2} 的範圍內，可以使由掃描線 823A 進行的像素電晶體 829 的導通或非導通控制不會誤操作。

圖 13B 是作為一例而示出當將信號線 824 的電位在一定期間內固定為 V_{D1} 時的電位變化的概況的波形圖。圖 13B 與圖 13A 不同之處在於如下兩點：具體地示出表示信號線 824 的電位變化的波形 D(在圖 13A 中，是位於 V_{D1} 至 V_{D2} 的範圍內的任意電位)；示出保持在像素 828 內的儲存電容部 830 中的電位變化的波形 C_{pix} 。在圖 13B 中，

在使波形 G1 成爲 V_1 之前將波形 D 從 V_{D2} 變化到 V_{D1} ，然後使波形 G1 成爲 V_1 ，以使保持在像素 828 內的儲存電容部 830 中的電位即波形 C_{pix} 的電位上升(參照圖 13B 所示的最初的一個閘極選擇期間)。在圖 13B 中，在使波形 G1 成爲 V_1 之前將波形 D 從 V_{D1} 變化到 V_{D2} ，然後使波形 G1 成爲 V_1 ，以使像素 828 內的儲存電容部 830 的電位即波形 C_{pix} 的電位下降(參照圖 13B 所示的第二次的一個閘極選擇期間)。藉由在使波形 G1 成爲 V_1 之前將波形 D 從 V_{D2} 變化到 V_{D1} 或從 V_{D1} 變化到 V_{D2} ，可以減少信號延遲等所導致的誤操作。注意，在圖 13B 中，有波形 D 和波形 C_{pix} 爲相同的電位的期間，但是爲明確地表示而使它們彼此偏離。

如圖 13A 及 13B 所示，藉由設置控制線 823B，可以得到與實施例模式 1 至實施例模式 4 中的任一個所示的電晶體相同的作用效果，並且，可以進行對像素電晶體 829 的臨界值電壓的控制。尤其是，藉由將控制線 823B 的波形 G2 設定成固定的電位，可以實現臨界值電壓穩定的電晶體，因此是較佳的。

注意，圖 13A 和 13B 所示的表示供給到像素 828 的信號的電位變化的概況的波形圖只是一例，而也可以組合其他驅動方法而使用。作爲其他驅動方法的一例，也可以使用如下驅動方法：針對每個一定期間、每個幀、或每個像素，相對於公共電極的共用電位(公共電位)而使施加到像素電極的電壓的極性反轉的驅動方法(所謂的反轉驅

動)。藉由進行反轉驅動，可以抑制圖像的閃爍等的顯示不均勻性以及顯示元件(例如，液晶元件)的劣化。注意，作為反轉驅動的實例，以幀反轉驅動為代表，可以舉出源極電極線反轉驅動、閘極線反轉驅動、點反轉驅動等。注意，作為顯示方式，可以使用逐行掃描方式或隔行掃描方式等。也可以採用在像素中設置多個子像素(也稱為副像素)的結構。

圖 14 示出圖 12 所示的像素 828 的佈局的一例。圖 14 所示的電晶體是與實施例模式 1 所示的電晶體相同的通道蝕刻型。以圖 14 中的虛線 A-B 切斷的截面相當於圖 1C 的截面。注意，圖 14 所示的像素的佈局圖示出將對應於 RGB(R 是紅色，G 是綠色，B 是藍色)這三種顏色的像素排列並配置在掃描線 823A 延伸的方向上的所謂的條形配置的實例，但是，不侷限於此，而也可以採用進行三角(delta)配置、或拜耳(Bayer)配置的佈局。注意，不侷限於 RGB 這三種顏色，而也可以採用三種以上的顏色，例如，也可以採用 RGBW(W 是白色)，或者對 RGB 追加諸如黃色、藍綠色、紫紅色等的一種以上的顏色。注意，也可以針對 RGB 的各顏色因素的像素而使其顯示區的尺寸不同。

圖 14 的像素的電路示出用作作為掃描線 823A 的佈線及作為電容線 832 的一個電極的佈線的第一導電層 1101、形成像素電晶體 829 的通道區的氧化物半導體層 1102、用作作為信號線 824 的佈線及作為電容線 832 的另

一個電極的佈線的第二導電層 1103、作為像素電極 831 的像素電極層 1104、用作作為控制線 823B 的佈線的第三導電層 1105、用來取得第二導電層 1103 與像素電極 831 之間的接觸的開口部 1106(也稱為接觸孔)。在圖 14 中，示出在氧化物半導體層 1102 上方延伸地設置與第一導電層 1101 平行地設置的第三導電層 1105 的結構，但是，如圖 15 所示，也可以採用覆蓋第一導電層 1101 上方以及氧化物半導體層 1102 上方地設置第三導電層 1105 的結構。當作為圖 15 所示的結構而利用具有遮光性的導電材料形成第三導電層 1105 時，與圖 14 的佈局圖相比，可以進一步提高第三導電層 1105 的遮光性。

注意，在圖 14 等所示的佈局圖中，也可以使電晶體的源極區及汲極區的相對部分成為 U 形或 C 形。或者，也可以使用作第一閘極電極的第一導電層 1101 成為 U 形或 C 形。注意，可以使用作第一閘極電極的第一導電層 1101 的通道長度方向上的寬度大於氧化物半導體層 1102 的寬度。並且，用作第二閘極電極的第三導電層 1105 的寬度(通道長度方向上的寬度)小於第一導電層 1101 的寬度，並且小於氧化物半導體層 1102 的寬度。

注意，圖 16 示出像素電晶體與掃描線的連接與圖 12 不同的實例。圖 16 示出如下情況：利用實施例模式 1 至實施例模式 4 中的任一個所示的電晶體來使連接到掃描線的第一閘極電極與連接到控制線的第二閘極電極連接而得到相同的電位。注意，在圖 16 中，省略對與圖 12 的說明

相同的部分的重複說明。

圖 16 是說明構成顯示裝置的信號輸入端子、掃描線、信號線、包括非線性元件的保護電路以及像素部的位置關係的圖。圖 16 與圖 12 不同之處在於如下一點：沒有控制線 823B，並且，具有對應於圖 12 中的掃描線 823A 的掃描線 823。如圖 16 所示，藉由將第二閘極電極連接到掃描線 823 來控制像素電晶體，可以省略控制線，並且，可以削減佈線數以及信號線輸入端子 822 的數目。

圖 17 是示出供給到圖 16 所示的像素 828 的信號的電位變化的概況的波形圖。說明圖 16 中的像素 828 的工作。圖 17 示出連接到任意的像素的掃描線 823、信號線 824 以及電容線 832 的各電位的波形。注意，為明確地表示與圖 13A 不同之處而在圖 17 中將連接到掃描線 823 而成為相等的第一閘極電極的電位和第二閘極電極的電位彼此稍微偏離而分開示出。圖 17 是以橫軸為時間且以縱軸為電位而示出如下波形的時間變化的圖：表示第一閘極電極的電位變化的概況的波形 G1、表示第二閘極電極的電位變化的概況的波形 G2、表示信號線 824 的電位變化的概況的波形 D、表示電容線 832 的電位變化的波形 COM。注意，將波形 G1 和波形 G2 的高電源電位表示為 V_1 ，將波形 G1 和波形 G2 的低電源電位表示為 V_2 ，將波形 D 的高電源電位表示為 V_{D1} ，將波形 D 的低電源電位表示為 V_{D2} ，並且將波形 COM 的電位表示為 V_{COM} 。注意，如圖 17 所示，從波形 G1 從 V_2 變化為 V_1 的瞬間開始、到

V_1 再變化為 V_2 並再度變化為 V_1 為止的期間相當於一個幀期間。如圖 17 所示，從波形 G1 從 V_2 變化為 V_1 的瞬間開始、到 V_1 再變化為 V_2 為止的期間相當於一個閘極選擇期間。

在圖 17 中，當一個幀期間的一個閘極選擇期間即掃描線 823 為 V_1 時，位於 V_{D1} 至 V_{D2} 的範圍內的信號線 824 的電位被保持在像素 828 內的儲存電容部 830 中。此外，在圖 17 中，當一個幀期間的一個閘極選擇期間以外的期間即掃描線 823 為 V_2 時，與位於 V_{D1} 至 V_{D2} 的範圍內的信號線 824 的電位無關地，像素 828 內的儲存電容部 830 保持在一個閘極選擇期間輸入的電位。

如圖 17 所示，藉由使波形 G1 和波形 G2 的電位相同，可以增加成為像素電晶體 829 的通道的區域，並且可以增加流過像素電晶體 829 的電流量，所以可以使顯示元件高速工作。作為以使波形 G1 和波形 G2 成為相同電位的方式進行驅動時的其他結構，可以舉出如圖 18 所示的設置第一掃描線驅動電路 802A 及第二掃描線驅動電路 802B 的結構。如圖 18 所示，也可以採用如下結構：第一掃描線驅動電路 802A 及第二掃描線驅動電路 802B 利用供給掃描信號的第一掃描線 823C 及第二掃描線 823D 來控制電晶體。

注意，與圖 13A 和 13B 同樣，圖 17 所示的示出電位變化的概況的波形圖只是一例，而也可以組合其他驅動方法而使用。作為其他驅動方法的一例，也可以使用如下驅

動方法：針對每個一定期間、每個幀或每個像素，相對於公共電極的共用電位(公共電位)而使施加到像素電極的電壓的極性反轉的驅動方法(上述的所謂的反轉驅動)。藉由利用反轉驅動，得到與上述同樣的效果。

圖 19 示出圖 16 所示的像素 828 的佈局的一例。圖 19 所示的電晶體是與實施例模式 1 所示的電晶體相同的通道蝕刻型。注意，圖 19 所示的像素的佈局圖示出將對應於 RGB(R 是紅色，G 是綠色，B 是藍色)這三種顏色的像素排列並配置在掃描線 823 延伸的方向上的所謂的條形配置的實例，但是，不侷限於此，而也可以採用進行三角配置、拜耳配置的佈局。注意，不侷限於 RGB 這三種顏色，例如，也可以採用 RGBW(W 是白色)，或者對 RGB 追加諸如黃色、藍綠色、紫紅色等的一種以上的顏色。注意，也可以針對 RGB 的各顏色要素的像素而使其顯示區的尺寸不同。

圖 19 的像素的電路示出用作作為掃描線 823 的佈線及作為電容線 832 的一個電極的佈線的第一導電層 1101、形成像素電晶體 829 的通道區的氧化物半導體層 1102、用作作為信號線 824 的佈線及作為電容線 832 的另一個電極的佈線的第二導電層 1103、作為像素電極 831 的像素電極層 1104、連接到第一導電層 1101 的第三導電層 1105、用來取得第二導電層 1103 與像素電極 831 之間的接觸或者用來取得第一導電層 1101 與第三導電層 1105 之間的接觸的開口部 1106(也稱為接觸孔)。在圖 19 中，

示出在氧化物半導體層 1102 上方針對每個像素電晶體 829 而設置第三導電層 1105 的結構，但是，如圖 20 所示，也可以採用覆蓋第一導電層 1101 上方以及氧化物半導體層 1102 上方地設置第三導電層 1105 的結構。當作爲圖 20 所示的結構而利用具有遮光性的導電材料形成第三導電層 1105 時，與圖 19 的佈局圖相比，可以進一步提高第三導電層 1105 的遮光性。

注意，在圖 19 等所示的佈局圖中，也可以使電晶體的源極區及汲極區的相對部分成爲 U 形或 C 形。或者，也可以使用作閘極電極的第一導電層 1101 成爲 U 形或 C 形。注意，可以使用作第一閘極電極的第一導電層 1101 的通道長度方向上的寬度大於氧化物半導體層 1102 的寬度。注意，用作第二閘極電極的第三導電層 1105 的寬度(通道長度方向上的寬度)大於第一導電層 1101 的寬度，並且大於氧化物半導體層 1102 的寬度。

如上所述，藉由使用實施例模式 1 至實施例模式 4 中的任一個結構的電晶體，可以得到上述實施例模式所說明的效果，並且可以使臨界值電壓成爲適當的值。

注意，在本實施例模式中，可以自由地將各附圖所述的內容與其他實施例模式所述的內容適當地組合或替換等。

(實施例模式 7)

在本實施例模式中，說明應用實施例模式 1 至實施例

模式 4 中的任一個所示的使用氧化物半導體層的電晶體的發光顯示裝置。作為發光顯示裝置所具有的顯示元件，在此示出利用電致發光的發光元件作為例子。利用電致發光的發光元件根據發光材料是有機化合物還是無機化合物而被區分，前者稱為有機 EL 元件，而後者稱為無機 EL 元件。

在有機 EL 元件中，藉由對發光元件施加電壓，來自一對電極的電子及電洞分別植入到包含發光性有機化合物的層中，由此電流流動。並且，這些載子(電子及電洞)重新結合來使該發光性有機化合物形成激發態，並且當從該激發態回到基態時發光。具有這種機理的發光元件稱為電流激發型發光元件。

無機 EL 元件根據其元件結構而被分類為分散型無機 EL 元件和薄膜型無機 EL 元件。分散型無機 EL 元件包括將發光材料顆粒分散在黏合劑中的發光層，並且其發光機理是利用施體能級和受體能級的施體－受體複合型發光。薄膜型無機 EL 元件是將發光層夾在電介質層之間並進而夾在電極之間的結構，並且其發光機理是利用金屬離子內殼層電子躍遷的定域型發光。

注意，在本實施例模式中，使用有機 EL 元件作為發光元件來進行說明。

圖 21 示出具備上述實施例模式 1 至實施例模式 4 中的任一個所述的電晶體的發光顯示裝置的像素的一例。

說明發光顯示裝置所具備的像素的結構和工作。在

此，示出如下實例：一個像素包括兩個 n 通道型電晶體，在每個 n 通道型電晶體中，將氧化物半導體層(例如 In-Ga-Zn-O 類非單晶膜)用於通道形成區。

像素 6400 包括開關電晶體 6401(第一電晶體)、驅動電晶體 6402(第二電晶體)、電容元件 6403 以及發光元件 6404。在開關電晶體 6401 中，第一閘極電極連接到掃描線 6406A，第二閘極電極連接到控制線 6406B，第一電極(源極電極及汲極電極中的一個)連接到信號線 6405，並且，第二電極(源極電極及汲極電極中的另一個)連接到驅動電晶體 6402 的閘極。在驅動電晶體 6402 中，第一閘極電極藉由電容元件 6403 連接到電源線 6407，第二閘極電極連接到控制線 6406B，第一電極連接到電源線 6407，並且第二電極連接到發光元件 6404 的第一電極(像素電極)。發光元件 6404 的第二電極相當於公共電極 6408。公共電極 6408 電連接到形成在同一個基板上的公共電位線，並且其連接部分可以用作公共連接部。

另外，將發光元件 6404 的第二電極(公共電極 6408)設定為低電源電位。注意，低電源電位是指以對電源線 6407 設定的高電源電位為基準而滿足低電源電位 < 高電源電位的電位，並且作為低電源電位例如可以舉出 GND、0V 等。將該高電源電位與低電源電位的電位差施加到發光元件 6404，使電流流過發光元件 6404 以使發光元件 6404 發光，因此以使高電源電位與低電源電位的電位差成為發光元件 6404 的正向臨界值電壓以上的方式設

定各電位。

另外，還可以使用驅動電晶體 6402 的閘極電容來代替電容元件 6403，由此省略電容元件 6403。至於驅動電晶體 6402 的閘極電容，例如可以在通道區與閘極電極之間形成。

當進行模擬灰度驅動時，對驅動電晶體 6402 的第一閘極施加發光元件 6404 的正向電壓 + 驅動電晶體 6402 的臨界值電壓以上的電壓。發光元件 6404 的正向電壓是指在得到所希望的亮度時的電壓，至少包括正向臨界值電壓。注意，藉由輸入使驅動電晶體 6402 在飽和區中工作的視頻信號，可以使電流在發光元件 6404 中流動。為了使驅動電晶體 6402 在飽和區中工作，而將電源線 6407 的電位設定為高於驅動電晶體 6402 的第一閘極電位。藉由將視頻信號設定為模擬值，可以根據視頻信號而使電流在發光元件 6404 中流動，而進行模擬灰度驅動。

如圖 21 所示，藉由設置控制線 6406B，與實施例模式 1 至實施例模式 4 中的任一個所示的電晶體同樣，可以控制開關電晶體 6401 和驅動電晶體 6402 的臨界值電壓。尤其是，在驅動電晶體 6402 中，以使驅動電晶體 6402 在飽和區中工作的方式輸入視頻信號。因此，藉由利用控制線 6406B 的電位來控制臨界值電壓，可以使由於臨界值電壓的漂移而發生的、要輸入的視頻信號與發光元件的亮度之間的偏離小。其結果，可以謀求實現顯示裝置的顯示品質的提高。

注意，開關電晶體 6401 是作為開關而工作的電晶體，所以也可以不進行利用控制線 6406B 的對第二閘極的電位的控制。就是說，也可以將控制線 6406B 只連接到驅動電晶體 6402 的第二閘極。

注意，圖 21 所示的像素結構不侷限於此。例如，還可以對圖 21 所示的像素新追加開關、電阻元件、電容元件、電晶體或邏輯電路等。

注意，在進行數位灰度驅動的情況下，對驅動電晶體 6402 的閘極輸入使驅動電晶體 6402 成為完全導通或完全截止這兩種狀態中的任一種的視頻信號。就是說，使驅動電晶體 6402 在線性區中工作。由於使驅動電晶體 6402 在線性區中工作，所以將驅動電晶體 6402 的第一閘極的電位設定為高於電源線 6407 的電位。注意，對信號線 6405 施加(電源線電壓 + 驅動電晶體 6402 的 V_{th})以上的電壓。可以採用與圖 21 相同的像素結構。

接下來，參照圖 22A 至 22C 而說明發光元件的結構。在此，舉出驅動電晶體是 n 通道型電晶體的實例而說明像素的截面結構。圖 22A 至 22C 所示的驅動電晶體即電晶體 7001、電晶體 7011 及電晶體 7021 可以與實施例模式 1 所示的電晶體 471 等同樣地製造，並且將氧化物半導體層使用於通道形成區。

為了取出發光，發光元件的陽極和陰極中的至少一個為透明即可。並且，在基板上形成電晶體及發光元件，該發光元件具有如下結構：從與基板相反一側的面取出發光

的頂部發射結構(top-emission)；從基板一側的面取出發光的底部發射結構(bottom-emission)；從基板一側及與基板相反一側的面的兩者取出發光的雙面發射結構(dual-emission)，而且，如圖 22A 至 22C 所示，在本實施例模式中，這些發射結構的任一個都可以應用。

參照圖 22A 而說明頂部發射結構的發光元件。

圖 22A 示出如下情況的像素的截面圖：將實施例模式 1 所示的電晶體 7001 用作配置在像素中的驅動電晶體，並且從電連接到電晶體 7001 的發光元件 7002 發射的光發射到陽極 7005 一側。電晶體 7001 由保護層 7007 和樹脂層 7017 覆蓋，並在樹脂層 7017 上具有使用氮化矽而形成的第二保護絕緣層 7018，並且電晶體 7001 的通道使用 In-Zn-O 類氧化物半導體形成。

在圖 22A 中，發光元件 7002 的陰極 7003 和作為驅動電晶體的電晶體 7001 電連接，並且在陰極 7003 上按順序層疊形成有發光層 7004、陽極 7005。陰極 7003 只要是功函數低並反射光的導電材料，就可以使用各種材料。例如，較佳的採用 Ca、Al、MgAg、AlLi 等。

注意，在圖 22A 中，使用與陰極 7003 相同的材料形成的第二閘極電極 7009 覆蓋氧化物半導體層，並且第二閘極電極 7009 對氧化物半導體層進行遮光。第二閘極電極 7009 控制電晶體 7001 的臨界值電壓。藉由使用相同材料以同一個層形成陰極 7003 和第二閘極電極 7009，可以削減製程數。

並且，爲了防止第二閘極電極 7009 和陰極 7003 的短路，而設置有使用絕緣材料構成的分隔壁 7006。以與從分隔壁 7006 的一部分露出的陰極 7003 的一部分和分隔壁 7006 這兩者重疊的方式設置有發光層 7004。

而且，發光層 7004 可以使用單層或多層的疊層形成。在層疊多個層而形成時，在陰極 7003 上按順序層疊形成電子植入層、電子傳輸層、發光層、電洞傳輸層、電洞植入層。注意，並不需要都設置這些層。使用透過光的具有透光性的導電材料形成陽極 7005，例如也可以使用具有透光性的導電材料諸如包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物(下面，表示爲 ITO)、銦鋅氧化物、或添加有氧化矽的銦錫氧化物等。

使用陰極 7003、陽極 7005 以及夾在陰極 7003 和陽極 7005 之間的發光層 7004 形成發光元件 7002。在圖 22A 所示的像素中，從發光元件 7002 發射的光如箭頭所示發射到陽極 7005 一側。

接著，參照圖 22B 而說明底部發射結構的發光元件。

圖 22B 示出如下情況的像素的截面圖：將實施例模式 1 所示的電晶體 7011 用作配置在像素中的驅動電晶體，並且從電連接到電晶體 7011 的發光元件 7012 發射的光發射到陰極 7013 一側。電晶體 7011 由保護層 7007 和樹脂層 7017 覆蓋，並在樹脂層 7017 上具有使用氮化矽而形成的第二保護絕緣層 7018，並且電晶體 7011 的通道使用

In-Ga-Zn-O 類氧化物半導體形成。

在圖 22B 中，在與作為驅動電晶體的電晶體 7011 電連接的具有透光性的導電膜 7010 上形成有發光元件 7012 的陰極 7013，並且在陰極 7013 上按順序層疊形成有發光層 7014、陽極 7015。注意，在陽極 7015 具有透光性的情況下，也可以覆蓋陽極 7015 上方地形成有用來反射光或遮光的遮罩膜 7016。與圖 22A 的情況同樣，陰極 7013 只要是功函數低的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度(較佳為 5nm 至 30nm 左右)。例如，可以將厚度為 20nm 的鋁膜用作陰極 7013。

而且，與圖 22A 同樣，發光層 7014 可以使用單層或多個層的疊層形成。陽極 7015 不需要透過光，但是可以與圖 22A 同樣地使用具有透光性的導電材料形成。並且，雖然遮罩膜 7016 例如可以使用反射光的金屬膜等，但是不侷限於此。例如，也可以使用添加有黑色顏料的樹脂等。

注意，在圖 22B 中，採用使用與具有透光性的導電膜 7010 相同的導電材料設置的第二閘極電極 7019 覆蓋氧化物半導體層的結構。在本實施例模式中，作為第二閘極電極 7019 的材料，使用包含氧化矽的銻錫氧化物。第二閘極電極 7019 控制電晶體 7011 的臨界值電壓。藉由使用相同材料以同一個層形成具有透光性的導電膜 7010 和第二閘極電極 7019，可以削減製程數。使用第二閘極電極 7019 的上方的遮罩膜 7016 來對電晶體 7011 的氧化物半

導體層進行遮光。

使用陰極 7013、陽極 7015 以及夾在陰極 7013 和陽極 7015 之間的發光層 7014 形成發光元件 7012。在圖 22B 所示的像素中，從發光元件 7012 發射的光如箭頭所示那樣發射到陰極 7013 一側。

接著，參照圖 22C 而說明雙面發射結構的發光元件。

圖 22C 示出如下情況的像素的截面圖：將實施例模式 1 所示的電晶體 7021 用作配置在像素中的驅動電晶體，並且從電連接到電晶體 7021 的發光元件 7022 發射的光穿過陽極 7025 一側和陰極 7023 一側的兩者。電晶體 7021 由保護層 7007 和樹脂層 7017 覆蓋，並在樹脂層 7017 上具有使用氮化矽而形成的第二保護絕緣層 7018，並且電晶體 7021 的通道使用 Zn-O 類氧化物半導體形成。

在與電晶體 7021 藉由連接電極 7028 電連接的具有透光性的導電膜 7027 上形成有發光元件 7022 的陰極 7023，並且在陰極 7023 上按順序層疊形成有發光層 7024、陽極 7025。與圖 22A 的情況同樣，陰極 7023 只要是功函數低的導電材料，就可以使用各種材料。但是，將其厚度設定為透過光的程度(較佳的為 5nm 至 30nm 左右)。例如，可以將厚度為 20nm 的鋁膜用作陰極 7023。

而且，與圖 22A 同樣，發光層 7024 可以使用單層或多個層的疊層形成。陽極 7025 可以與圖 22A 同樣地使用具有透光性的導電材料形成。

使用陰極 7023、陽極 7025 以及夾在陰極 7023 和陽

極 7025 之間的發光層 7024 形成發光元件 7022。在圖 22C 所示的像素中，從發光元件 7022 發射的光如箭頭所示那樣發射到陽極 7025 一側和陰極 7023 一側的兩者。

注意，在圖 22C 中，第二閘極電極 7029 覆蓋氧化物半導體層。從而，作為第二閘極電極 7029 的材料，使用具有透光性的導電材料(例如，Ti、氮化鈦、Al、W 等)。在此，作為第二閘極電極 7029 的材料，使用鈦。利用第二閘極電極 7029 控制電晶體 7021 的臨界值電壓。使用第二閘極電極 7029 來對電晶體 7021 的氧化物半導體層進行遮光。藉由使用與第二閘極電極 7029 相同的材料(就是鈦)以同一個層形成連接到電晶體 7021 的連接電極 7028。

注意，雖然在此說明作為發光元件而使用有機 EL 元件的情況，但是也可以作為發光元件而使用無機 EL 元件。

注意，雖然在本實施例模式中示出控制發光元件的驅動的電晶體(驅動電晶體)和發光元件連接的實例，但是也可以在驅動電晶體和發光元件之間連接有電流控制電晶體。

接下來，參照圖 23A 和 23B 而說明相當於半導體裝置的一個實施例的發光顯示面板(也稱為發光面板)的外觀及截面。圖 23A 是一種發光顯示面板的俯視圖，其中使用密封材料將形成在第一基板上的電晶體及發光元件密封在第一基板與第二基板之間，而且圖 23B 是沿圖 23A 的 H-I 線的截面圖。

以圍繞設置在第一基板 4500 上的像素部 4502、信號線驅動電路 4503a、信號線驅動電路 4503b、掃描線驅動電路 4504a 以及掃描線驅動電路 4504b 的方式設置有密封材料 4505。此外，在像素部 4502、信號線驅動電路 4503a、信號線驅動電路 4503b、掃描線驅動電路 4504a 以及掃描線驅動電路 4504b 上方設置有第二基板 4506。因此，像素部 4502、信號線驅動電路 4503a、信號線驅動電路 4503b、掃描線驅動電路 4504a 以及掃描線驅動電路 4504b 與填充材料 4503 一起由第一基板 4500、密封材料 4505 和第二基板 4506 密封。像這樣，為防止暴露於外部空氣而較佳使用氣密性高且漏氣少的保護膜(貼合膜、紫外線固化樹脂膜等)或覆蓋材料進行封裝(封入)。

設置在第一基板 4500 上的像素部 4502、信號線驅動電路 4503a、信號線驅動電路 4503b、掃描線驅動電路 4504a 以及掃描線驅動電路 4504b 包括多個電晶體。在圖 23B 中，例示了包括在像素部 4502 中的電晶體 4510 和包括在信號線驅動電路 4503a 中的電晶體 4509。

在此，在電晶體 4509 和電晶體 4510 中使用 Zn-O 類氧化物半導體。在本實施例模式中，電晶體 4509 和電晶體 4510 是 n 通道型電晶體。電晶體 4509 和電晶體 4510 由第一保護層 4507 上的樹脂層 4508、樹脂層 4508 上的第二保護絕緣層 4514 覆蓋。注意，使用氮化矽而形成的第二保護絕緣層 4514 被形成為覆蓋樹脂層 4508 的頂面和側面。在電晶體 4509 的上方設置有第二閘極電極 4522，

並且在電晶體 4510 的上方設置有第二閘極電極 4521。第二閘極電極 4521 和第二閘極電極 4522 以同一層形成，並且它們控制電晶體的臨界值電壓，也用作氧化物半導體層的保護層。

第二閘極電極 4522 的寬度大於電晶體 4509 的閘極電極的寬度，並且閘極電壓可以施加到整個氧化物半導體層。在使用具有遮光性的導電材料形成第二閘極電極 4522 的情況下，可以遮斷射向電晶體 4509 的氧化物半導體層的光。在使用具有遮光性的導電材料形成第二閘極電極 4522 的情況下，可以防止因氧化物半導體的光敏性而引起的電晶體的電特性的變化，因而可以使該電晶體穩定地工作。

第二閘極電極 4521 的寬度與第二閘極電極 4522 的寬度不同，而將第二閘極電極 4521 的寬度設定為小於電晶體 4510 的第一閘極電極的寬度。藉由使第二閘極電極 4521 的寬度小於電晶體 4510 的第一閘極電極的寬度，縮小該第二閘極電極 4521 與電晶體 4510 的源極電極或汲極電極重疊的面積，可以降低寄生電容。第二閘極電極 4521 的寬度小於電晶體 4510 的氧化物半導體層的寬度，從而僅對一部分進行遮光，但是進而在上方設置有第二電極層 4513，並且，藉由使用具有遮光性的導電材料而形成第二電極層 4513，可以對整個氧化物半導體層進行遮光。

發光元件 4511 所包括的像素電極即第一電極層 4517

連接到電晶體 4510 的源極電極或汲極電極。注意，發光元件 4511 具有層疊有第一電極層 4517、電致發光層 4512 和第二電極層 4513 的結構，但是不侷限於此。發光元件 4511 的結構可以根據從發光元件 4511 取出的光的方向等而適當地改變。

分隔壁 4520 使用有機樹脂膜、無機絕緣膜或有機聚矽氧烷來形成。特別地，較佳的是，使用感光性材料來在第一電極層 4517 上形成開口部，使得該開口部的側壁成爲具有連續曲率的傾斜面，以形成分隔壁 4520。

電致發光層 4512 可以使用單層或多層的疊層來形成。

爲了防止氧、氫、水分、二氧化碳等進入發光元件 4511，而也可以覆蓋第二電極層 4513 和分隔壁 4520 地形成保護膜。作爲保護膜，可以舉出氮化矽膜、氮氧化矽膜、DLC 膜等。

供給到信號線驅動電路 4503a、信號線驅動電路 4503b、掃描線驅動電路 4504a、掃描線驅動電路 4504b 或者像素部 4502 的各種信號和電位由 FPC4518a 和 FPC4518b 提供。

在本實施例模式中，連接端子電極 4515 使用與發光元件 4511 的第一電極層 4517 相同的材料以同一層形成。並且，端子電極 4516 使用與電晶體 4509 和電晶體 4510 所包括的源極電極及汲極電極相同的材料以同一層形成。注意，在端子電極 4516 下方具有電晶體 4509 和電晶體

4510 的閘極絕緣層 4501。

連接端子電極 4515 藉由各向異性導電膜 4519 電連接到 FPC4518a 所包括的端子。

位於從發光元件 4511 取出光的方向上的第二基板 4506 需要具有透光性。在那種情況下，使用諸如玻璃板、塑膠板、聚酯膜或丙烯酸樹脂膜等具有透光性的基板。

注意，作為填充材料 4503，除了氮或氬等惰性氣體以外，還可以使用紫外線固化樹脂或熱固化樹脂。例如，可以使用 PVC(聚氯乙烯)、丙烯酸樹脂、聚醯亞胺、環氧樹脂、矽酮樹脂、PVB(聚乙烯醇縮丁醛)或 EVA(乙烯-醋酸乙酯)。在此，作為填充材料而使用氮。

注意，在有需要時，既可以在發光元件的發射面上適當地設置諸如偏光板、圓偏光板(包括橢圓偏光板)、相位差板($\lambda/4$ 片、 $\lambda/2$ 片)、濾色片等的光學膜，又可以在偏光板、圓偏光板上設置抗反射膜。例如，可以進行防炫光(anti-glare)處理，其中，利用表面的凹凸來使反射光擴散，而可以減少炫光。

信號線驅動電路 4503a、信號線驅動電路 4503b、掃描線驅動電路 4504a 以及掃描線驅動電路 4504b 也可以在另外的基板上使用單晶半導體膜或多晶半導體膜來形成。注意，也可以在另外的基板上只形成信號線驅動電路，或者在另外的基板上形成掃描線驅動電路的一部分或全部。

藉由上述製程，可以製造可靠性高的發光顯示裝置

(顯示面板)作為半導體裝置。

本實施例模式可以與其他實施例模式所記載的結構適當地組合來實施。

(實施例模式 8)

在本實施例模式中，說明應用實施例模式 1 至實施例模式 4 中的任一個所示的使用氧化物半導體層的電晶體的液晶顯示裝置。藉由將實施例模式 1 至實施例模式 4 中的任一個所示的使用氧化物半導體層的電晶體用於驅動電路並進而用於像素部，可以製造具有顯示功能的液晶顯示裝置。注意，使用該電晶體並將驅動電路的一部分或全部形成在與像素部相同的基板上，可以形成系統化面板(system-on-panel)。

液晶顯示裝置包括作為顯示元件的液晶元件(液晶顯示元件)。

注意，液晶顯示裝置包括處於密封有顯示元件的狀態的面板、處於在該面板上安裝有包括控制器的 IC 等的狀態的模組。再者，在相當於製造該液晶顯示裝置的過程中的、顯示元件完成之前的一個方式的元件基板中，各像素分別具備用來將電流供給到顯示元件的單元。明確而言，元件基板既可以是只形成有顯示元件的像素電極的狀態，又可以是形成成為像素電極的導電膜之後且藉由蝕刻形成像素電極之前的狀態，而可以採用所有方式。

注意，本說明書中的液晶顯示裝置是指圖像顯示裝

置、顯示裝置或光源(包括照明裝置)。注意，液晶顯示裝置都包括安裝有連接器諸如 FPC(Flexible Printed Circuit；撓性印刷電路)、TAB(Tape Automated Bonding；載帶自動接合)帶或 TCP(Tape Carrier Package；載帶封裝)的模組；將印刷線路板設置於 TAB 帶或 TCP 的端部的模組；或者藉由 COG(Chip On Glass；玻璃上晶片)方式將 IC(積體電路)直接安裝到顯示元件上的模組。

參照圖 24A1 至 24B 而說明相當於液晶顯示裝置的一個方式的液晶顯示面板的外觀及截面。圖 24A1 及 24A2 示出使用密封材料 4005 將液晶元件 4013 密封在第一基板 4001 和第二基板 4006 之間的面板的俯視圖，並且，圖 24B 相當於沿著圖 24A1 及 24A2 的 M-N 的截面圖。

在圖 24A1 至 24B 中，以圍繞設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 的方式設置有密封材料 4005。此外，在像素部 4002、掃描線驅動電路 4004 上方設置有第二基板 4006。因此，像素部 4002 和掃描線驅動電路 4004 與液晶層 4008 一起由第一基板 4001、密封材料 4005、第二基板 4006 密封。在本實施例模式中，雖然沒有特別的限制，但將呈現藍相的液晶材料用於液晶層 4008。呈現藍相的液晶材料在從沒有施加電壓的狀態到施加電壓的狀態下具有 1msec 以下的短回應速度，由此可以進行高速回應。呈現藍相的液晶材料包括液晶及手性試劑。手性試劑用來將液晶取向為螺旋結構並呈現藍相。例如，將混合有 5wt%以上的手性試劑的液晶材

料用於液晶層即可。作為液晶，使用熱致液晶、低分子液晶、高分子液晶、鐵電性液晶、反鐵電性液晶等。

在圖 24A1 中，在第一基板 4001 上的不同於密封材料 4005 所圍繞的區域的區域中安裝有信號線驅動電路 4003，該信號線驅動電路 4003 在另行準備的基板上使用單晶半導體膜或多晶半導體膜形成。

圖 24A2 是將信號線驅動電路的一部分形成在第一基板 4001 上的實例，其中，在第一基板 4001 上形成信號線驅動電路 4003b，並且，安裝有信號線驅動電路 4003a，該信號線驅動電路 4003a 在另行準備的基板上使用單晶半導體膜或多晶半導體膜形成。

注意，對另行形成的驅動電路的連接方法沒有特別的限制，而可以使用 COG 方法、引線接合方法、TAB 方法等。圖 24A1 是藉由 COG 方法安裝信號線驅動電路的實例，並且圖 24A2 是藉由 TAB 方法安裝信號線驅動電路的實例。

注意，設置在第一基板 4001 上的像素部 4002 和掃描線驅動電路 4004 包括多個電晶體。圖 24B 示出像素部 4002 所包括的電晶體 4010 和掃描線驅動電路 4004 所包括的電晶體 4011。在電晶體 4010 和電晶體 4011 上設置有第一保護絕緣層 4020、作為第二保護絕緣層的樹脂層 4021 以及第三保護絕緣層 4022。作為電晶體 4010 及電晶體 4011，可以應用實施例模式 1 至實施例模式 4 中的任一個所示的電晶體。在本實施例模式中，電晶體 4010 及

電晶體 4011 是將氧化物半導體層用於通道形成區的 n 通道型電晶體。

電晶體 4010 及電晶體 4011 由第一保護絕緣層 4020、作為第二保護絕緣層的樹脂層 4021 以及第三保護絕緣層 4022 覆蓋。在電晶體 4010 及電晶體 4011 的氧化物半導體層及閘極絕緣層 4019 上方以接觸的方式設置第一保護絕緣層 4020。

注意，用作平坦化絕緣膜的第二保護絕緣層即樹脂層 4021 可以使用聚醯亞胺、丙烯酸樹脂、苯並環丁烯、聚醯胺、環氧樹脂等具有耐熱性的有機材料來形成。此外，除了這些有機材料以外，還可以使用低介電常數材料 (low-k 材料)、矽氧烷類樹脂、PSG(磷矽酸鹽玻璃)、BPSG(硼磷矽酸鹽玻璃)等。注意，也可以層疊使用這些材料而形成的多個絕緣膜，來形成絕緣層。注意，樹脂層 4021 是透光性樹脂層，並且在本實施例模式中使用感光性聚醯亞胺樹脂。

對絕緣層的形成方法沒有特別的限制，可以根據其材料而使用如下：方法諸如濺射法、SOG 法、旋塗、浸塗、噴塗、液滴噴射法(噴墨法、絲網印刷、膠印刷等)；裝置諸如刮刀、輥塗機、幕塗機、刮刀塗機等。

注意，第三保護絕緣層 4022 用來防止在大氣中漂浮的有機物、金屬物或水蒸氣等污染氧化物半導體層的雜質元素(鈉等)進入，而較佳的為緻密的膜。保護膜利用 PCVD 法或濺射法並使用氧化矽膜、氮化矽膜、氧氮化矽

膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜或者氮氧化鋁膜的單層或疊層來形成，即可。

第三保護絕緣層 4022 使用利用電漿 CVD 法以低功率條件而得到的氮化矽來形成。使用氮化矽形成的基底絕緣層 4007 和第三保護絕緣層 4022 具有在像素部的外側接觸的結構，並且它們也密封作為第二保護絕緣層的樹脂層 4021 的側面，利用氮化矽膜圍繞電晶體 4010 及電晶體 4011，以提高電晶體 4010 及電晶體 4011 的可靠性。

在第一保護絕緣層 4020 上的與電晶體 4011 的氧化物半導體層重疊的位置上形成第二閘極電極 4028。在第三保護絕緣層 4022 上的與電晶體 4010 的氧化物半導體層重疊的位置上形成第二閘極電極 4029。

在第一基板 4001 上設置像素電極層 4030 和公共電極層 4031，並且像素電極層 4030 與電晶體 4010 電連接。可以將第二閘極電極 4028 及第二閘極電極 4029 的電位設定為與公共電極層 4031 共同的電位。第二閘極電極 4028 及第二閘極電極 4029 使用公共電極層 4031 形成。當使用具有遮光性的材料形成第二閘極電極 4028 及第二閘極電極 4029 時，可以用作對電晶體 4011 及電晶體 4010 的氧化物半導體層進行遮光的遮光層。

可以將第二閘極電極 4028 及第二閘極電極 4029 設定為與公共電極層 4031 不同的電位。在此情況下，設置與第二閘極電極 4028 及第二閘極電極 4029 電連接的控制線，並且利用控制線的電位來控制電晶體 4010 及電晶體

4011 的臨界值電壓。

注意，不侷限於上述記載，而既可以將第二閘極電極 4028 及第二閘極電極 4029 連接到第一閘極電極，又可以使第二閘極電極 4028 及第二閘極電極 4029 成爲浮動狀態。

液晶元件 4013 包括像素電極層 4030、公共電極層 4031 及液晶層 4008。在本實施例模式中，使用一種方法，其中產生大致平行於基板(即，水平方向)的電場，並在與基板平行的面內使液晶分子活動，以控制灰度。作爲這種方法，可以應用：在 IPS(In Plane Switching：平面內切換)模式中使用的電極結構；在 FFS(Fringe Field Switching：邊緣場切換)模式中使用的電極結構。注意，在第一基板 4001 及第二基板 4006 的外側分別設置有偏光板 4032 及偏光板 4033。

注意，作爲第一基板 4001 及第二基板 4006，可以使用具有透光性的玻璃基板或者塑膠基板等。作爲塑膠基板，可以使用 FRP(玻璃纖維增強塑膠)板、PVF(聚氟乙烯)膜、聚酯膜或丙烯酸樹脂膜。或者，也可以使用具有將鋁箔夾在 PVF 膜或聚酯膜之間的結構的薄片。

柱形隔塊 4035 是對絕緣膜進行選擇性的蝕刻而得到的，它爲調整液晶層 4008 的厚度(單元間隙)而提供。注意，不侷限於此，而也可以使用球形間隔物。在與第二閘極電極 4029 重疊的位置上配置柱形的柱形隔塊 4035。

雖然在圖 24A1 至 24B 的液晶顯示裝置中示出在基板

的外側(可見一側)設置偏光板的實例，但是也可以將偏光板設置在基板的內側。

注意，也可以將用作黑基體(black matrix)的遮光層適當地設置在所需要的位置上。在圖 24A1 至 24B 中，以覆蓋電晶體 4010 及電晶體 4011 的上方的方式在第二基板 4006 一側設置有遮光層 4034。藉由設置遮光層 4034，可以進一步提高對比度，並且可以使電晶體穩定地工作。

藉由設置遮光層 4034，可以衰減對電晶體的氧化物半導體層入射的光的強度，並且，可以防止因氧化物半導體層的光敏性而引起的電晶體的電特性的變化，因而可以使該電晶體穩定地工作。

可以使用諸如包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦錫氧化物(以下稱爲 ITO)、銦鋅氧化物或添加有氧化矽的銦錫氧化物等具有透光性的導電材料來形成像素電極層 4030、公共電極層 4031、第二閘極電極 4028 及第二閘極電極 4029。

或者，可以使用包含導電性高分子(也稱爲導電性聚合物)的導電性組合物來形成像素電極層 4030、公共電極層 4031、第二閘極電極 4028 以及第二閘極電極 4029。

供給到另行形成的信號線驅動電路 4003、掃描線驅動電路 4004 或者像素部 4002 的各種信號及電位由 FPC4018 提供。

由於電晶體易於被靜電等損壞，所以較佳的針對閘極

線或源極電極線而將驅動電路保護用的保護電路設置在同一個基板上。保護電路較佳利用使用氧化物半導體的非線性元件來設置。

在圖 24A1 至 24B 中，連接端子電極 4015 使用與像素電極層 4030 相同的層形成，並且端子電極 4016 使用與電晶體 4010 及電晶體 4011 的源極電極及汲極電極相同的層形成。

連接端子電極 4015 藉由各向異性導電膜 4017 電連接到 FPC4018 所包括的端子。

雖然圖 24A1 至 24B 示出另行形成信號線驅動電路 4003 並且將它安裝到第一基板 4001 的實例，但是不侷限於此。既可以另行形成掃描線驅動電路並安裝，又可以僅另行形成信號線驅動電路的一部分或掃描線驅動電路的一部分並安裝。

圖 25 示出液晶顯示裝置的截面結構的一例，其中，採用密封材料 2602 將元件基板 2600 和對置基板 2601 固定，並且將包括電晶體等的元件層 2603 及液晶層 2604 設置在該元件基板 2600 和對置基板 2601 之間。

在進行彩色顯示的情況下，例如，可以將發射多種發光顏色的發光二極體配置在背光燈部。在 RGB 方式的情況下，將紅色發光二極體 2610R、綠色發光二極體 2610G 和藍色發光二極體 2610B 分別配置在液晶顯示裝置的顯示區被分割成多個而形成的分割區中。

在對置基板 2601 的外側設置偏光板 2606，並且在元

件基板 2600 的外側設置偏光板 2607 以及光學片 2613。光源使用紅色發光二極體 2610R、綠色發光二極體 2610G、藍色發光二極體 2610B 和反射板 2611 來形成。設置於電路基板 2612 的 LED 控制電路 2614 利用撓性線路板 2609 連接到元件基板 2600 的佈線電路部 2608，並且還組裝有例如控制電路或電源電路等外部電路。

雖然本實施例模式示出利用這種 LED 控制電路 2614 來使 LED 分別發光，以得到場序制(field sequential)方式的液晶顯示裝置的實例，但是不侷限於此，而也可以利用冷陰極管或白色 LED 作為背光燈的光源並設置濾色片。

雖然在本實施例模式中示出在 IPS 模式中使用的電極結構的實例，但是不侷限於此，而可以使用 TN(扭轉向列)模式、MVA(多象限垂直取向)模式、PVA(垂直取向構型)模式、ASM(軸對稱排列微胞)模式、OCB(光學補償彎曲)模式、FLC(鐵電性液晶)模式、AFLC(反鐵電性液晶)模式等。

本實施例模式可以與其他實施例模式所記載的結構適當地組合來實施。

(實施例模式 9)

在本實施例模式中，說明作為包括具有氧化物半導體層的多個電晶體的半導體裝置的電子紙的一例。

圖 26A 示出主動矩陣型電子紙的截面圖。作為配置於用於半導體裝置的顯示部的電晶體 581，使用在實施例模

式 1 至實施例模式 4 中的任一個中說明的電晶體。

圖 26A 的電子紙是採用旋轉球顯示方式的顯示裝置的一例。旋轉球顯示方式是指如下方法：將各以黑色和白色著色的球形粒子使用於顯示元件，並將該球形粒子配置在第一電極層與第二電極層之間，並且在第一電極層與第二電極層之間發生電位差來控制球形粒子的方向，從而進行顯示。

電晶體 581 是底閘結構的電晶體，並且第一電極層 587 藉由形成在第一保護絕緣層 584、作為第二保護絕緣層的樹脂層 585 以及第三保護絕緣層 586 中的開口部電連接到源極電極或汲極電極。第一保護絕緣層 584 覆蓋電晶體 581，並在第一保護絕緣層 584 上的樹脂層 585 上設置第二閘極電極 582，並且覆蓋第二閘極電極 582 地設置第三保護絕緣層 586。電晶體 581 所具有的氧化物半導體層由第一保護絕緣層 584、作為第二保護絕緣層的樹脂層 585、第二閘極電極 582 以及第三保護絕緣層 586 保護。

在第一電極層 587 與第二電極層 588 之間設置有球形粒子 589。該球形粒子 589 包括空洞 594、黑色區 590a 及白色區 590b，並且在球形粒子 589 的周圍填充有樹脂等的填充材料 595(參照圖 26A)。第一電極層 587 相當於像素電極，而且第二電極層 588 相當於公共電極。第二電極層 588 電連接到設置在與電晶體 581 同一個基板上的公共電位線。在公共連接部中，可以在一對基板之間配置導電粒子來使第二電極層 588 與公共電位線電連接。

或者，也可以使用電泳元件而代替旋轉球。使用直徑大約為 $10\mu\text{m}$ 至 $200\mu\text{m}$ 的微膠囊，其中，封裝有透明液體、帶正電的白色微粒和帶負電的黑色微粒。在設置於第一電極層與第二電極層之間的微膠囊中，當在第一電極層與第二電極層之間發生電位差時，白色微粒和黑色微粒沿彼此相反的方向移動，使得可以顯示白色或黑色。採用這種原理的顯示元件是電泳顯示元件，並且稱為電子紙。電泳顯示元件具有比液晶顯示元件高的反射率，因此不需要輔助光，功耗低，並且在昏暗地方也可以識別顯示部。另外，可以不將電力供給到顯示部而保持顯示過一次的圖像。因此，當該電子紙具有利用無線從電波發送源供給信號及電力的結構時，即使將具有顯示功能的半導體裝置遠離電波發送源，也可以儲存顯示過的圖像。

藉由將在實施例模式 1 至實施例模式 4 中的任一個中說明的電晶體用作切換元件，可以製造作為半導體裝置的降低了製造成本的電子紙。電子紙可以用於顯示資訊的各種領域的電子設備。例如，電子紙可以用於電子書讀物、海報、電車等交通工具中的廣告、信用卡等各種卡的顯示等。圖 26B 示出電子設備的一例。

圖 26B 示出電子書讀物 2700 的一例。電子書讀物 2700 包括兩個框體即第一框體 2701 和第二框體 2703。第一框體 2701 和第二框體 2703 由軸部 2711 結合，並且可以以軸部 2711 為軸進行開閉工作。電子書讀物 2700 利用該結構而可以與紙書籍同樣地工作。

第一框體 2701 安裝有第一顯示部 2705，而且第二框體 2703 安裝有第二顯示部 2707。第一顯示部 2705 和第二顯示部 2707 可以採用顯示連續畫面的結構或者顯示不同畫面的結構。藉由採用顯示不同畫面的結構，例如可以將文章顯示於右側顯示部(圖 26B 的第一顯示部 2705)，並且將圖像顯示於左側顯示部(圖 26B 的第二顯示部 2707)。

注意，圖 26B 所示的電子書讀物 2700 在第一框體 2701 中具備操作部等。例如，在第一框體 2701 中具備電源 2721、操作鍵 2723、揚聲器 2725 等。可以利用操作鍵 2723 來翻頁。注意，也可以在與框體的顯示部同一個面上具備鍵盤、定位裝置等。也可以在框體的背面或側面上具備外部連接端子(耳機端子、USB 端子、可以與 AC 適配器或 USB 電纜等各種電纜連接的端子等)、記錄媒體插入部等。此外，電子書讀物 2700 也可以具有作為電子詞典的功能。

電子書讀物 2700 也可以採用利用無線通信進行資訊的發送/接收的結構。也可以採用能夠利用無線通信從電子書讀物的伺服器購買所希望的書籍資料等並下載的結構。

本實施例模式可以與其他實施例模式所記載的結構適當地組合來實施。

(實施例模式 10)

包括在實施例模式 1 至實施例模式 4 中的任一個中製

造的電晶體的半導體裝置可以應用於各種電子設備(也包括遊戲機)。作為電子設備，例如可以舉出電視裝置(又稱為電視或電視接收機)、連接到電腦等的監視器、數位相機、數位攝像機、數位相框、手機(又稱為行動電話或行動電話機)、可攜式遊戲機、可攜式資訊終端、聲音再現裝置、諸如彈珠機等的大型遊戲機等。

在圖 27A 所示的電視裝置中，在框體 9601 中安裝有顯示部 9603。可以利用顯示部 9603 來顯示影像。在此，示出將電視裝置固定到牆壁 9600 以支撐框體 9601 的背側的結構。

可以利用框體 9601 所具備的操作開關或遙控操作機 9610 進行圖 27A 所示的電視裝置的操作。可以利用遙控操作機 9610 所具備的操作鍵 9609 進行頻道、音量的操作，並且可以操作顯示於顯示部 9603 的影像。也可以在遙控操作機 9610 中設置顯示從該遙控操作機 9610 輸出的資訊的顯示部 9607。

注意，圖 27A 所示的電視裝置可以具有包括接收機、數據機等的結構。利用接收機，可以接收一般電視廣播。此外，藉由數據機連接到有線或無線的通信網路，可以進行單向(從發送者到接收者)或雙向(發送者與接收者之間或者接收者之間等)的資訊通信。

圖 27B 所示的可攜式遊戲機包括兩個框體即框體 9881 和框體 9891。該框體 9881 和框體 9891 利用聯結部 9893 聯結為能夠開閉。框體 9881 安裝有顯示部 9882，而

且框體 9891 安裝有顯示部 9883。圖 27B 所示的可攜式遊戲機還包括揚聲器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入單元(操作鍵 9885、連接端子 9887、感測器 9888(具有測量力、位移、位置、速度、加速度、角速度、旋轉數、距離、光、液體、磁氣、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射線、流量、濕度、傾斜度、振動、氣味或紅外線的功能)、麥克風 9889)等。當然，可攜式遊戲機的結構不侷限於上述結構，而是至少具備半導體裝置的結構即可，並且還可以是適當地設置有其他附屬設備的結構。圖 27B 所示的可攜式遊戲機具有如下功能：將儲存在記錄媒體中的程式或資料讀出並顯示於顯示部的功能；利用無線通信與其他可攜式遊戲機之間共用資訊的功能。注意，圖 27B 所示的可攜式遊戲機所具有的功能不侷限於此，而也可以具有其他各種功能。

圖 28A 示出手機 1000 的一例。手機 1000 包括安裝到框體 1001 的顯示部 1002、操作按鈕 1003、外部連接埠 1004、揚聲器 1005、麥克風 1006 等。

圖 28A 所示的手機 1000 可以利用手指等觸摸顯示部 1002 來輸入資訊。可以利用手指等觸摸顯示部 1002 來進行打電話或製作電子郵件等的操作。

作為顯示部 1002 的畫面的模式，主要有三種模式。第一模式是以圖像的顯示為主的顯示模式。第二模式是以文字等資訊的輸入為主的輸入模式。第三模式是混合了顯

示模式和輸入模式這兩種模式的顯示+輸入模式。

例如，在打電話或製作電子郵件的情況下，將顯示部 1002 設定為以文字輸入為主的文字輸入模式，並進行顯示在畫面上的文字的輸入操作，即可。在此情況下，較佳的是，在顯示部 1002 的畫面的大部分上顯示鍵盤或號碼按鈕。

藉由在手機 1000 的內部設置具有陀螺儀、加速度感測器等檢測傾斜度的感測器的檢測裝置，來判斷手機 1000 的方向(豎向還是橫向)，從而可以對顯示部 1002 的畫面顯示進行自動切換。

藉由觸摸顯示部 1002 或對框體 1001 的操作按鈕 1003 進行操作，切換畫面模式。或者，還可以根據顯示在顯示部 1002 上的圖像種類而切換畫面模式。例如，當顯示在顯示部 1002 上的視頻信號為動態圖像的資料時，將畫面模式切換成顯示模式，並且當顯示在顯示部 1002 上的視頻信號為文字資料時，將畫面模式切換成輸入模式，即可。

此外，當在輸入模式中檢測出顯示部 1002 的光感測器所檢測的信號並且在一定期間中沒有顯示部 1002 的觸摸操作輸入時，可以以將畫面模式從輸入模式切換成顯示模式的方式進行控制。

還可以將顯示部 1002 用作圖像感測器。例如，當利用手掌或手指觸摸顯示部 1002 時，拍攝掌紋、指紋等，從而可以進行本人認證。此外，藉由在顯示部 1002 中使

用發射近紅外光的背光燈或發射近紅外光的感測光源，也可以拍攝手指靜脈、手掌靜脈等。

圖 28B 所示的手機包括：在框體 9411 中具有顯示部 9412 以及操作按鈕 9413 的顯示裝置 9410；以及在框體 9401 中具有操作按鈕 9402、外部輸入端子 9403、麥克風 9404、揚聲器 9405 以及在來電時發光的發光部 9406 的通信裝置 9400。具有顯示功能的顯示裝置 9410 與具有電話功能的通信裝置 9400 可以如箭頭所示裝卸。因此，可以將顯示裝置 9410 和通信裝置 9400 的短軸彼此連接，或將顯示裝置 9410 和通信裝置 9400 的長軸彼此連接。注意，當僅需要顯示功能時，可以將通信裝置 9400 和顯示裝置 9410 分開而單獨使用顯示裝置 9410。通信裝置 9400 和顯示裝置 9410 可以利用無線通信或有線通信來進行圖像或輸入資訊等的授受，並且可以分別具有可以進行充電的電池。

本實施例模式可以與其他實施例模式所記載的結構適當地組合來實施。

[實施例 1]

作為檢查電晶體的可靠性的方法之一，有偏壓－熱應力試驗(以下，稱為 BT 試驗)。BT 試驗是加速試驗的一種，它可以在短時間內評價由於使用很長時間而發生的電晶體的特性變化。尤其是，BT 試驗前後的電晶體的臨界值電壓的變化量是用於檢查可靠性的重要的指標。在 BT

試驗前後，臨界值電壓的變化量越少，可靠性越高。

明確而言，將形成有電晶體的基板的溫度(基板溫度)維持為恒定，使電晶體的源極電極及汲極電極成為相同的電位，並且在一定期間內對閘極施加與源極電極及汲極電極不同的電位。根據試驗的目的而適當地設定基板溫度即可。注意，將施加到閘極的電位比源極電極及汲極電極的電位高的情況稱為+BT 試驗，並且將施加到閘極的電位比源極電極及汲極電極的電位低的情況稱為-BT 試驗。

BT 試驗的試驗強度可以根據基板溫度、施加到閘極絕緣膜的電場強度、電場施加時間而決定。閘極絕緣膜中的電場強度藉由使閘極、源極電極及汲極電極之間的電位差除以閘極絕緣膜的厚度來決定。例如，在想要將厚度為 100nm 的閘極絕緣膜中的電場強度設定為 2MV/cm 的情況下，將電位差設定為 20V，即可。

在本實施例中，說明對三種樣品分別進行 BT 試驗的結果。該三種樣品是如下樣品：在製造電晶體時在形成源極電極及汲極電極之前在氮氣氛圍下以 250°C、350°C、450°C 的溫度進行熱處理。

注意，電壓是指兩點之間的電位差，並且電位是指某一點處的靜電場中的單位電荷所具有的靜電能(電位能)，但是，因為在電子電路中，在很多情況下將某一點處的電位和作為基準的電位(例如接地電位)之間的電位差表示為該某一點處的電位，所以在以下說明中，當將某一點處的電位和作為基準的電位(例如接地電位)之間的差表示為該

某一點處的電位時，除了特別指定的情況以外，將該某一點處的電位也稱為電壓。

在 BT 試驗中，將基板溫度設定為 150°C ，將閘極絕緣膜中的電場強度設定為 $2\text{MV}/\text{cm}$ ，將時間設定為 1 個小時，以分別進行 +BT 試驗及 -BT 試驗。

首先，說明 +BT 試驗。為了測量作為 BT 試驗的物件的電晶體的初始特性而測量如下情況時的源極電極-汲極電極電流(以下，稱為汲極電極電流)的變化特性，即 V_g-I_d 特性：將基板溫度設定為 40°C ，將源極電極-汲極電極之間的電壓(以下，稱為汲極電極電壓)設定為 10V ，並且將源極電極-閘極之間的電壓(以下，稱為閘極電壓)在 -20V 至 $+20\text{V}$ 的範圍內變化。雖然在此作為樣品表面的吸濕對策而將基板溫度設定為 40°C ，但是如果沒有特別的問題，則也可以在室溫(25°C)下進行測量。

接著，在將基板溫度上升到 150°C 後，將電晶體的源極電極及汲極電極的電位設定為 0V 。接著，以使閘極絕緣膜中的電場強度成為 $2\text{MV}/\text{cm}$ 的方式對閘極施加電壓。在此，因為電晶體的閘極絕緣膜的厚度為 100nm ，所以對閘極施加 $+20\text{V}$ ，並保持 1 個小時。雖然在此將時間設定為 1 個小時，但是也可以根據目的而適當地改變時間。

接著，在保持對源極電極、汲極電極及閘極施加電壓的情況下，將基板溫度降低到 40°C 。此時，如果在基板溫度的降低結束之前停止電壓的施加，則由於餘熱的影響而會使電晶體所受到的損傷恢復，所以需要在保持電壓施

加的情況下降低基板溫度。在基板溫度成爲 40°C 後，結束電壓的施加。

接著，在與初始特性的測量相同的條件下測量 $V_g\text{-}I_d$ 特性，以得到+BT 試驗後的 $V_g\text{-}I_d$ 特性。

接著，說明-BT 試驗。-BT 試驗也利用與+BT 試驗相同的程式進行，但是如下點與+BT 試驗不同：將在使基板溫度上升到 150°C 後對閘極施加的電壓設定爲 -20V 。

注意，當進行 BT 試驗時利用一次也沒有進行 BT 試驗的電晶體進行試驗是重要的。例如，當利用進行過一次+BT 試驗的電晶體進行-BT 試驗時，由於以前進行的+BT 試驗的影響，而不能正確地評價-BT 試驗結果。利用進行過一次+BT 試驗的電晶體再次進行+BT 試驗的情況等也是同樣的。但是，在考慮到這些影響而反復進行 BT 試驗的情況不侷限於此。

圖 29A 至 29C 示出+BT 試驗前後的電晶體的 $V_g\text{-}I_d$ 特性。圖 29A 是以如下條件製造的電晶體的+BT 試驗結果：在形成源極電極及汲極電極之前在氮氣氛圍下並以 250°C 的溫度進行熱處理。圖 29B 是在形成源極電極及汲極電極之前在氮氣氛圍下並以 350°C 的溫度進行熱處理時的+BT 試驗結果，並且，圖 29C 是在形成源極電極及汲極電極之前在氮氣氛圍下並以 450°C 的溫度進行熱處理時的+BT 試驗結果。

圖 30A 至 30C 示出-BT 試驗前後的電晶體的 $V_g\text{-}I_d$ 特性。圖 30A 是以如下條件製造的電晶體的-BT 試驗結

果：在形成源極電極及汲極電極之前在氮氣氛圍下並以 250°C 的溫度進行熱處理。圖 30B 是在形成源極電極及汲極電極之前在氮氣氛圍下並以 350°C 的溫度進行熱處理時的 -BT 試驗結果，並且，圖 30C 是在形成源極電極及汲極電極之前在氮氣氛圍下並以 450°C 的溫度進行熱處理時的 -BT 試驗結果。

注意，在上述的圖 29A 至 29C 及圖 30A 至 30C 中，第二閘極電極具有層疊有鈦層(50nm)、鋁層(100nm)和鈦層(5nm)的三層的疊層結構。第二閘極電極具有針對各像素獨立引繞的結構。注意，作為比較例，將在不設置第二閘極電極的情況下的 +BT 試驗結果示出於圖 31A 至 31C 中，並且將 -BT 試驗結果示出於圖 32A 至 32C 中。圖 31A 是 250°C 時的 +BT 試驗結果，圖 31B 是 350°C 時的 +BT 試驗結果，並且圖 31C 是 450°C 時的 +BT 試驗結果。圖 32A 是 250°C 時的 -BT 試驗結果，圖 32B 是 350°C 時的 -BT 試驗結果，並且圖 32C 是 450°C 時的 -BT 試驗結果。

在各附圖中，橫軸都以對數刻度表示閘極電壓(V_g)並且縱軸都以對數刻度表示汲極電流(I_d)。注意，實線表示初始特性，而且虛線表示施加應力後的特性。

根據圖 29A 至 29C 及圖 31A 至 31C，可以知道如下事實：350°C 下的臨界值電壓的變化量比 250°C 下的臨界值電壓的變化量小，並且，450°C 下的臨界值電壓的變化量比 350°C 下的臨界值電壓的變化量小，就是說，熱處理的溫度越高，+BT 試驗後的臨界值電壓的變化量越小。並

且，根據圖 30A 至 30C 及圖 32A 至 32C 的比較，而可以知道如下事實：藉由設置第二閘極電極，-BT 試驗後的臨界值電壓的變化量變小。

根據圖 29A 至 29C 及圖 31A 至 31C，在形成源極電極及汲極電極之前進行的熱處理的溫度大約為 400°C 以上時，可以至少提高+BT 試驗中的可靠性。並且，根據圖 30A 至 30C 及圖 32A 至 32C，藉由設置第二閘極電極，可以提高-BT 試驗中的可靠性。從而，藉由將在形成源極電極及汲極電極之前進行的熱處理的溫度設定為大約 400°C 以上，並且設置第二閘極電極，可以提高+BT 試驗及-BT 試驗中的可靠性。

如上所述，如本實施例所示，根據本發明的一種實施例，可以一起提高+BT 試驗及-BT 試驗中的可靠性。

注意，將這種-BT 試驗中的可靠性高的電晶體應用於顯示裝置的驅動電路部的驅動電路是特別有效的。

[實施例 2]

在本實施例中，參照圖 34、圖 35 及圖 36 而說明利用升溫脫離分析裝置(Thermal Desorption Spectroscopy；熱脫附譜，以下稱爲 TDS)測量來測量分配加熱溫度的條件並在氮氣氛圍下進行了加熱處理的多個樣品而得到的結果。

TDS 是一種分析裝置，其中，利用四極質量分析計(quadrupole mass analyzer，四極質譜計)檢測並識別當在

高真空中對樣品進行加熱並提高該樣品的溫度時從該樣品脫離並發生的氣體成分。並且，當利用 TDS 時，可以觀察到從樣品的表面和內部脫離的氣體及分子。利用日本電子科學株式會社製造的 TDS(產品名稱：1024amu QMS)，將測量條件設定為升溫大約 $10^{\circ}\text{C}/\text{分}$ ，從 $1\times 10^{-8}(\text{Pa})$ 開始測量，並且當進行測量時是大約 $1\times 10^{-7}(\text{Pa})$ 的真空度。

圖 34 是示出對只有玻璃基板的樣品(比較樣品)和在玻璃基板上形成設定厚度為 50nm(實際上，由於受到蝕刻而厚度大約為 30nm)的 In-Ga-Zn-O 類非單晶膜的樣品(樣品 1)進行比較的利用 TDS 的測量結果的圖表。雖然圖 34 是示出對 H_2O 進行的利用 TDS 的測量結果的圖表，但是由於在 300°C 附近觀察到峰值，因此可以確認從 In-Ga-Zn-O 類非單晶膜脫離了水分(H_2O)等雜質。

圖 35 是對在玻璃基板上形成設定厚度為 50nm 的 In-Ga-Zn-O 類非單晶膜的樣品(樣品 1)、在玻璃基板上形成設定厚度為 50nm 的 In-Ga-Zn-O 類非單晶膜後在大氣氛圍下以 350°C 的加熱溫度進行 1 個小時的加熱處理的樣品(樣品 2)、在氮氣氛圍下以 350°C 的加熱溫度進行 1 個小時的加熱處理的樣品(樣品 3)進行比較的圖表，並且它示出對 H_2O 進行的利用 TDS 的測量結果。根據圖 35 的結果，由於樣品 3 在 300°C 附近的峰值比樣品 2 降低，因此可以確認到如下事實：由於氮氣氛圍下的加熱處理而脫離了水分(H_2O)等雜質。從而，可以知道如下事實：當在氮氣氛圍下進行加熱處理時，與在大氣氛圍下進行加熱處理

時相比，更降低了膜中的水分(H₂O)等雜質。

圖 36 是對在玻璃基板上形成設定厚度為 50nm 的 In-Ga-Zn-O 類非單晶膜的樣品(樣品 1)、在氮氣氛圍下以 250℃ 的加熱溫度進行 1 個小時的加熱處理的樣品(樣品 4)、在氮氣氛圍下以 350℃ 的加熱溫度進行 1 個小時的加熱處理的樣品(樣品 3)、在氮氣氛圍下以 450℃ 的加熱溫度進行 1 個小時的加熱處理的樣品(樣品 5)、在氮氣氛圍下以 350℃ 的加熱溫度進行 10 個小時的加熱處理的樣品(樣品 6)進行比較的圖表，並且它示出對 H₂O 進行的利用 TDS 的測量結果。根據圖 36 的結果，可以知道如下事實：在所測量的溫度的範圍內，氮氣氛圍下的加熱溫度越高，從 In-Ga-Zn-O 類非單晶膜中脫離的水分(H₂O)等雜質越減少。

在圖 35 及圖 36 的圖表中，可以確認到如下峰值：可以在 200℃ 至 250℃ 附近確認的示出水分(H₂O)等雜質脫離的情況的第一峰值；在 300℃ 附近示出水分(H₂O)等雜質脫離的情況的第二峰值。

注意，在氮氣氛圍下以 450℃ 進行加熱處理的樣品此後即使以室溫放置在大氣中一個星期左右也沒有觀察到以 200℃ 以上脫離的水分，而判明了如下事實：由於加熱處理而使 In-Ga-Zn-O 類非單晶膜變得穩定。

在此，圖 33 示出將氮氣氛圍下的加熱溫度條件設定為 150℃、175℃、200℃、225℃、250℃、275℃、300℃、325℃、350℃、375℃、400℃、425℃、450℃ 並且分

別測量各載子濃度的結果。注意，當在 In-Ga-Zn-O 類非單晶膜上形成氧化物絕緣膜時，圖 33 中的虛線所示的載子濃度成爲 $1 \times 10^{14}/\text{cm}^3$ 以下。

接著，說明載子濃度和 Hall(霍爾)遷移率的測量。圖 37A 示出用來評價氧化物半導體膜(In-Ga-Zn-O 類非單晶膜)的物性(載子濃度和 Hall 遷移率)的物性評價用樣品 510 的立體圖。在此，制造物性評價用樣品 510，在室溫下進行 Hall 效應測量，以評價氧化物半導體膜的載子濃度和 Hall 遷移率。物性評價用樣品 510 利用如下製程來製造：在基板 500 上形成使用氧氮化矽形成的絕緣膜 501，在其上形成作為評價對象的 $10\text{mm} \times 10\text{mm}$ 的氧化物半導體膜 502，並且在其上形成直徑分別爲 1mm 的電極 503、電極 504、電極 505 及電極 506。圖 37B 示出 Hall 遷移率的測量結果，並且圖 37C 示出導電率的測量結果。注意，將從 Hall 效應測量求得的氧化物半導體膜的載子濃度示出於圖 33 中。

根據圖 33、圖 34、圖 35、圖 36 的結果，而可以知道如下事實：在 250°C 以上的溫度下從 In-Ga-Zn-O 類非單晶膜中脫離水分(H_2O)等雜質的現象與載子濃度的變動之間有關係。就是說，可以知道如下事實：從 In-Ga-Zn-O 類非單晶膜中脫離水分(H_2O)等雜質而使載子濃度提高。

注意，當利用 TDS 測量除了測量 H_2O 以外還分別測量 H、O、OH、 H_2 、 O_2 、N、 N_2 及 Ar 時，可以清楚地觀察到 H、O 及 OH 的峰值，但是不能觀察到 H_2 、 O_2 、N、

N_2 及 Ar 的峰值。作為樣品，使用在玻璃基板上形成設定厚度為 50nm 的 In-Ga-Zn-O 類非單晶膜的樣品。作為加熱條件，而如下所述地分別進行設定：在氮氣氛圍下以 250℃ 進行 1 個小時；在氮氣氛圍下以 350℃ 進行 1 個小時；在氮氣氛圍下以 350℃ 進行 10 個小時；在氮氣氛圍下以 450℃ 進行 1 個小時。作為比較例，分別測量不進行加熱處理的 In-Ga-Zn-O 類非單晶膜和僅玻璃基板。圖 38 示出 H 的 TDS 結果，圖 39 示出 O 的 TDS 結果，圖 40 示出 OH 的 TDS 結果，並且圖 41 示出 H_2 的 TDS 結果。注意，在上述加熱條件下，氮氣氛圍的氧密度為 20ppm 以下。

[實施例 3]

在本實施例中，參照圖 42 及圖 43 而說明對具有氧密度高的區域及氧密度低的區域的氧化物半導體層中的由於加熱處理而發生的氧的擴散現象進行算術而得到的結果。在此，作為模擬用的軟體，使用日本富士通株式會社製造的 Materials Explorer 5.0。

圖 42 示出用於模擬的氧化物半導體層的模型。在此，氧化物半導體層 701 具有在氧密度低的層 703 上層疊氧密度高的層 705 的結構。

在此，氧密度低的層 703 具有包括 15 個 In 原子、15 個 Ga 原子、15 個 Zn 原子以及 54 個 O 原子的非晶結構。

並且，氧密度高的層 705 具有包括 15 個 In 原子、15 個 Ga 原子、15 個 Zn 原子以及 66 個 O 原子的非晶結構。

並且，將氧化物半導體層 701 的密度設定為 5.9 g/cm^3 。

接著，在 NVT 整體(NVT ensemble)且溫度為 250°C 的條件下對氧化物半導體層 701 進行經典 MD(分子動力學)模擬。將時間步長設定為 0.2fs ，並且將總模擬時間設定為 200ps 。作為電勢，將 Born-Mayer-Huggins 型電勢應用於金屬-氧耦合以及氧-氧耦合。並且，將氧化物半導體層 701 的上端和下端的原子的移動固定。

圖 43 示出模擬結果。從 z 軸座標的 0nm 到 1.15nm 是氧密度低的層 703，並且從 z 軸座標的 1.15nm 到 2.3nm 是氧密度高的層 705。MD 模擬前的氧的密度分佈利用實線 707 表示，並且 MD 模擬後的氧的密度分佈利用虛線 709 表示。

可以知道如下事實：在實線 707 中，在從氧密度低的層 703 與氧密度高的層 705 的介面到氧密度高的層 705 的區域中，氧的密度高。另一方面，在虛線 709 中，在氧密度低的層 703 及氧密度高的層 705 中，氧密度均勻。

根據上述，可以知道如下事實：當像氧密度低的層 703 及氧密度高的層 705 的疊層狀態那樣氧密度的分佈有偏差時，由於加熱處理而氧從其密度高的地方擴散到低的地方，而氧密度成為均勻。

就是說，如實施例模式 1 所示，在氧化物半導體層 403 上使用絕緣氧化物來形成第一保護絕緣層 407，由此，在氧化物半導體層 403 及使用絕緣氧化物形成的第一

保護絕緣層 407 的介面上氧密度提高，所以該氧擴散到氧化物半導體層 403 的氧密度低的地方，而氧化物半導體層 431 高電阻化。如上所述，可以提高本發明的一種實施例的顯示裝置所具有的電晶體的可靠性。

【符號說明】

- 10：基板
- 11：閘極電極
- 13：閘極絕緣層
- 16：氧化物半導體層
- 20：電晶體
- 42：閘極電極
- 43：電晶體
- 44：接觸孔
- 47：氧化物半導體層
- 103：氧化物半導體層
- 15a：源極電極層
- 15b：汲極電極層
- 400：基板
- 401：閘極電極層
- 401C：閘極電極層
- 402：閘極絕緣層
- 403：氧化物半導體層
- 404：n 型氧化物半導體層

- 405 : 源極電極及汲極電極層
- 405a : 源極電極
- 405b : 汲極電極
- 406 : 通道保護層
- 407 : 保護絕緣層
- 408 : 樹脂層
- 409 : 閘極電極層
- 409B : 閘極電極層
- 409C : 閘極電極層
- 410 : 基底絕緣層
- 411 : 端子
- 430 : 氧化物半導體層
- 431 : 氧化物半導體層
- 432 : 氧化物半導體層
- 433 : 氧化物半導體膜
- 434 : n型氧化物半導體層
- 437 : n型氧化物半導體層
- 440 : n型氧化物半導體膜
- 471 : 電晶體
- 472 : 電晶體
- 473 : 電晶體
- 474 : 電晶體
- 500 : 基板
- 501 : 絕緣膜

- 502 : 氧化物半導體膜
- 503 : 電極
- 504 : 電極
- 505 : 電極
- 506 : 電極
- 510 : 物性評價用樣品
- 581 : 電晶體
- 582 : 閘極電極
- 584 : 保護絕緣層
- 585 : 樹脂層
- 586 : 保護絕緣層
- 587 : 電極層
- 588 : 電極層
- 589 : 球形粒子
- 594 : 空洞
- 595 : 填充材料
- 601 : 電爐
- 602 : 爐室
- 603 : 加熱器
- 604 : 基板
- 605 : 襯托器
- 606 : 氣體供給裝置
- 607 : 排氣裝置
- 611 : 氣體供給源

- 612 : 壓力調節閥
- 613 : 精製器
- 614 : 質量流量控制器
- 615 : 停止閥
- 701 : 氧化物半導體層
- 703 : 氧密度低的層
- 705 : 氧密度高的層
- 707 : 實線
- 709 : 虛線
- 800 : 基板
- 801 : 像素部
- 802 : 掃描線驅動電路
- 803 : 信號線驅動電路
- 804 : 電晶體
- 820 : 基板
- 822 : 信號線輸入端子
- 823 : 掃描線
- 824 : 信號線
- 827 : 像素部
- 828 : 像素
- 829 : 像素電晶體
- 830 : 儲存電容部
- 831 : 像素電極
- 832 : 電容線

- 833 : 公共端子
- 835 : 保護電路
- 1000 : 手機
- 1001 : 框體
- 1002 : 顯示部
- 1003 : 操作按鈕
- 1004 : 外部連接埠
- 1005 : 揚聲器
- 1006 : 麥克風
- 1101 : 導電層
- 1102 : 氧化物半導體層
- 1103 : 導電層
- 1104 : 像素電極層
- 1105 : 導電層
- 1106 : 開口部
- 2600 : 元件基板
- 2601 : 對置基板
- 2602 : 密封材料
- 2603 : 元件層
- 2604 : 液晶層
- 2606 : 偏光板
- 2607 : 偏光板
- 2608 : 佈線電路部
- 2609 : 撓性線路板

- 2611 : 反射板
- 2612 : 電路基板
- 2613 : 光學片
- 2614 : LED 控制電路
- 2700 : 電子書讀物
- 2701 : 框體
- 2703 : 框體
- 2705 : 顯示部
- 2707 : 顯示部
- 2711 : 軸部
- 2721 : 電源
- 2723 : 操作鍵
- 2725 : 揚聲器
- 4001 : 基板
- 4002 : 像素部
- 4003 : 信號線驅動電路
- 4004 : 掃描線驅動電路
- 4005 : 密封材料
- 4006 : 基板
- 4007 : 基底絕緣層
- 4008 : 液晶層
- 4010 : 電晶體
- 4011 : 電晶體
- 4013 : 液晶元件

- 4015 : 連接端子電極
- 4016 : 端子電極
- 4017 : 各向異性導電膜
- 4018 : FPC
- 4019 : 閘極絕緣層
- 4020 : 保護絕緣層
- 4021 : 樹脂層
- 4022 : 保護絕緣層
- 4028 : 閘極電極
- 4029 : 閘極電極
- 4030 : 像素電極層
- 4031 : 公共電極層
- 4032 : 偏光板
- 4033 : 偏光板
- 4034 : 遮光層
- 4035 : 柱形隔塊
- 408a : 緩衝層
- 408b : 緩衝層
- 4500 : 基板
- 4502 : 像素部
- 4503 : 填充材料
- 4505 : 密封材料
- 4506 : 基板
- 4507 : 保護層

- 4508 : 樹脂層
- 4509 : 電晶體
- 4510 : 電晶體
- 4511 : 發光元件
- 4512 : 電致發光層
- 4513 : 電極層
- 4514 : 保護絕緣層
- 4515 : 連接端子電極
- 4516 : 端子電極
- 4517 : 電極層
- 4519 : 各向異性導電膜
- 4520 : 分隔壁
- 4521 : 閘極電極
- 4522 : 閘極電極
- 471B : 電晶體
- 471C : 電晶體
- 472B : 電晶體
- 473B : 電晶體
- 474B : 電晶體
- 590a : 黑色區
- 590b : 白色區
- 6400 : 像素
- 6401 : 開關電晶體
- 6402 : 驅動電晶體

- 6403 : 電容元件
- 6404 : 發光元件
- 6405 : 信號線
- 6407 : 電源線
- 6408 : 公共電極
- 7001 : 電晶體
- 7002 : 發光元件
- 7003 : 陰極
- 7004 : 發光層
- 7005 : 陽極
- 7006 : 分隔壁
- 7007 : 保護層
- 7009 : 閘極電極
- 7010 : 導電膜
- 7011 : 電晶體
- 7012 : 發光元件
- 7013 : 陰極
- 7014 : 發光層
- 7015 : 陽極
- 7016 : 遮罩膜
- 7017 : 樹脂層
- 7018 : 保護絕緣層
- 7019 : 閘極電極
- 7021 : 電晶體

- 7022 : 發光元件
- 7023 : 陰極
- 7024 : 發光層
- 7025 : 陽極
- 7027 : 導電膜
- 7028 : 連接電極
- 7029 : 閘極電極
- 802A : 掃描線驅動電路
- 802B : 掃描線驅動電路
- 823A : 掃描線
- 823B : 控制線
- 823C : 掃描線
- 823D : 掃描線
- 9400 : 通信裝置
- 9401 : 框體
- 9402 : 操作按鈕
- 9403 : 外部輸入端子
- 9404 : 麥克風
- 9405 : 揚聲器
- 9406 : 發光部
- 9410 : 顯示裝置
- 9411 : 框體
- 9412 : 顯示部
- 9413 : 操作按鈕

- 9600 : 牆壁
- 9601 : 框體
- 9603 : 顯示部
- 9607 : 顯示部
- 9609 : 操作鍵
- 9610 : 遙控操作機
- 9881 : 框體
- 9882 : 顯示部
- 9883 : 顯示部
- 9884 : 揚聲器部
- 9885 : 操作鍵
- 9886 : 記錄媒體插入部
- 9887 : 連接端子
- 9888 : 感測器
- 9889 : 麥克風
- 9890 : LED 燈
- 9891 : 框體
- 9893 : 聯結部
- 2610B : 發光二極體
- 2610G : 發光二極體
- 2610R : 發光二極體
- 4003a : 信號線驅動電路
- 4003b : 信號線驅動電路
- 4503a : 信號線驅動電路

4503b : 信號線驅動電路

4504a : 掃描線驅動電路

4504b : 掃描線驅動電路

4518a : FPC

4518b : FPC

6406A : 掃描線

6406B : 控制線

申請專利範圍

1. 一種半導體裝置，包含：

電晶體，包含：

基板上的第一閘極電極；

該第一閘極電極上的第一閘極絕緣層；

該第一閘極絕緣層上的氧化物半導體層；

該氧化物半導體層上的第一絕緣層；

該第一絕緣層上的源極電極和汲極電極；

該源極電極和該汲極電極上第二絕緣層；

該第二絕緣層上的第二閘極電極；

該第二閘極電極上的平坦化層；

該平坦化層上的像素電極；

該像素電極上的發光層；以及

該發光層上的電極，

其中該第一絕緣層和該第二絕緣層被配置成第二閘極絕緣層，

其中該第二閘極電極包含透光導電層，

其中該第二閘極電極與該源極電極和該汲極電極重疊，

其中在該電晶體的通道長度方向上，該第一閘極電極的長度大於該氧化物半導體層的長度，以及

其中在該電晶體的該通道長度方向上，該第二閘極電極的長度小於該氧化物半導體層的該長度。

2. 一種半導體裝置，包含：

電晶體，包含：

基板上的第一閘極電極；

該第一閘極電極上的第一閘極絕緣層；

該第一閘極絕緣層上的氧化物半導體層；

該氧化物半導體層上的第一絕緣層；

該第一絕緣層上的源極電極和汲極電極；

該源極電極和該汲極電極上第二絕緣層；

該第二絕緣層上的第二閘極電極；

該第二閘極電極上的平坦化層；

該平坦化層上的像素電極；

該像素電極上的發光層；以及

該發光層上的電極，

其中該第一絕緣層被配置成通道保護膜，

其中該第一絕緣層和該第二絕緣層被配置成第二閘極絕緣層，

其中該第二閘極電極包含透光導電層，

其中該第二閘極電極與該源極電極和該汲極電極重疊，

其中在該電晶體的通道長度方向上，該第一閘極電極的長度大於該氧化物半導體層的長度，以及

其中在該電晶體的該通道長度方向上，該第二閘極電極的長度小於該氧化物半導體層的該長度。

3.一種半導體裝置，包含：

電晶體，包含：

基板上的第一閘極電極；

該第一閘極電極上的第一閘極絕緣層；

該第一閘極絕緣層上的氧化物半導體層；

該氧化物半導體層上的第一絕緣層；

該第一絕緣層上的源極電極和汲極電極；

該源極電極和該汲極電極上第二絕緣層；

該第二絕緣層上的第二閘極電極；

該第二閘極電極上的樹脂層；

該樹脂層上的像素電極；

該像素電極上的發光層；以及

該發光層上的電極，

其中該第一絕緣層和該第二絕緣層被配置成第二閘極絕緣層，

其中該第二閘極電極包含透光導電層，

其中該第二閘極電極與該源極電極和該汲極電極重疊，

其中在該電晶體的通道長度方向上，該第一閘極電極的長度大於該氧化物半導體層的長度，以及

其中在該電晶體的該通道長度方向上，該第二閘極電極的長度小於該氧化物半導體層的該長度。

4. 一種半導體裝置，包含：

電晶體，包含：

基板上的第一閘極電極；

該第一閘極電極上的第一閘極絕緣層；

- 該第一閘極絕緣層上的氧化物半導體層；
 - 該氧化物半導體層上的第一絕緣層；
 - 該第一絕緣層上的源極電極和汲極電極；
 - 該源極電極和該汲極電極上第二絕緣層；
 - 該第二絕緣層上的第二閘極電極；
 - 該第二閘極電極上的樹脂層；
 - 該樹脂層上的像素電極；
 - 該像素電極上的發光層；以及
 - 該發光層上的電極，
 - 其中該第一絕緣層被配置成通道保護膜，
 - 其中該第一絕緣層和該第二絕緣層被配置成第二閘極絕緣層，
 - 其中該第二閘極電極包含透光導電層，
 - 其中該第二閘極電極與該源極電極和該汲極電極重疊，
 - 其中在該電晶體的通道長度方向上，該第一閘極電極的長度大於該氧化物半導體層的長度，以及
 - 其中在該電晶體的該通道長度方向上，該第二閘極電極的長度小於該氧化物半導體層的該長度。
- 5.如申請專利範圍第 1 至 4 項中任一項的半導體裝置，其中該氧化物半導體層包含銮、鎵和鋅。
- 6.如申請專利範圍第 1 至 4 項中任一項的半導體裝置，其中該氧化物半導體層包含微晶區。
- 7.如申請專利範圍第 1 至 4 項中任一項的半導體裝

置，其中該氧化物半導體層包含氧過剩區。

圖式

圖 1A

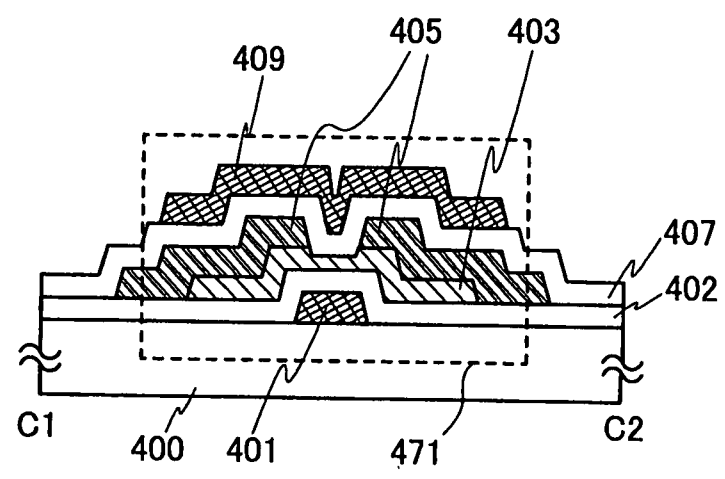


圖 1B

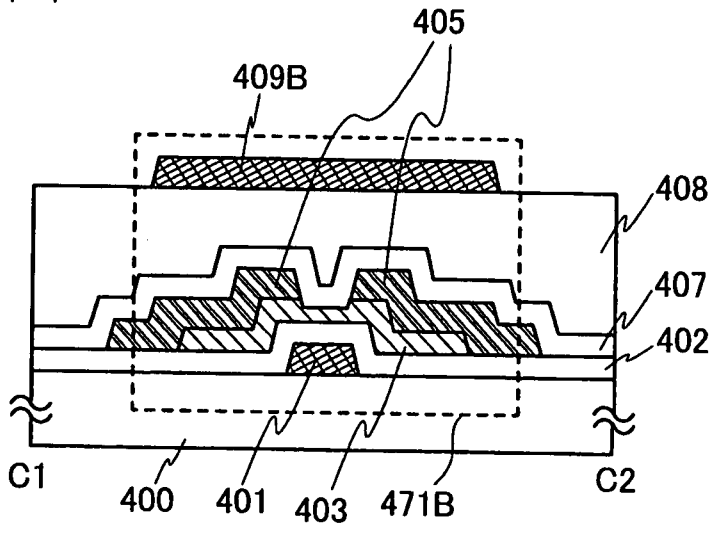


圖 1C

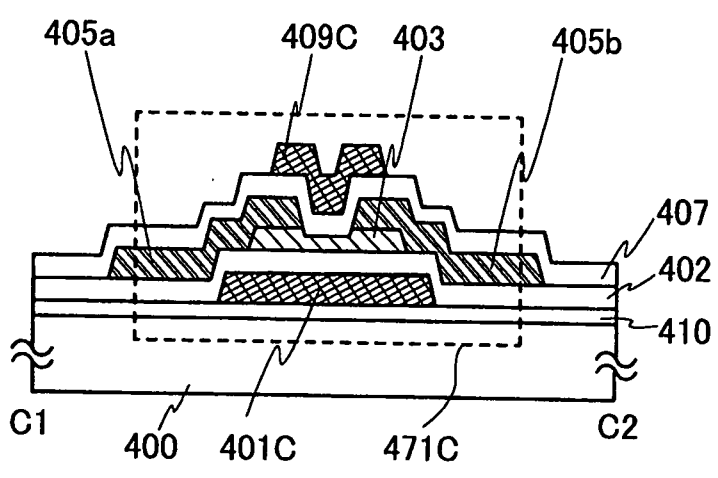


圖 2A

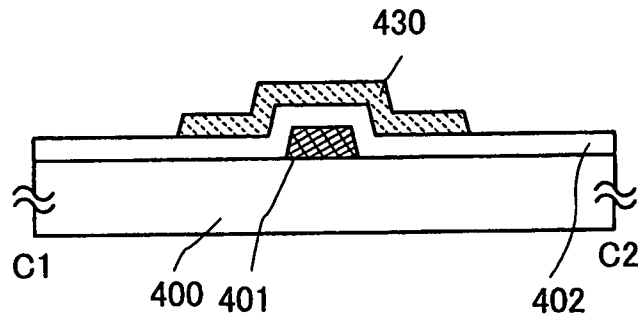


圖 2B

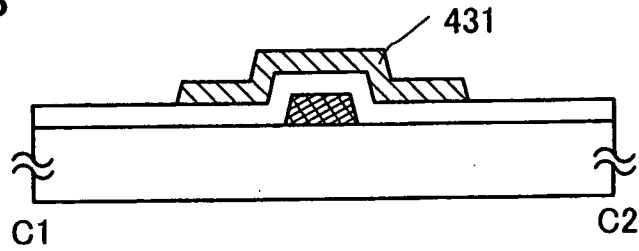


圖 2C

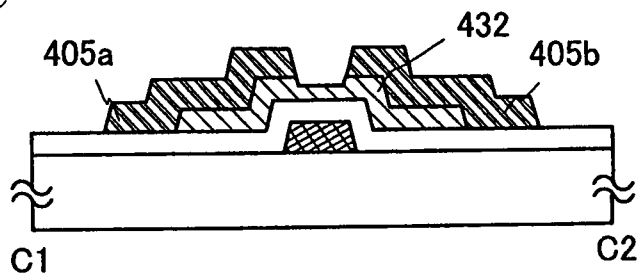


圖 2D

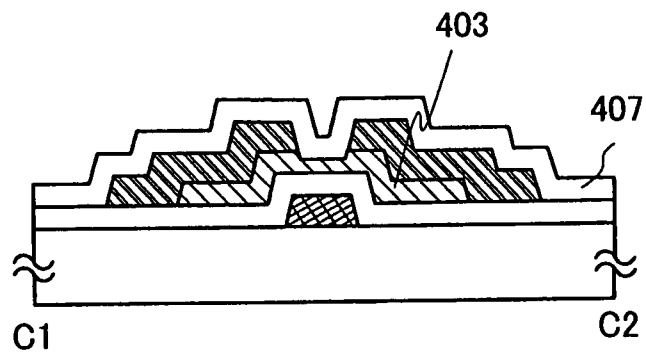


圖 3

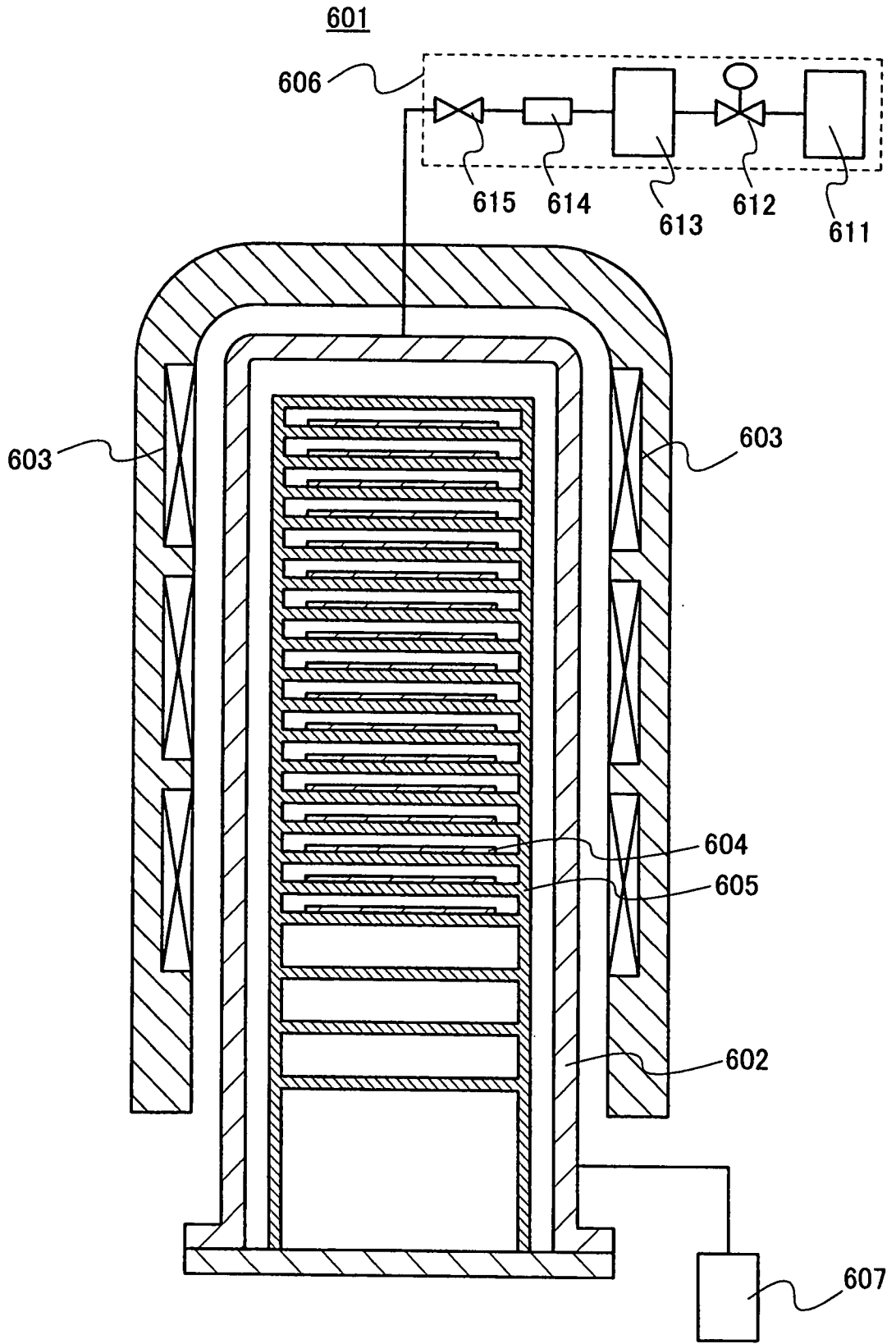


圖 4A

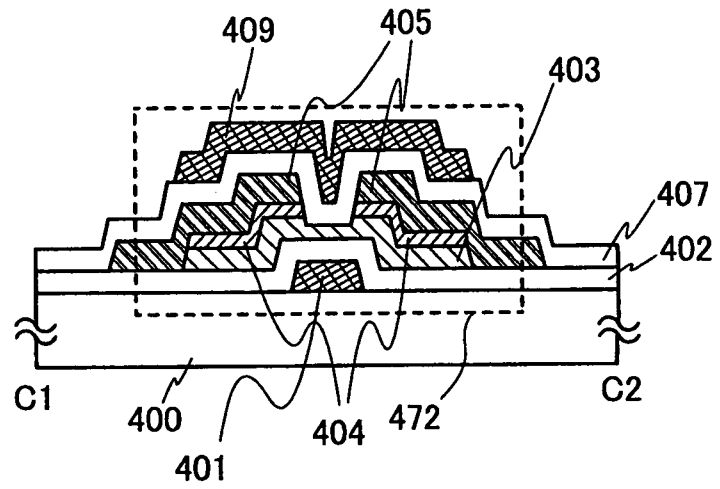


圖 4B

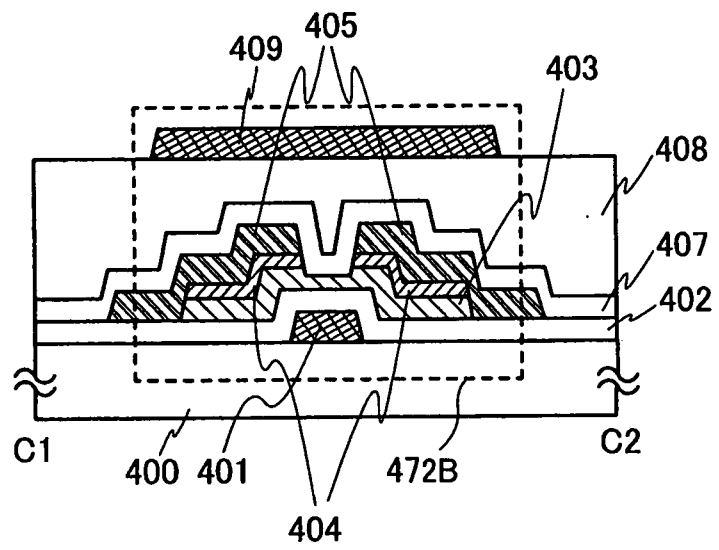


圖 5A

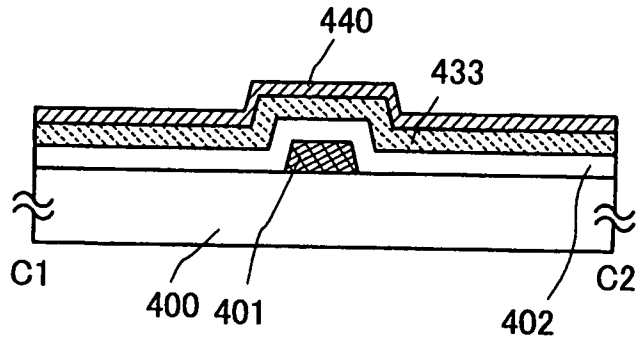


圖 5B

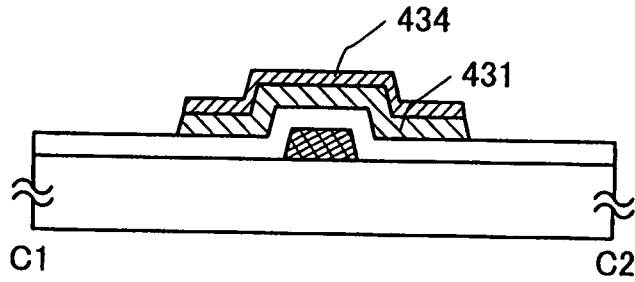


圖 5C

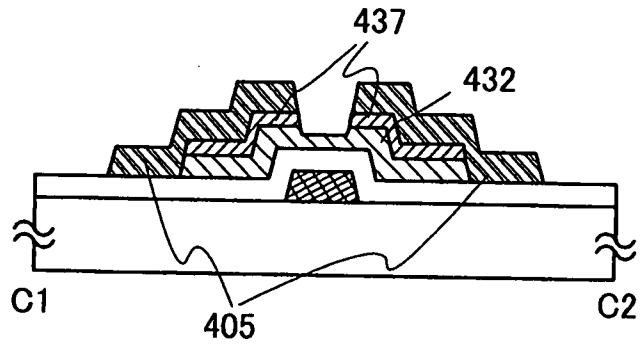


圖 5D

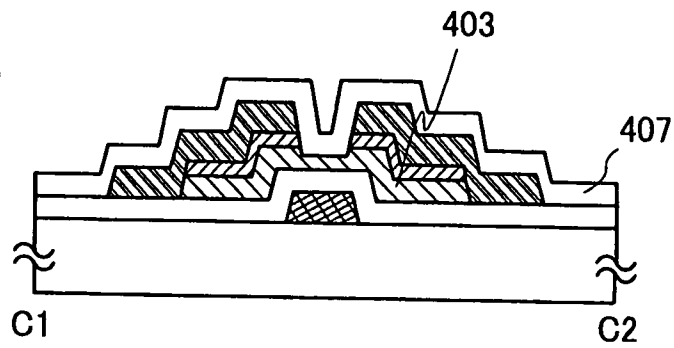


圖 6A

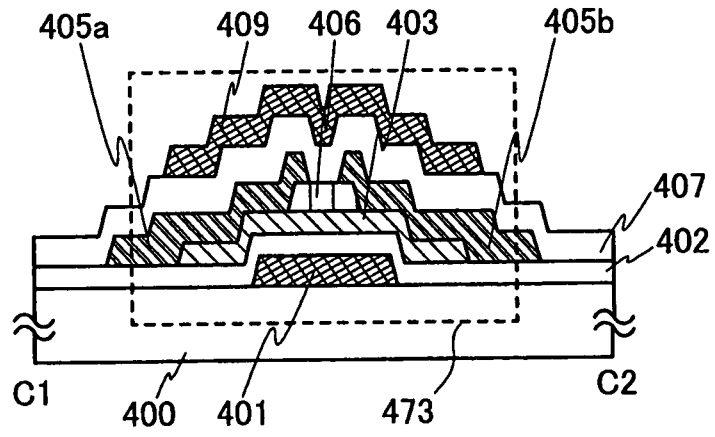


圖 6B

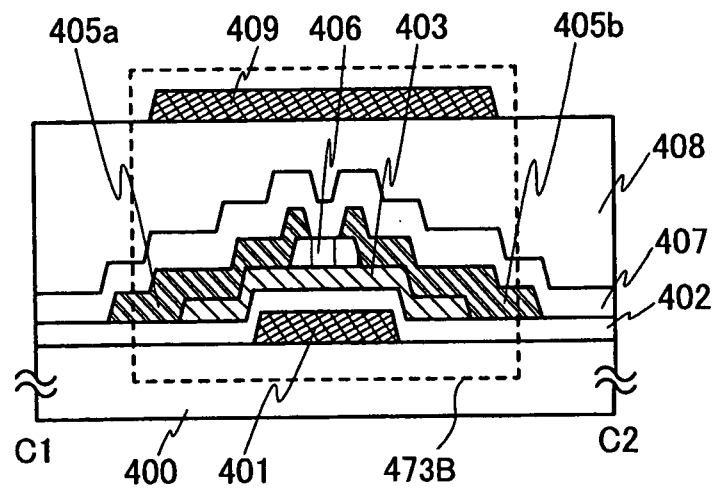


圖 7A

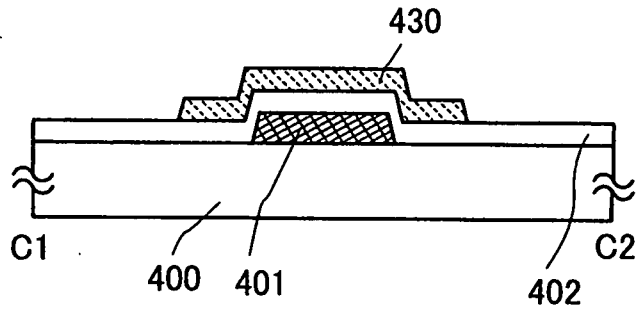


圖 7B

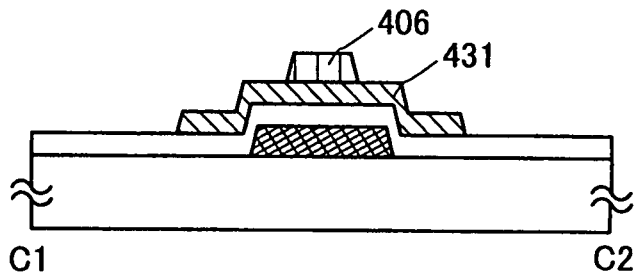


圖 7C

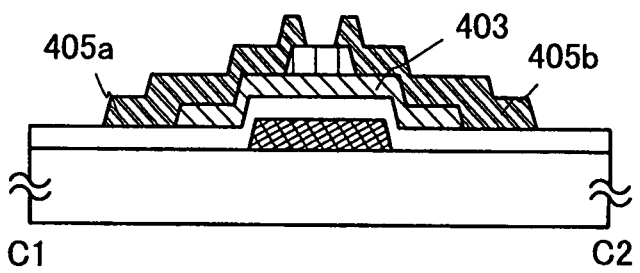


圖 7D

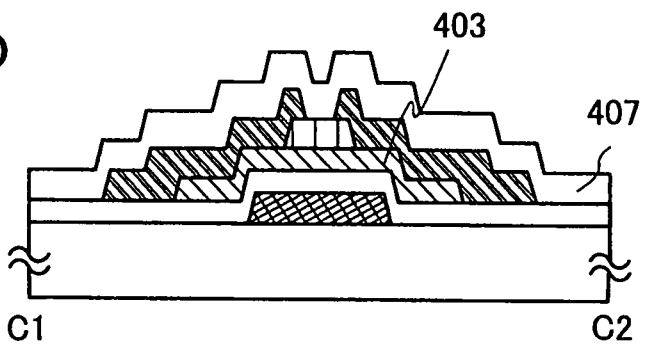


圖 8A

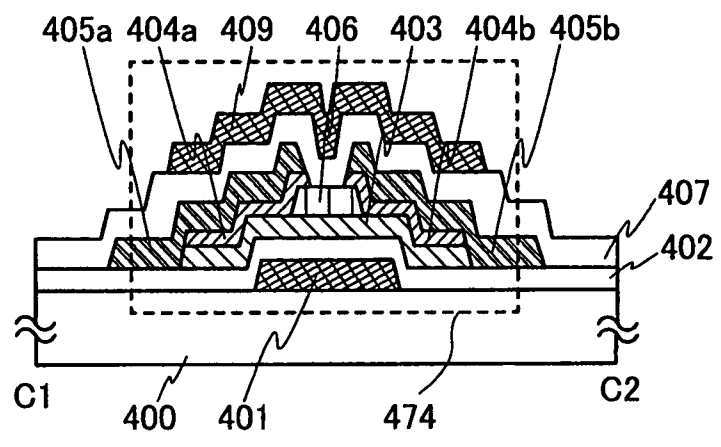


圖 8B

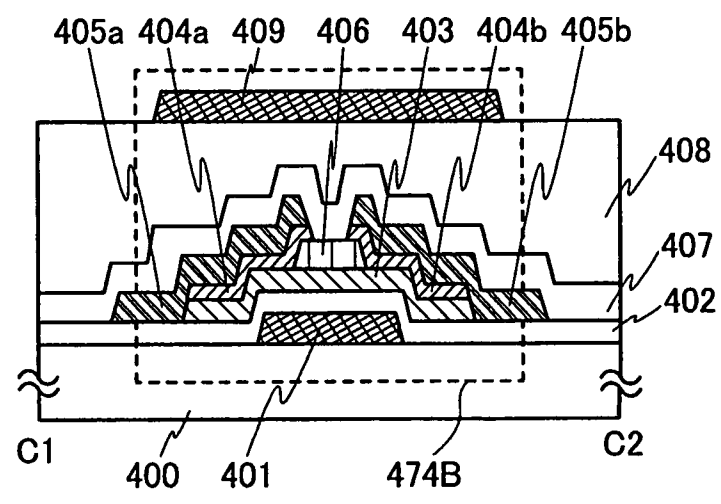


圖 9A

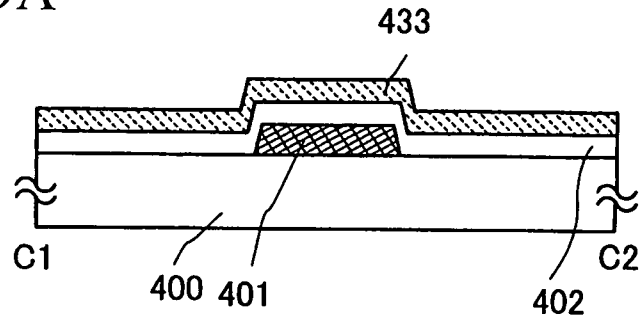


圖 9B

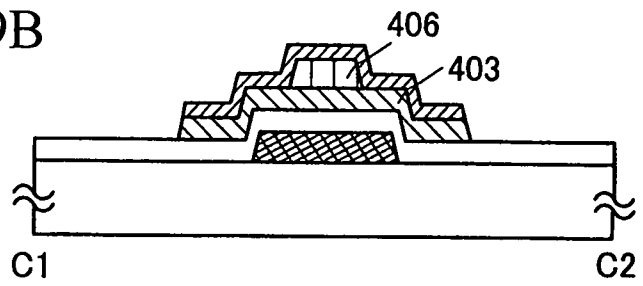


圖 9C

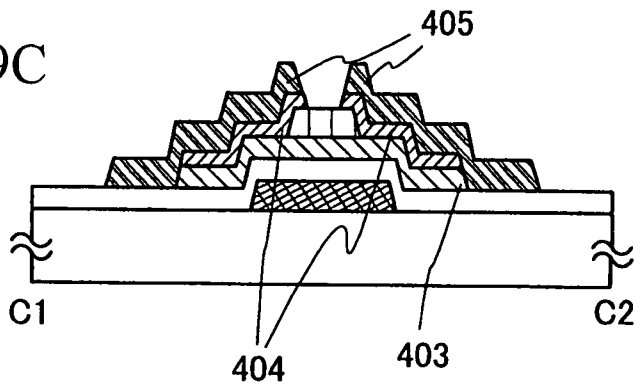


圖 9D

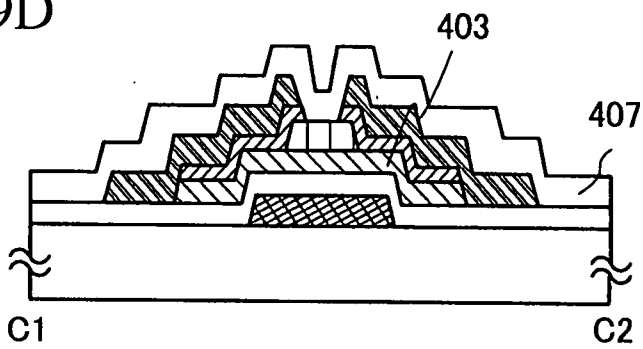


圖 10A

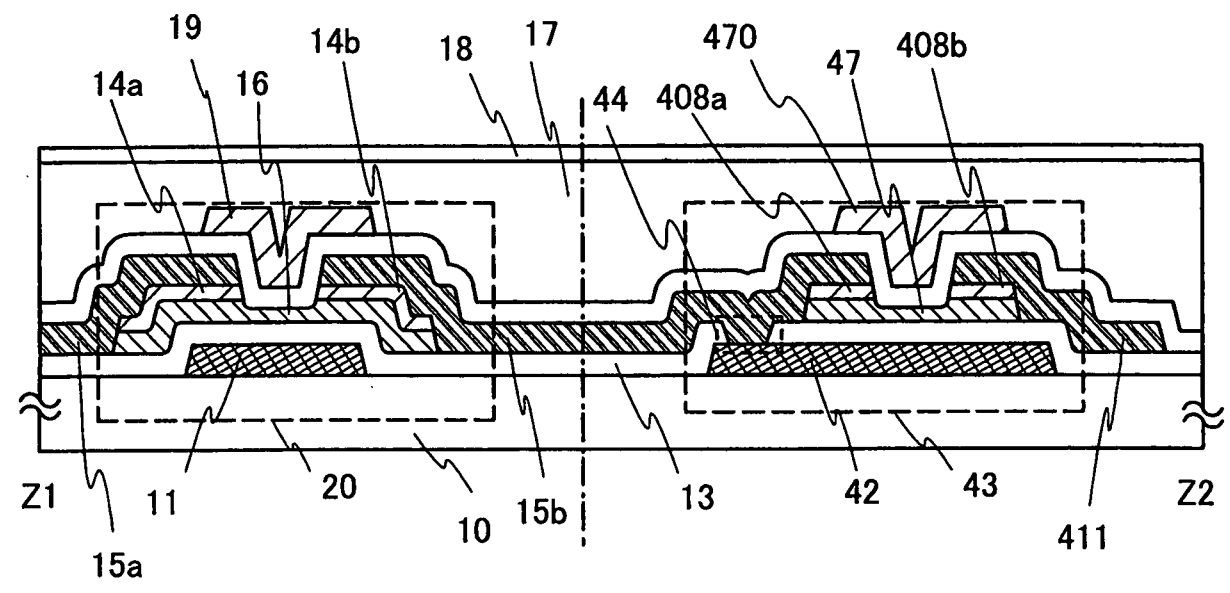


圖 10B

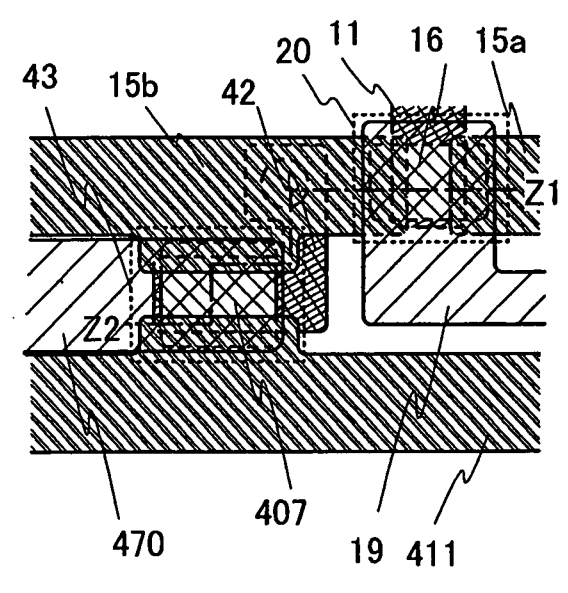


圖 11A

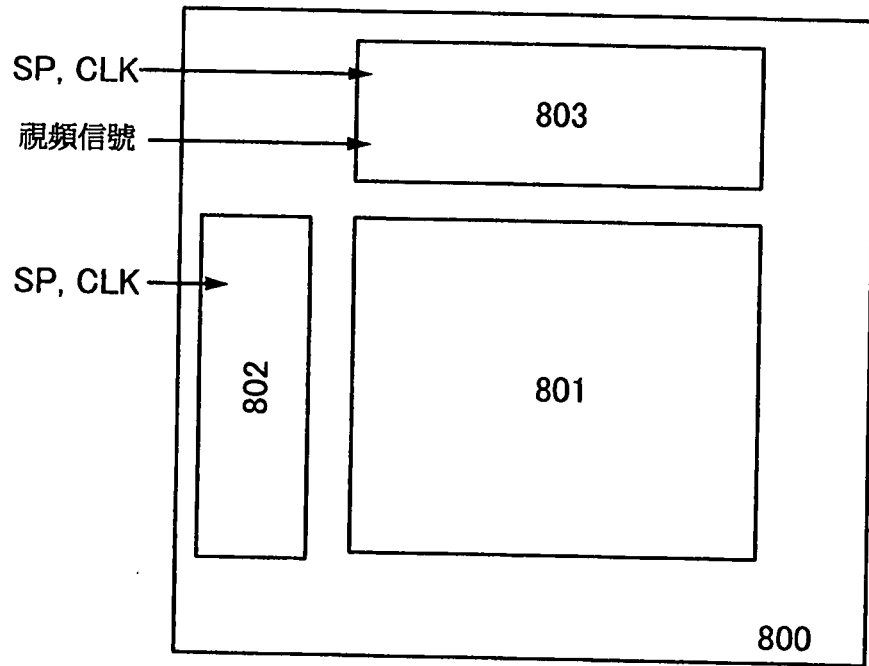


圖 11B

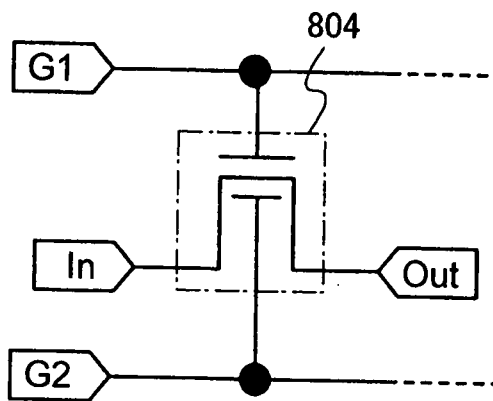


圖 12

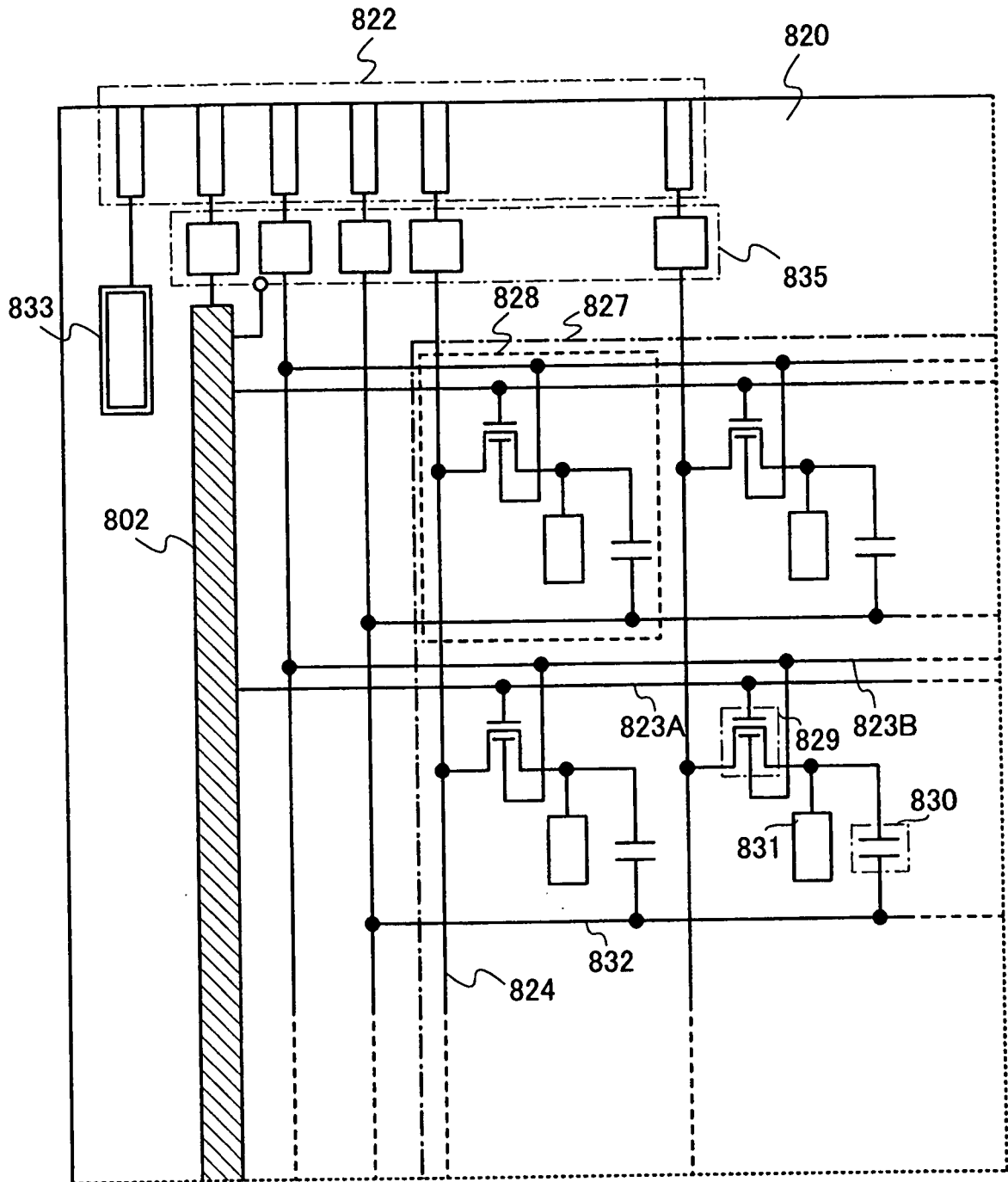


圖 13A

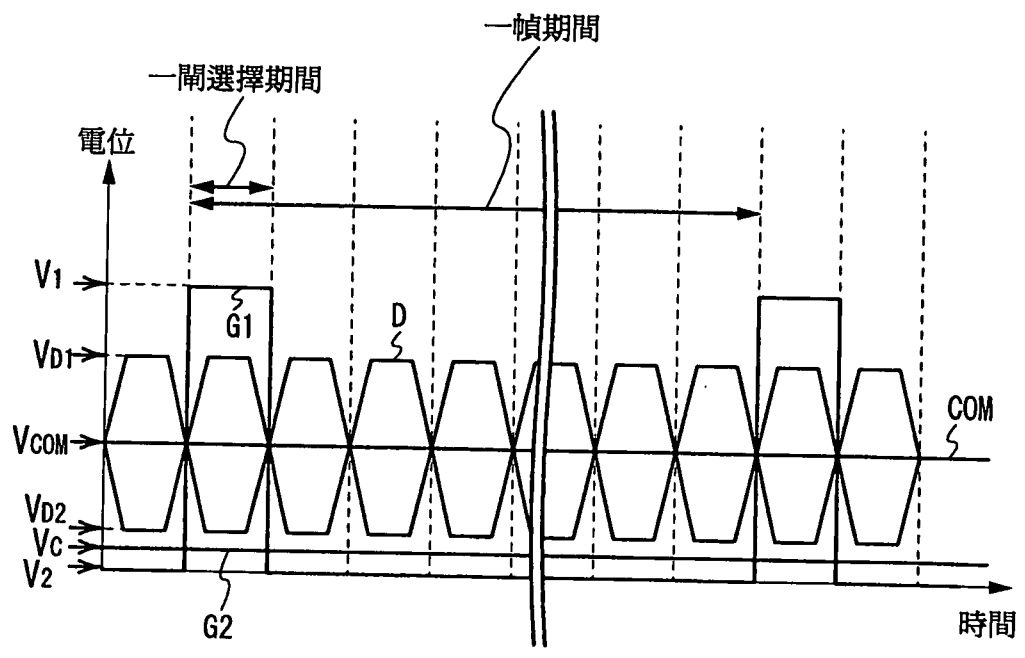


圖 13B

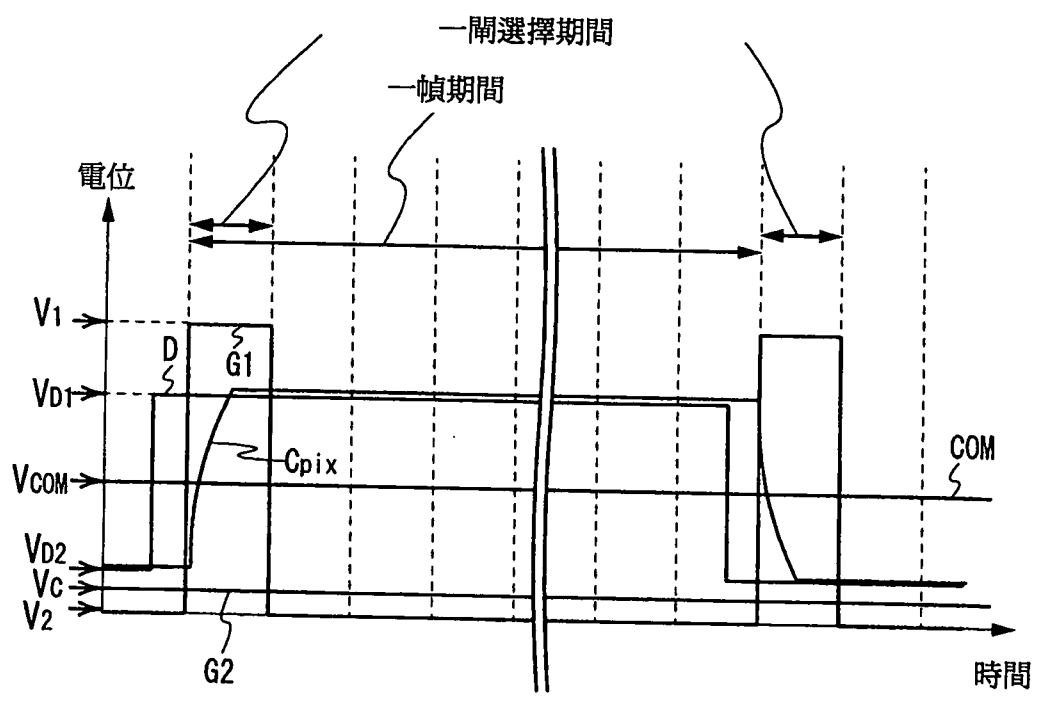
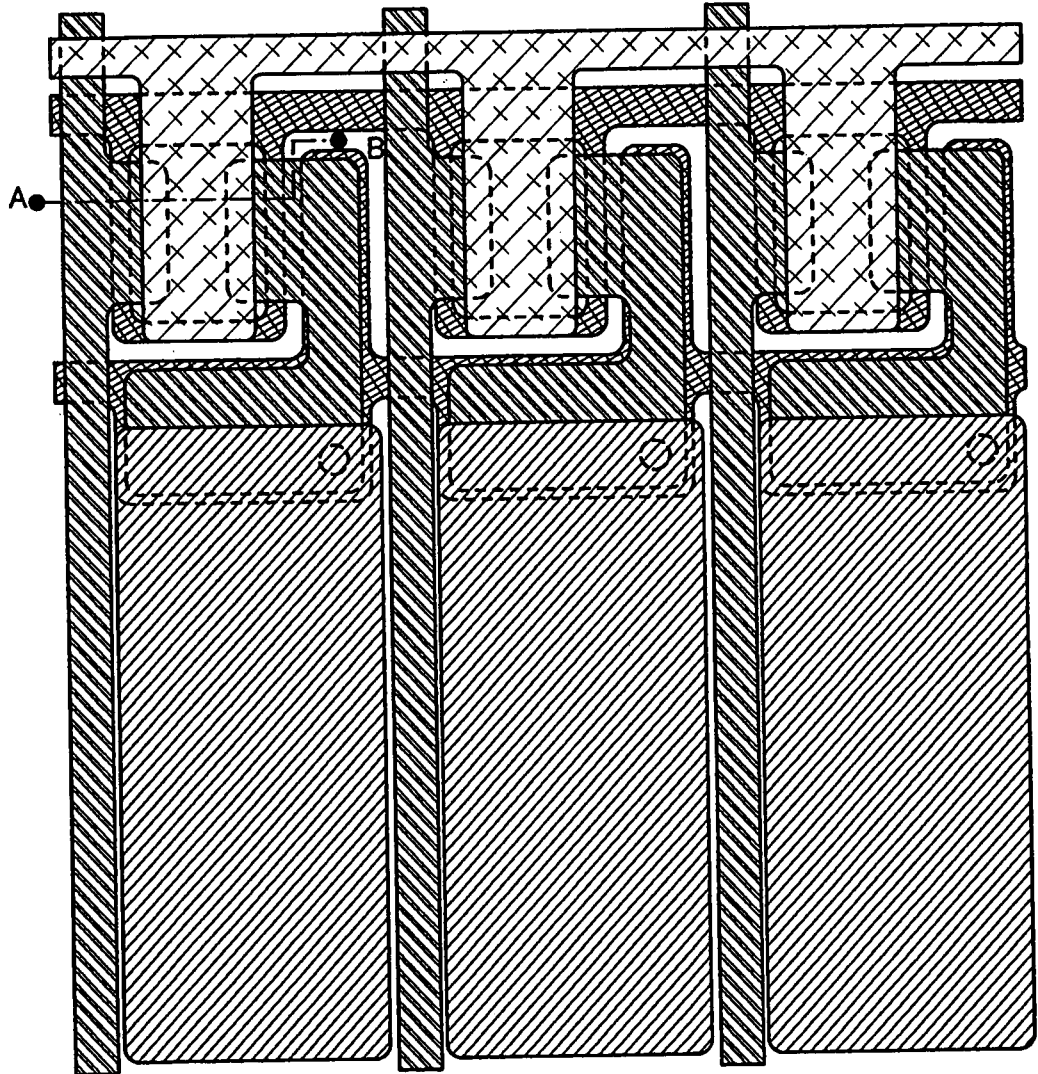


圖 14



1101 ~ [diagonal hatching]

1102 ~ [diagonal hatching]

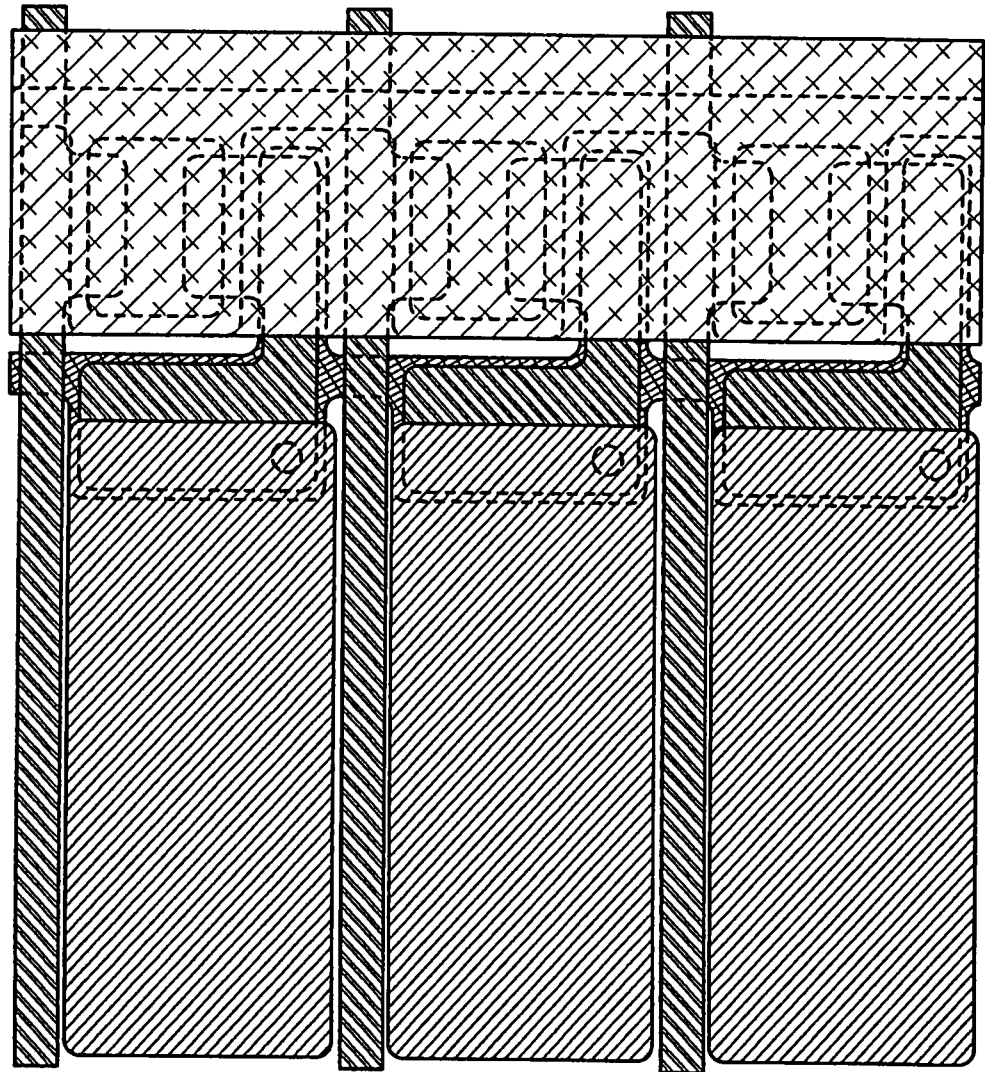
1103 ~ [diagonal hatching]

1104 ~ [diagonal hatching]

1105 ~ [cross-hatch hatching]

1106 ~ [dashed line]

圖 15



1101 ~ [diagonal hatching]

1102 ~ [diagonal hatching]

1103 ~ [diagonal hatching]

1104 ~ [diagonal hatching]

1105 ~ [cross-hatching]

1106 ~ [circle]

圖 16

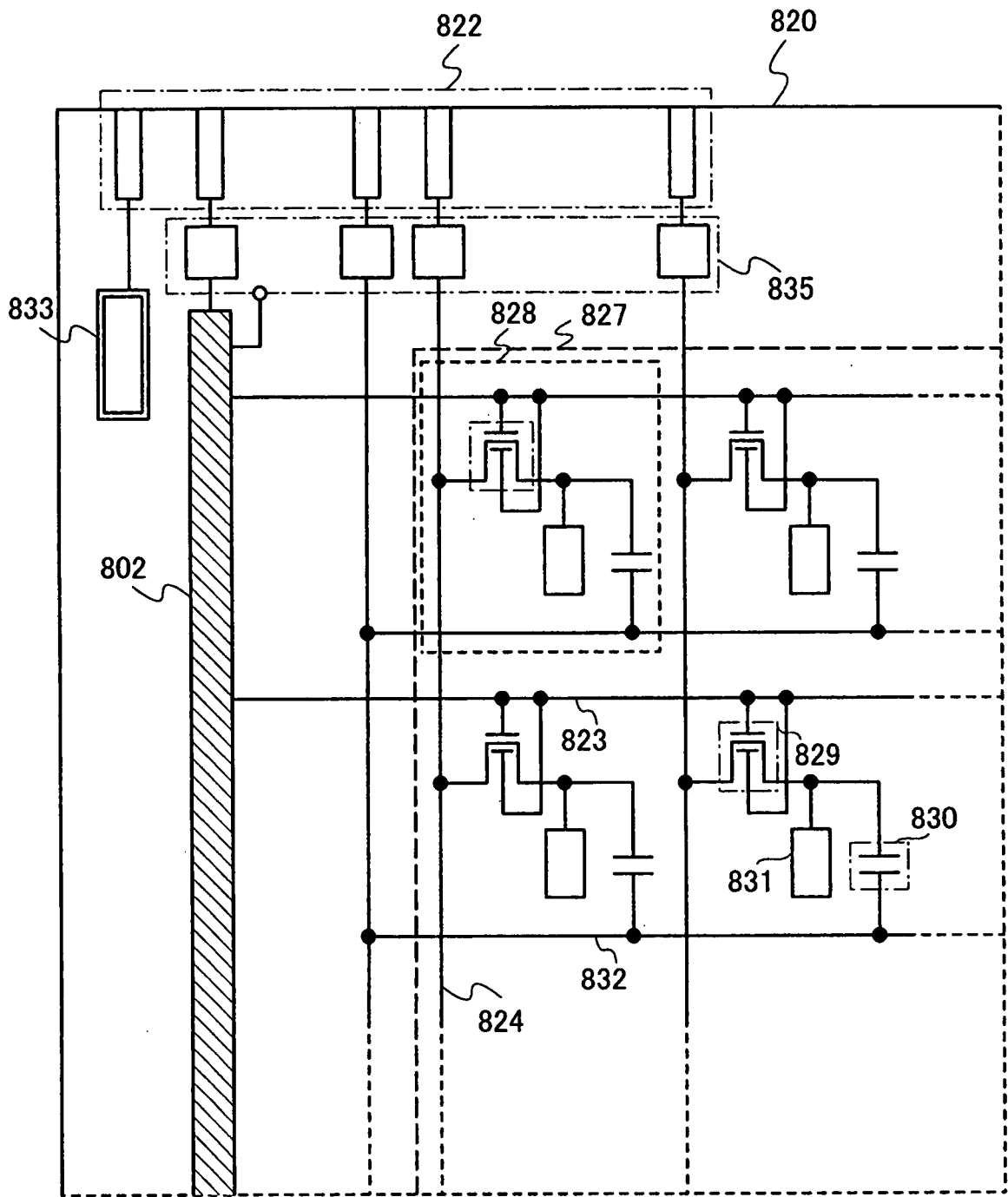


圖 17

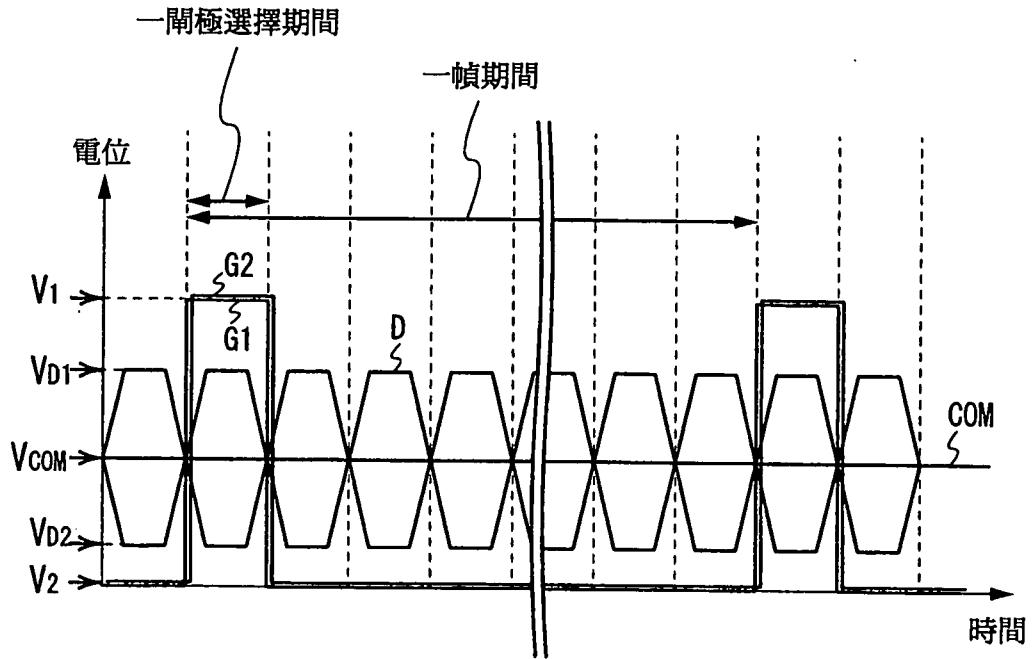


圖 18

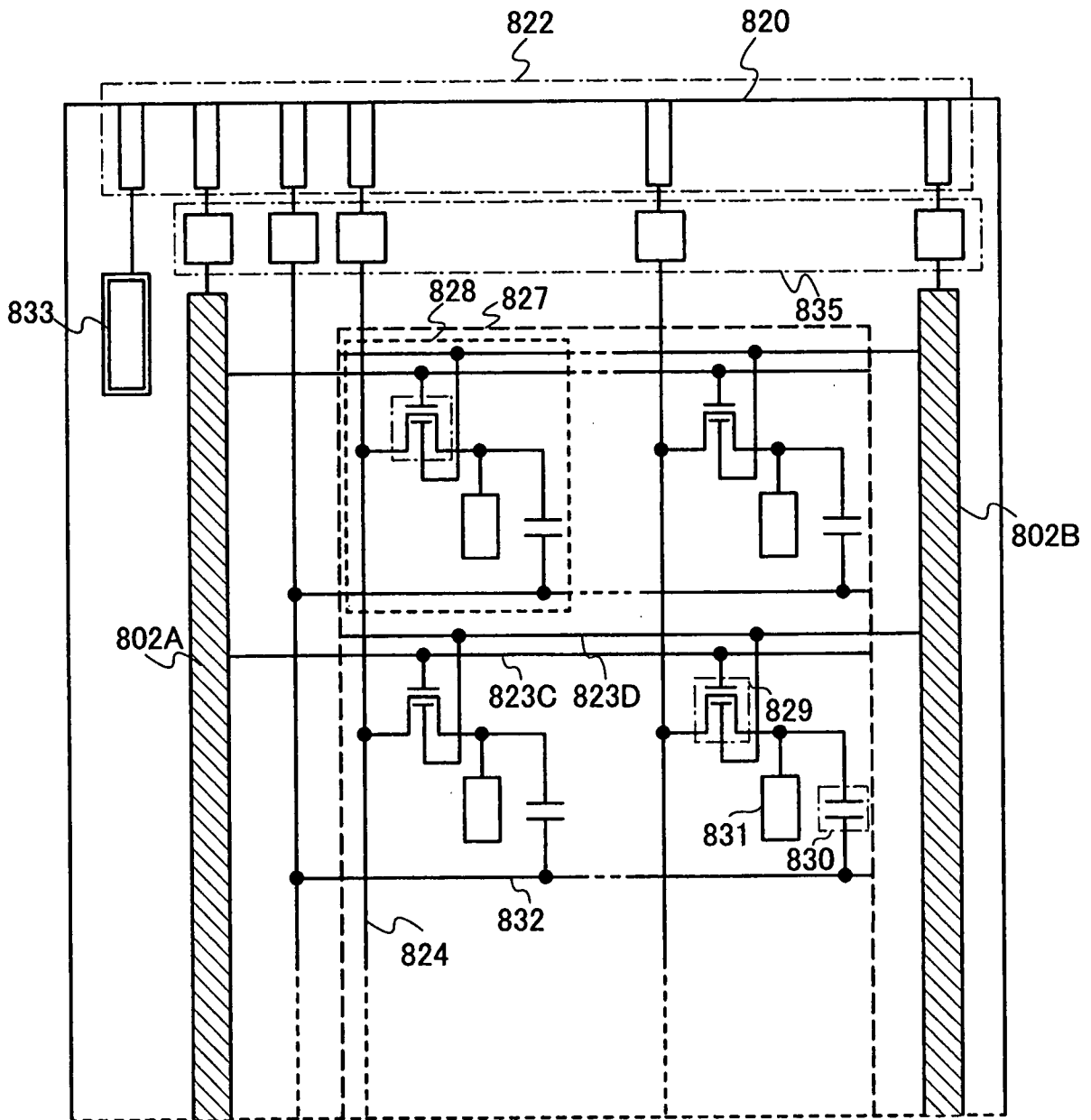
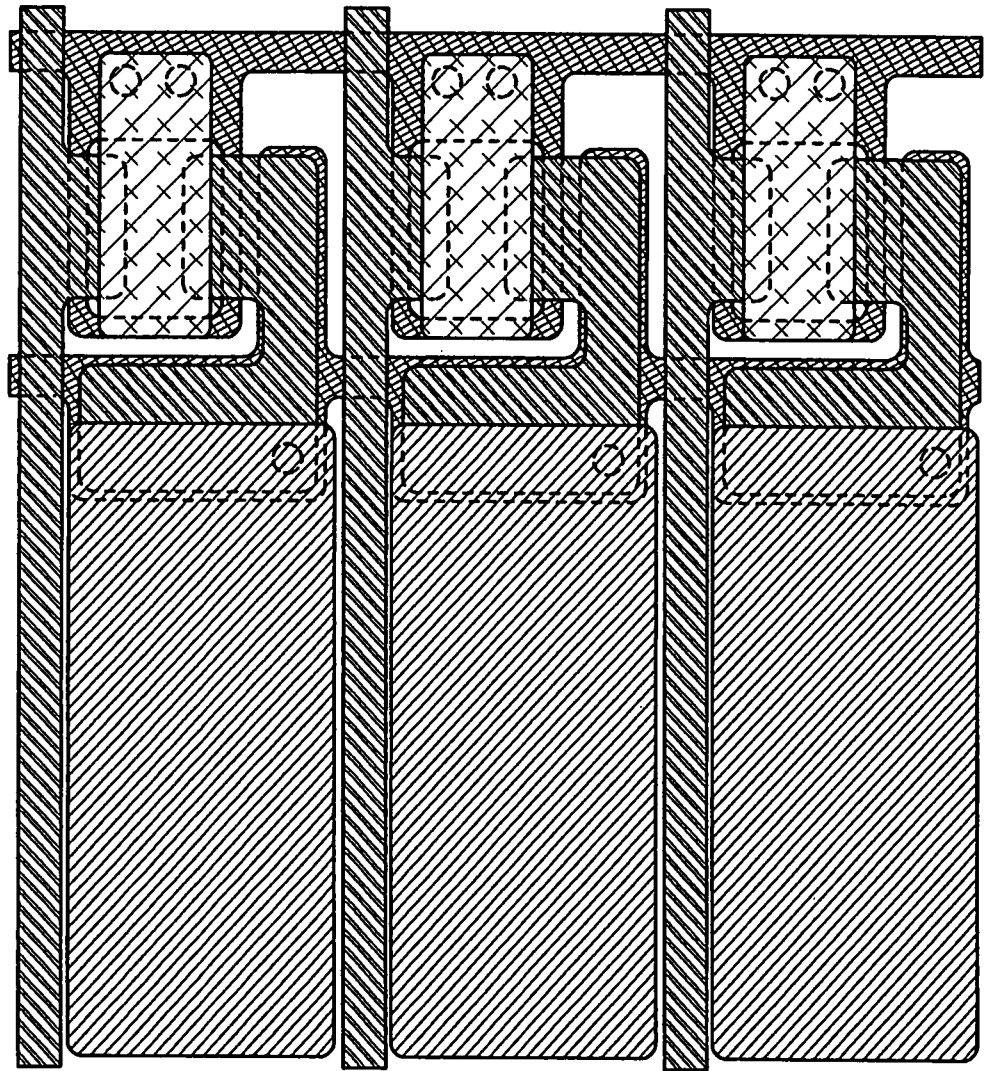
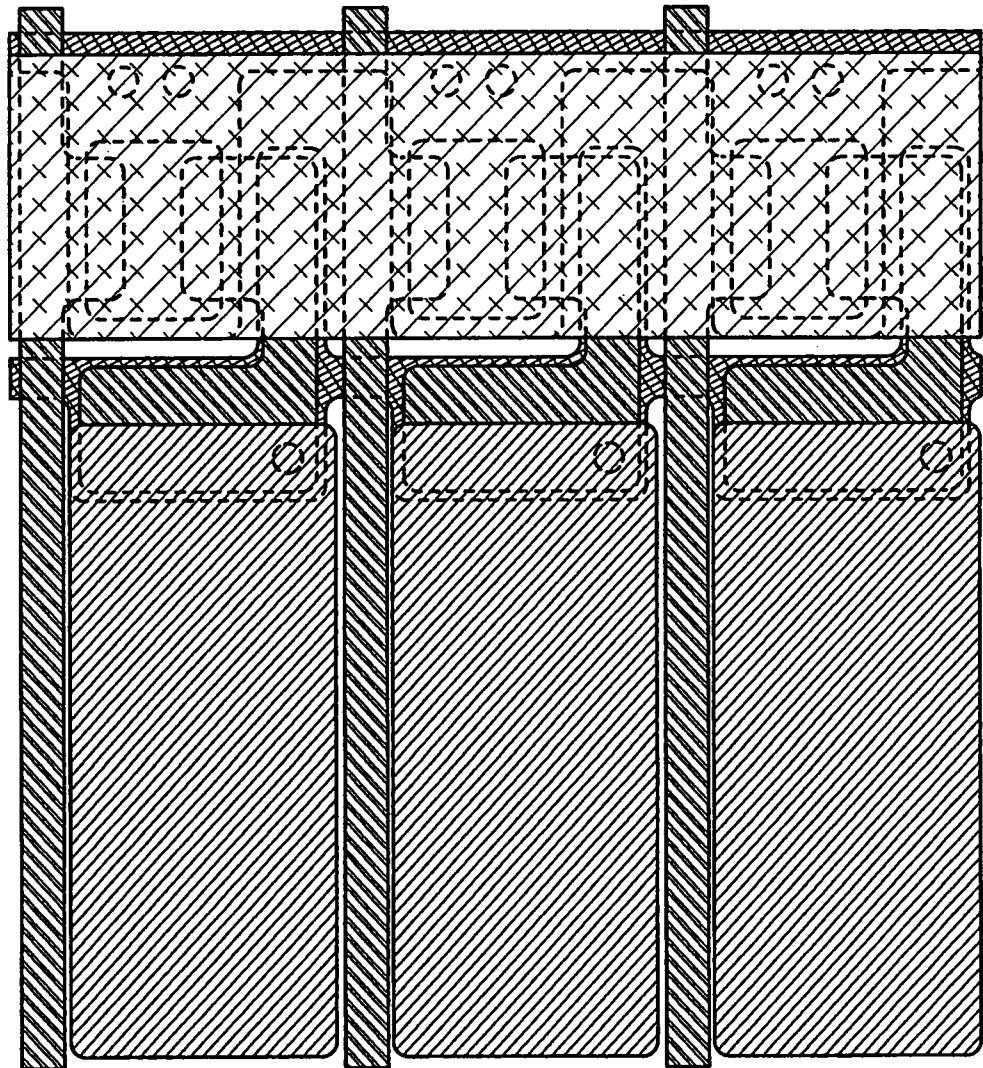


圖 19

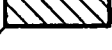


- 1101 ~ [diagonal hatching pattern]
- 1102 ~ [diagonal hatching pattern]
- 1103 ~ [diagonal hatching pattern]
- 1104 ~ [diagonal hatching pattern]
- 1105 ~ [diagonal hatching pattern]
- 1106 ~ [dashed line pattern]


圖 20

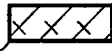


1101 ~ 

1102 ~ 

1103 ~ 

1104 ~ 

1105 ~ 


1106 ~ 

圖 21

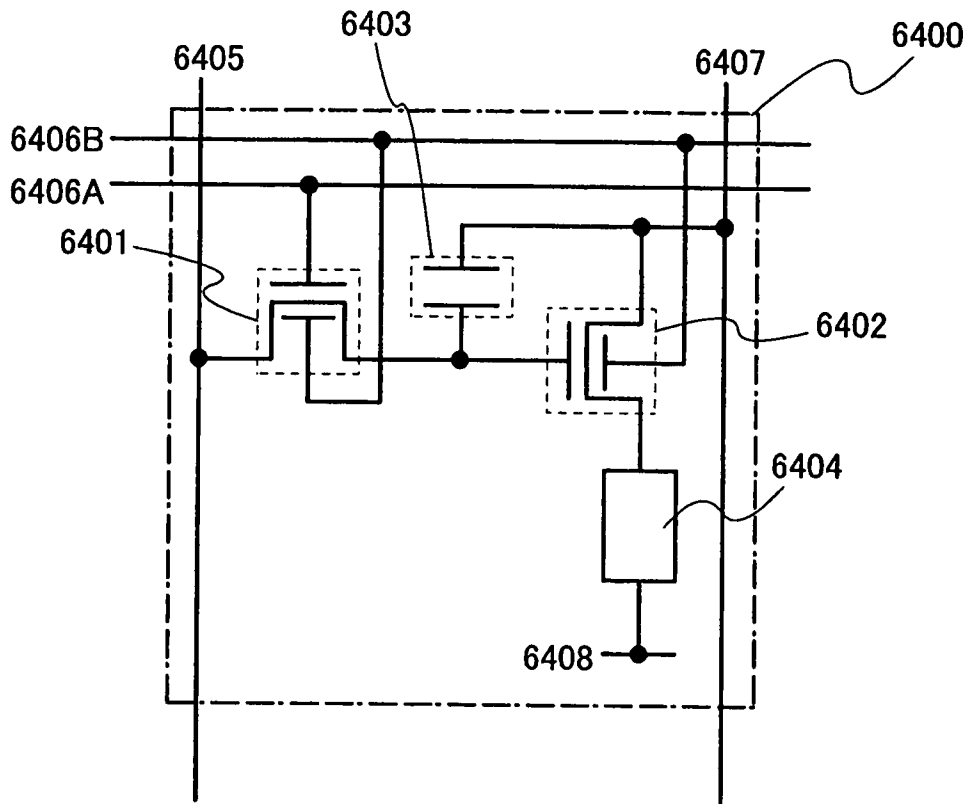


圖 22A

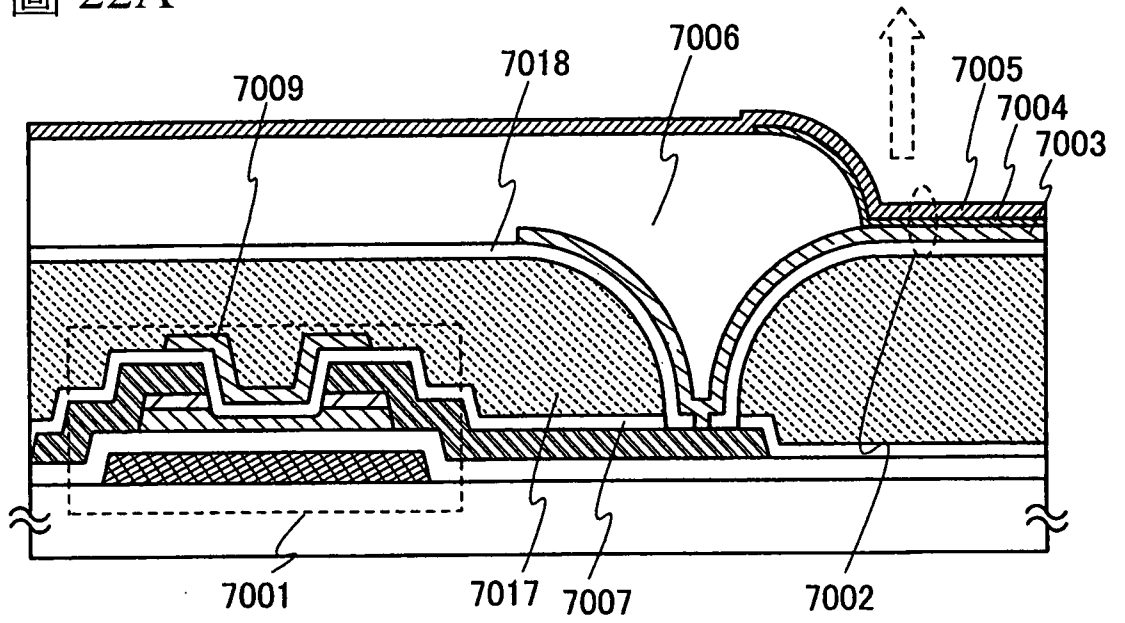


圖 22B

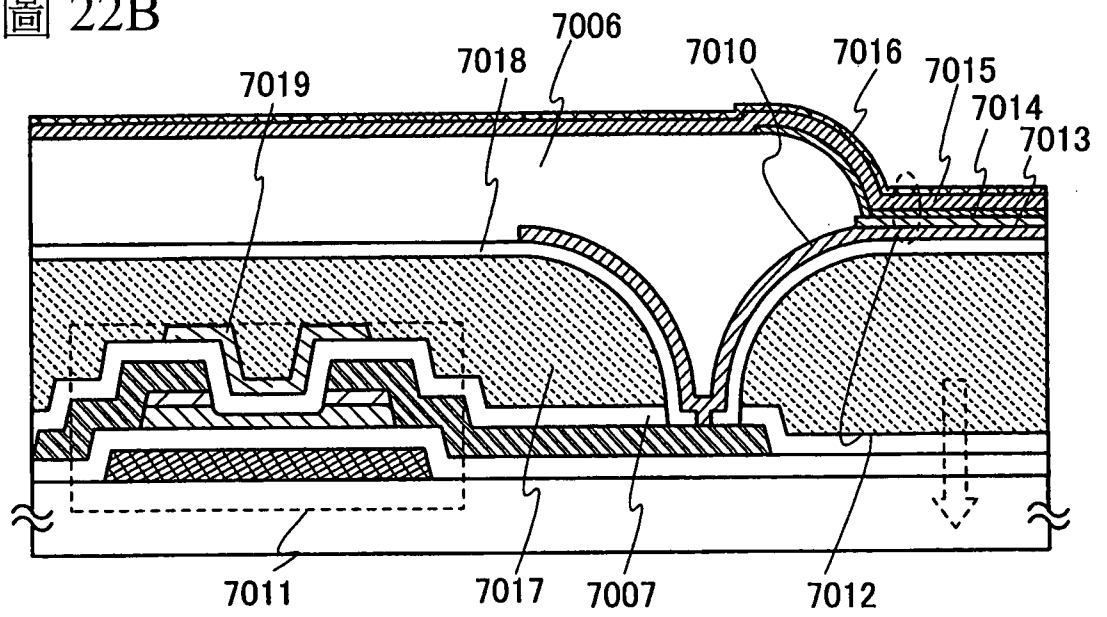


圖 22C

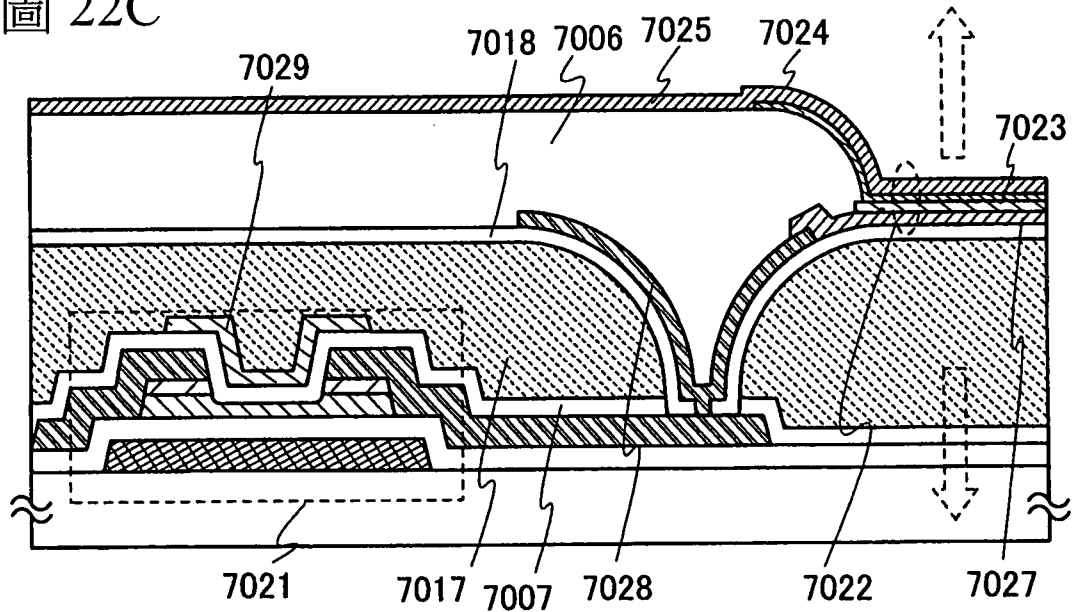


圖 23A

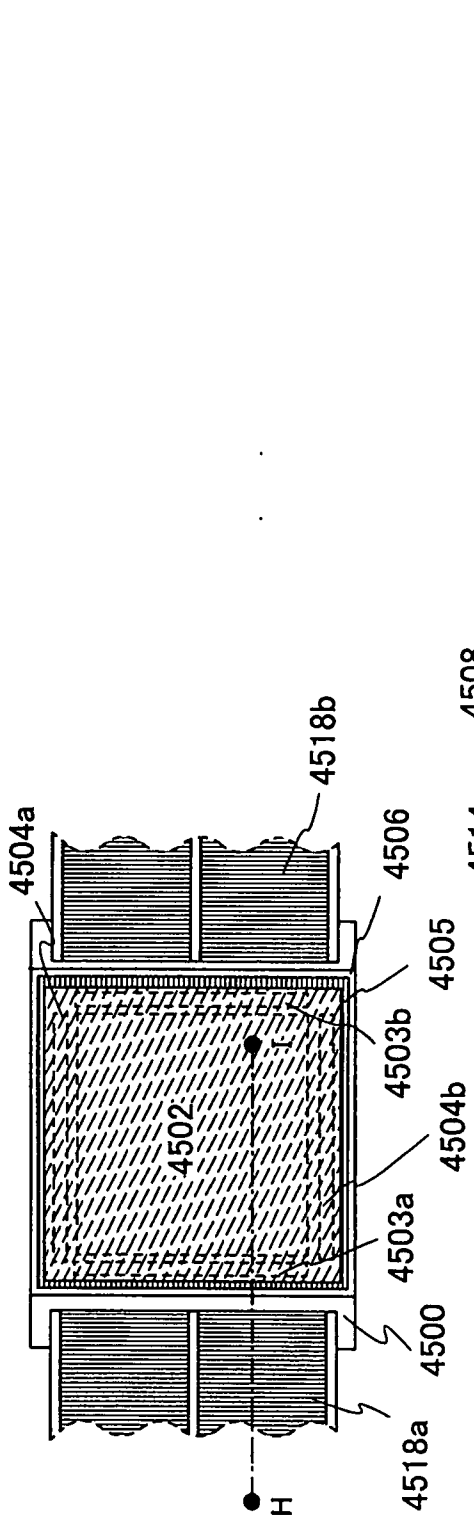


圖 23B

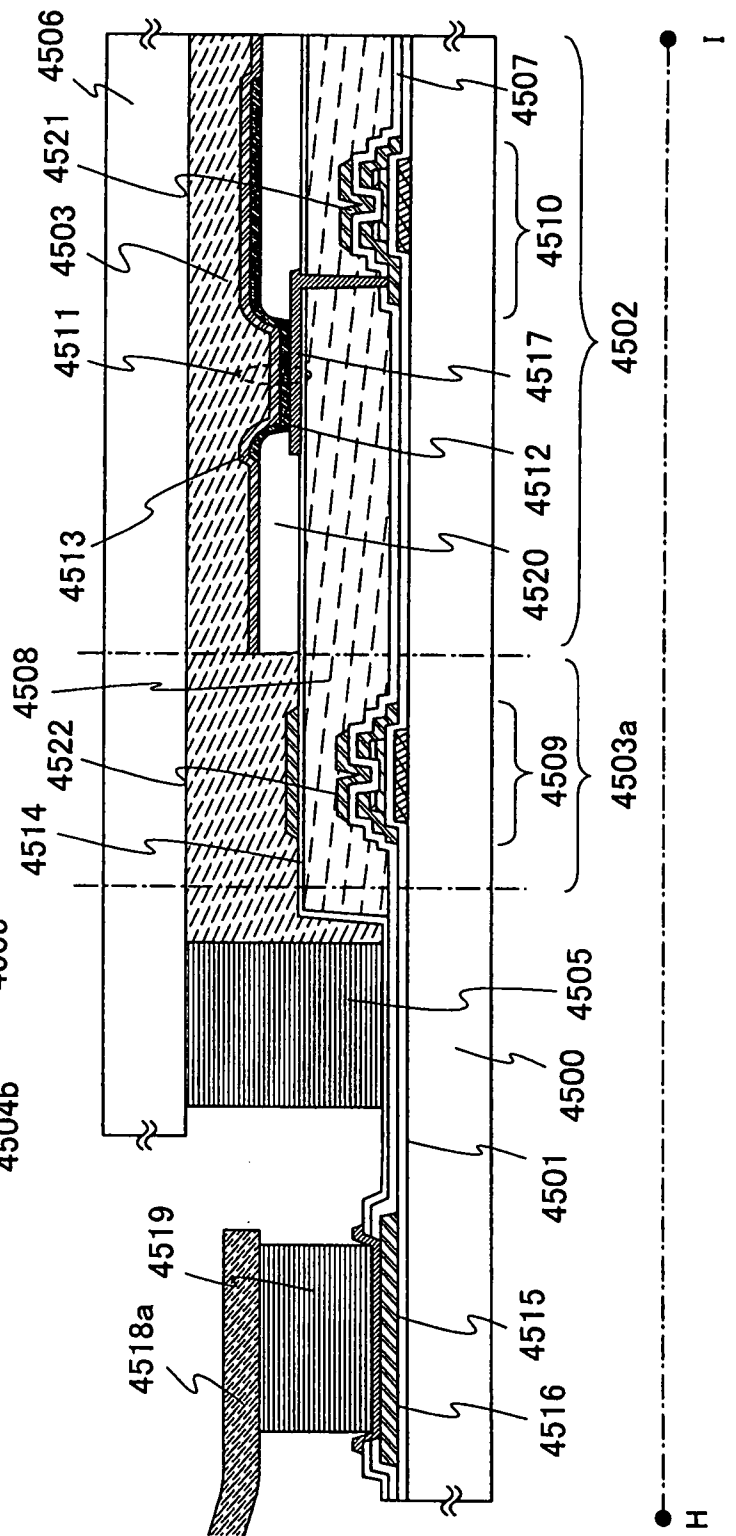


圖 24A1

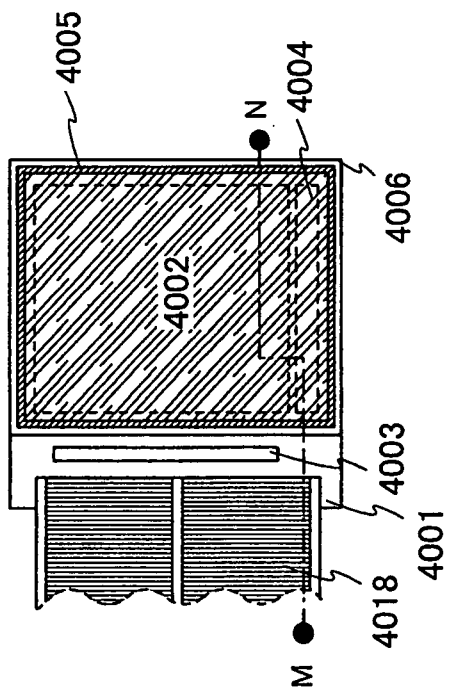


圖 24A2

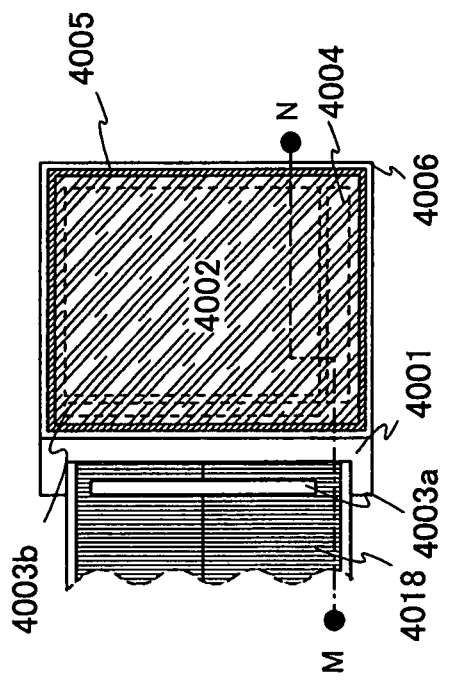


圖 24B

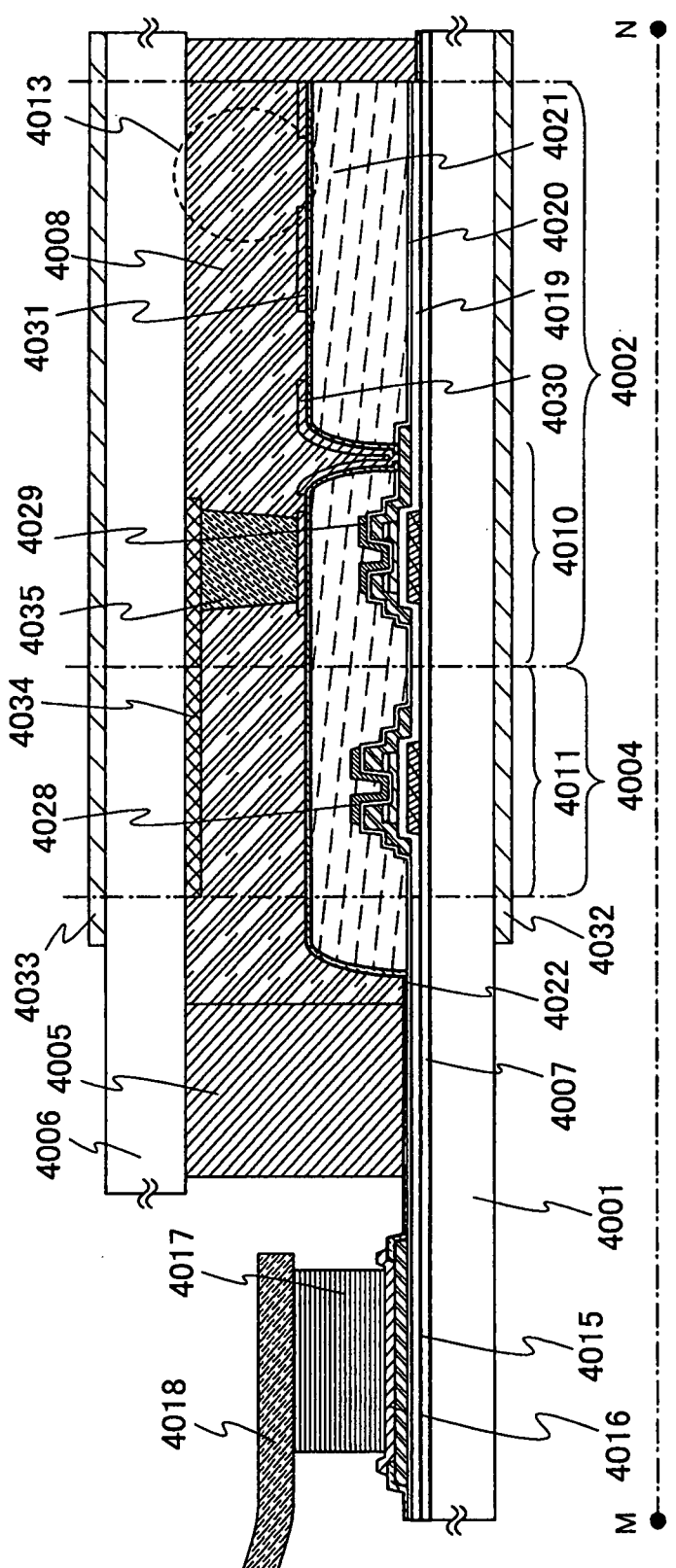


圖 25

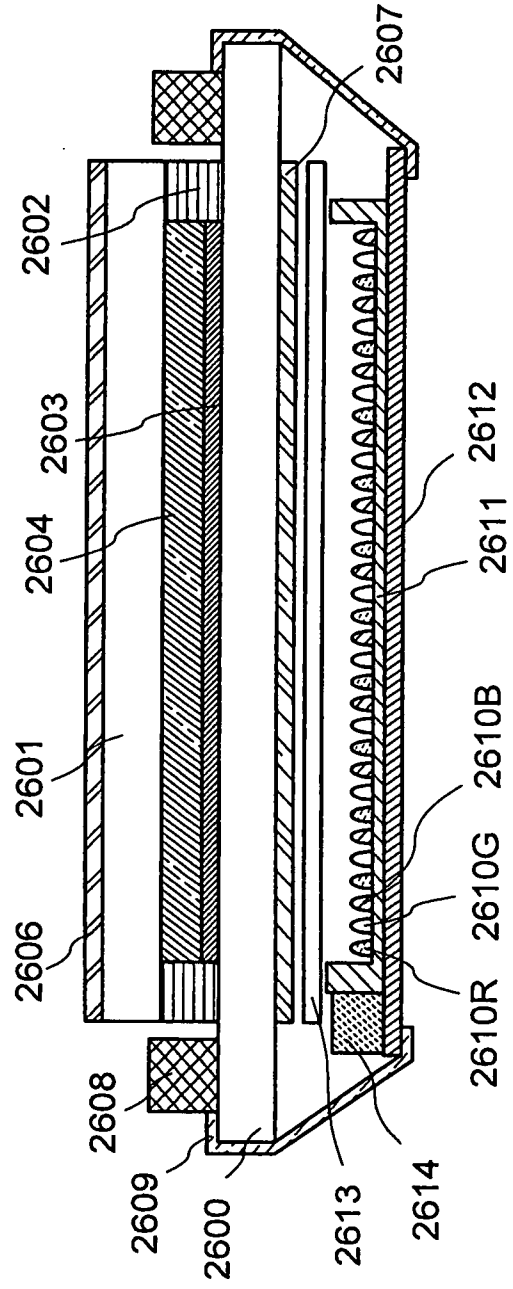


圖 26A

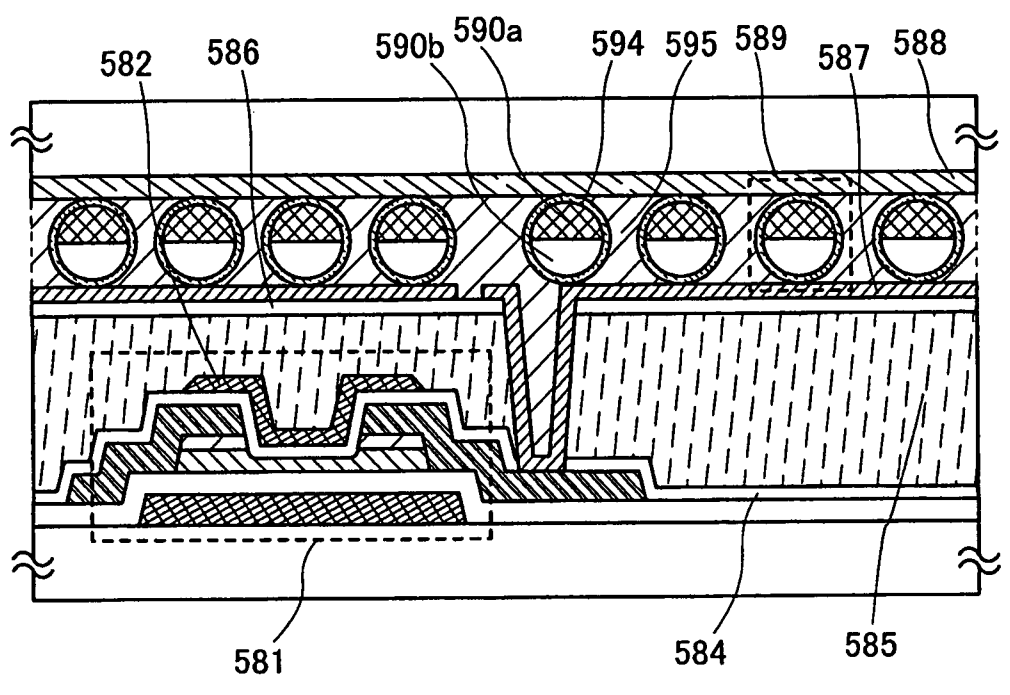


圖 26B

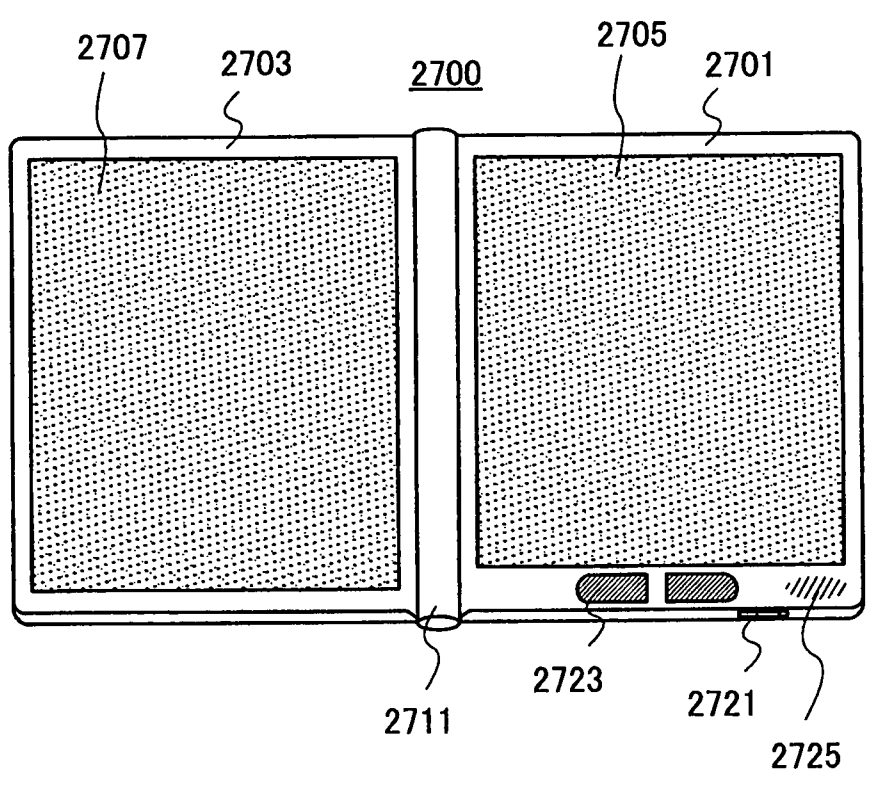


圖 27A

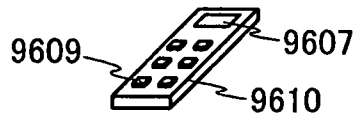
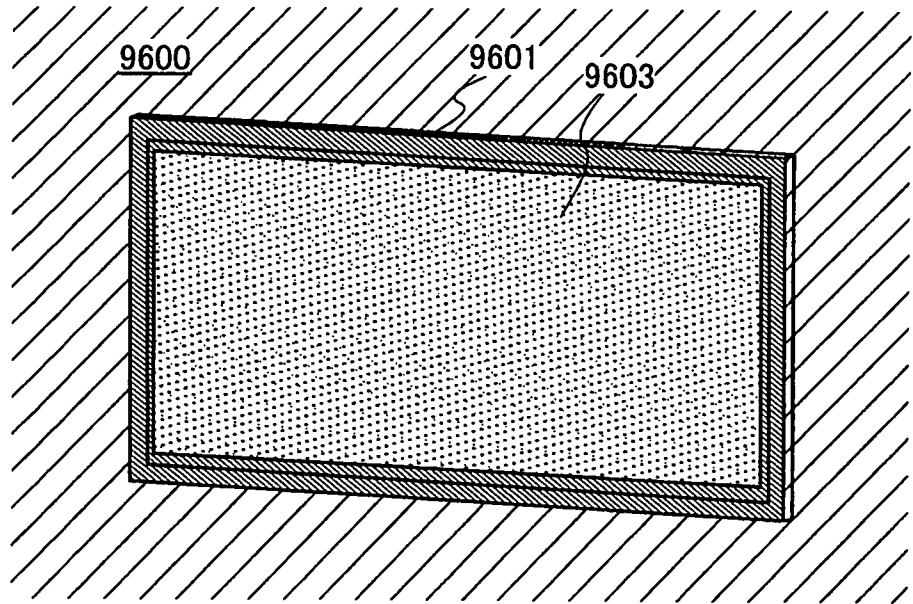


圖 27B

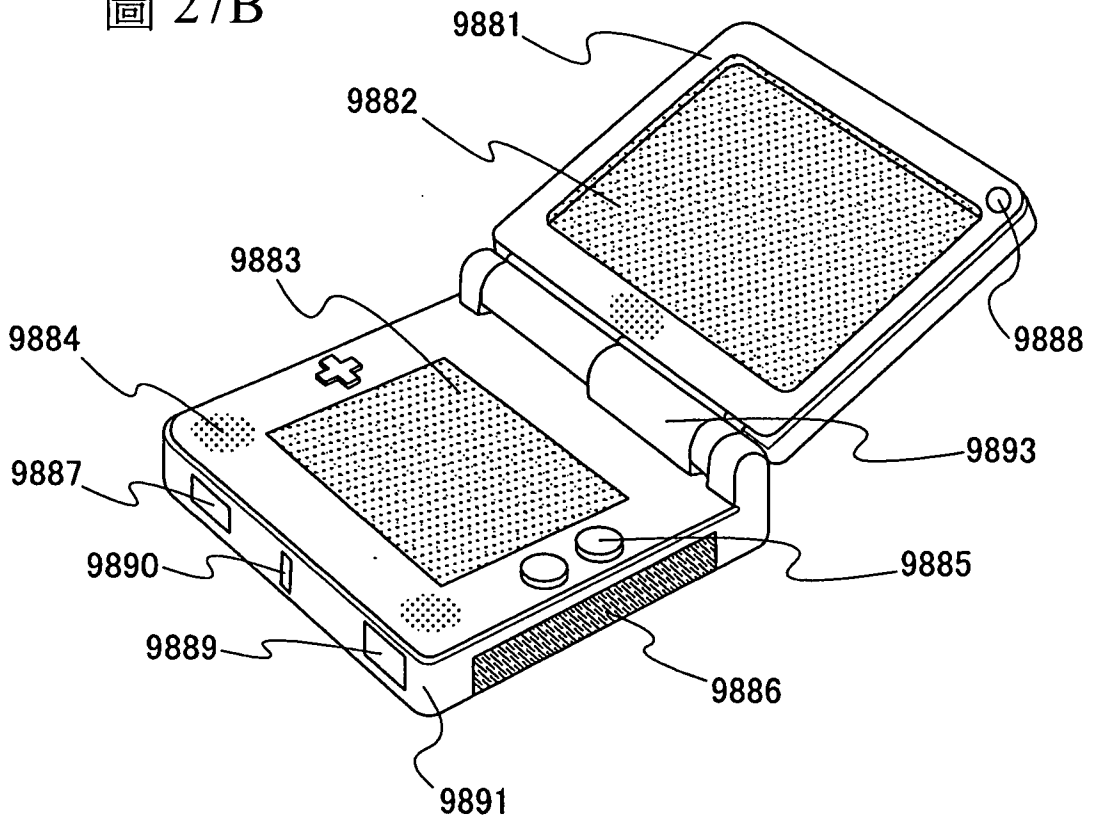


圖 28A

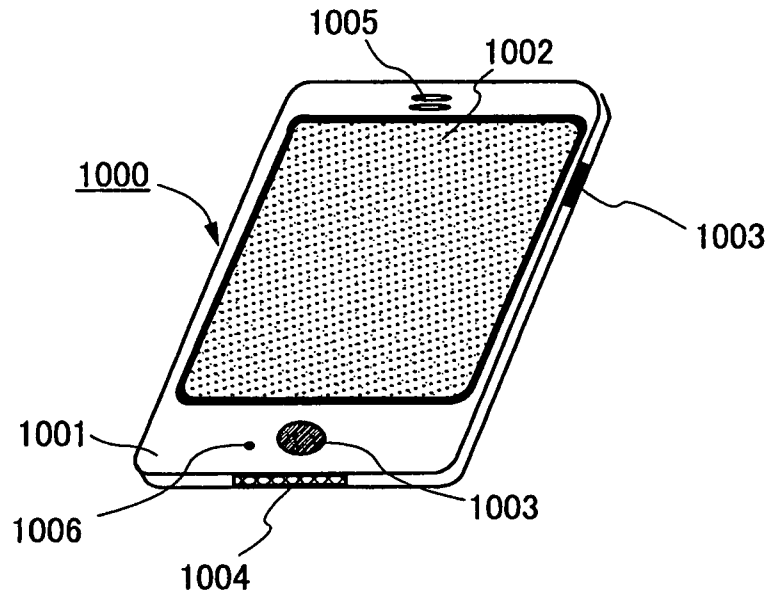


圖 28B

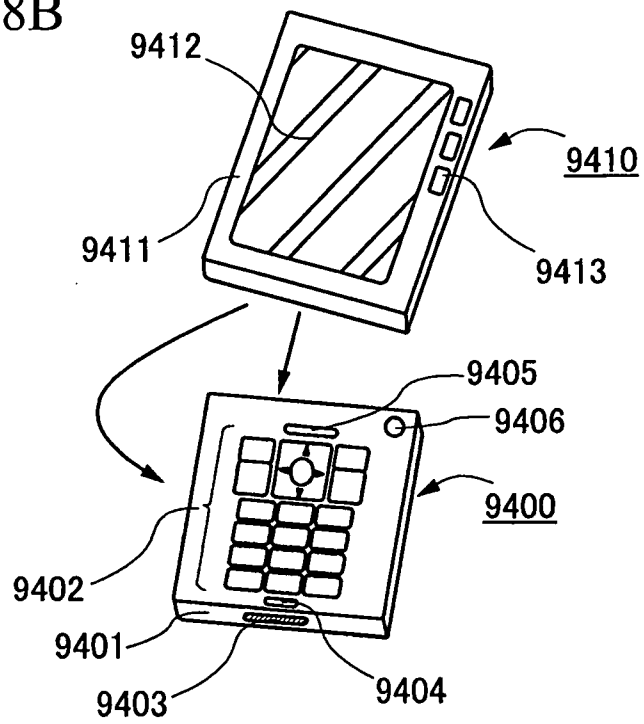


圖 29A

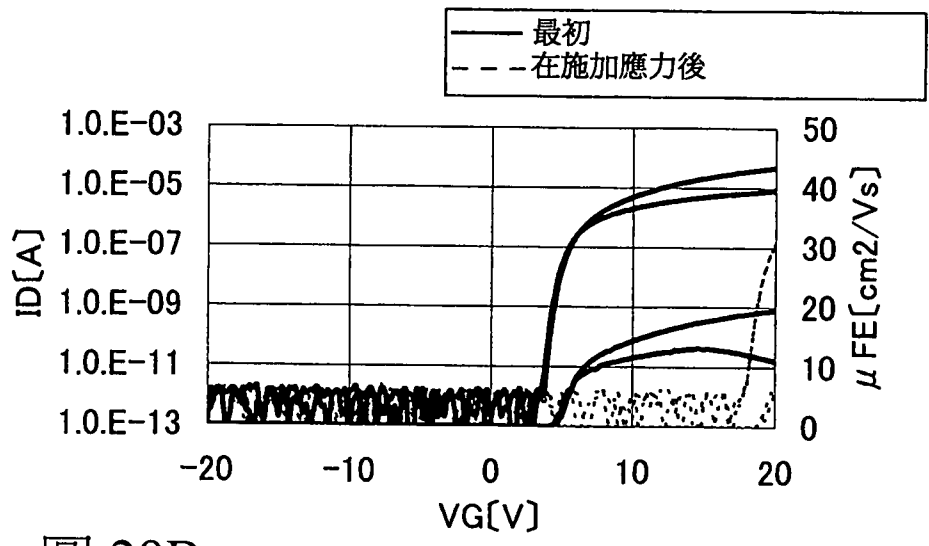


圖 29B

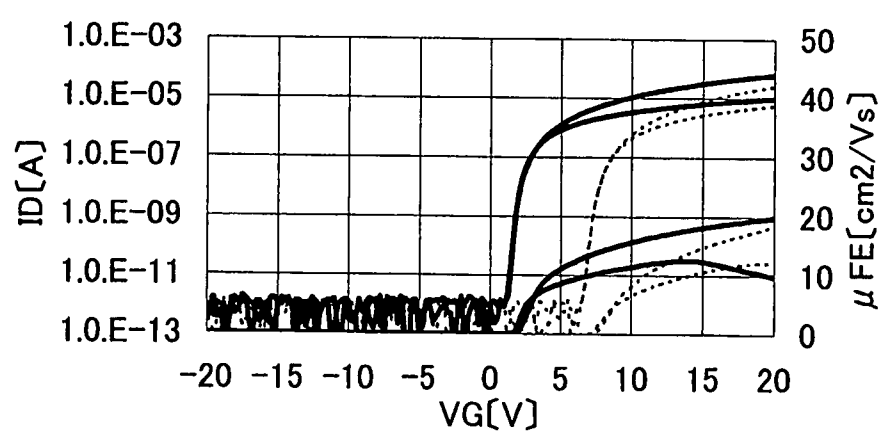


圖 29C

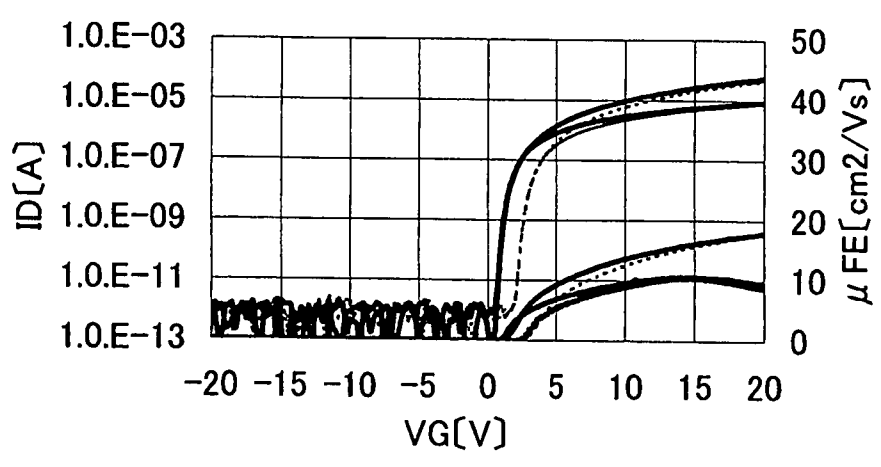


圖 30A

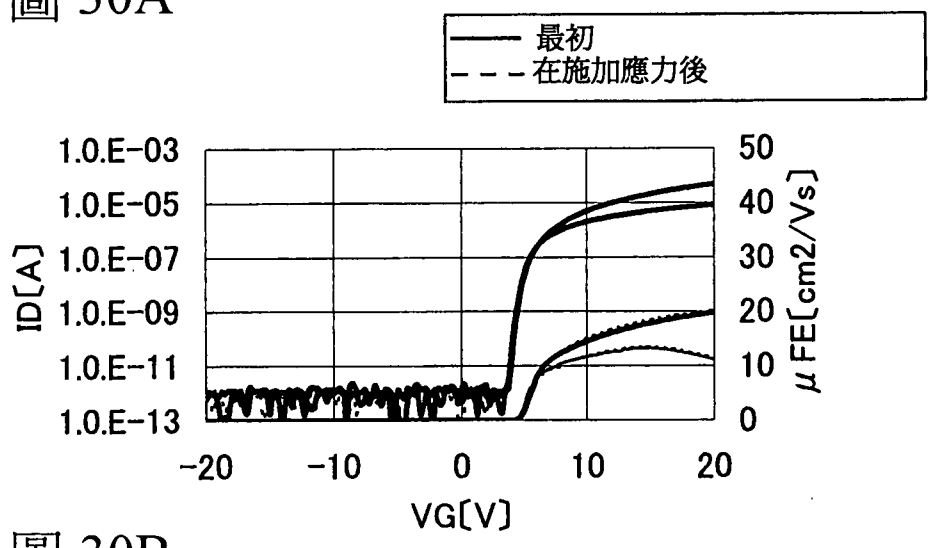


圖 30B

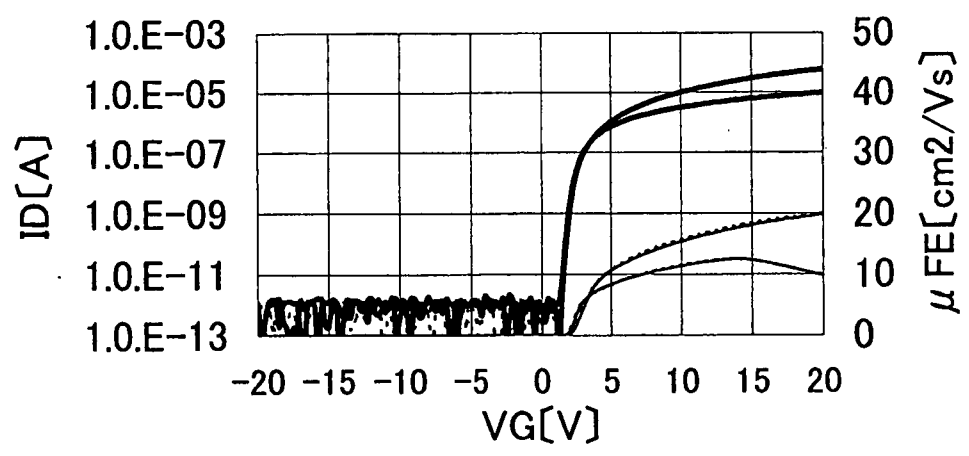


圖 30C

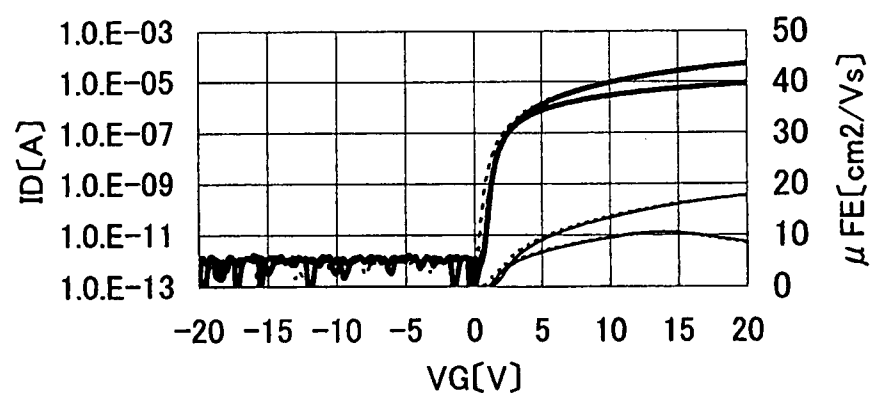


圖 31A

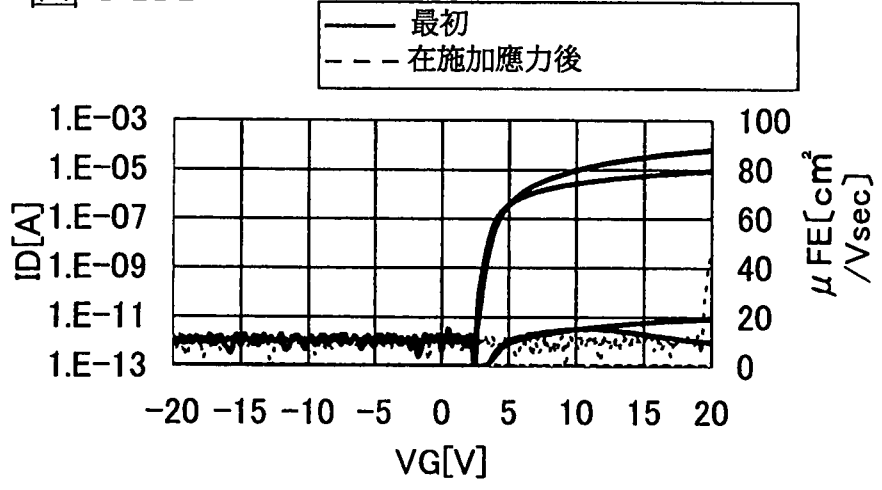


圖 31B

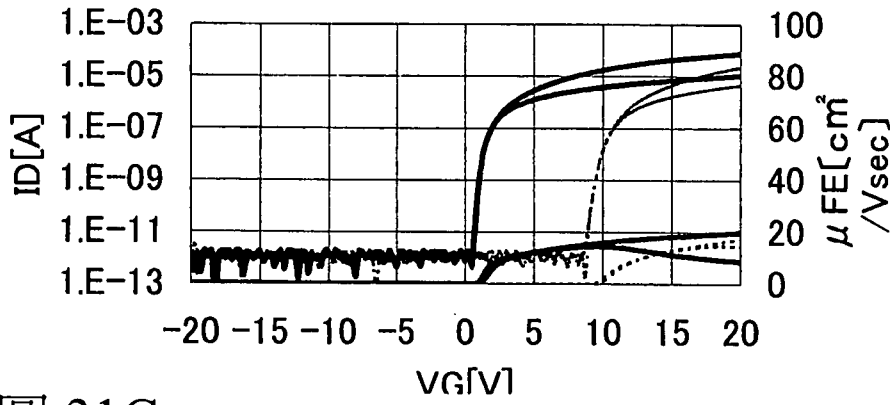


圖 31C

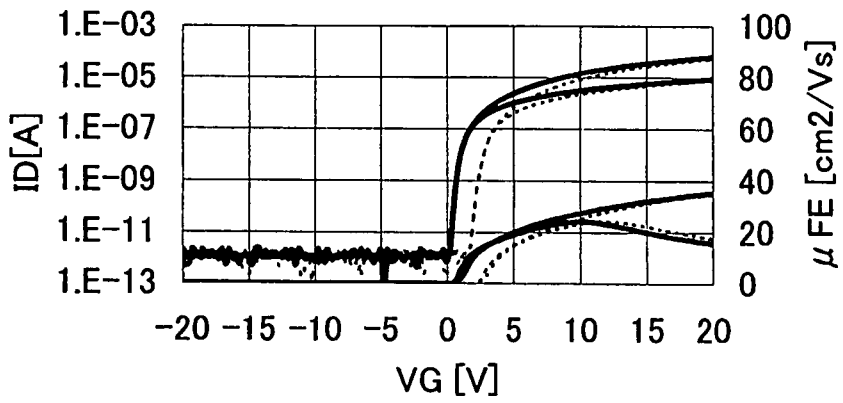


圖 32A

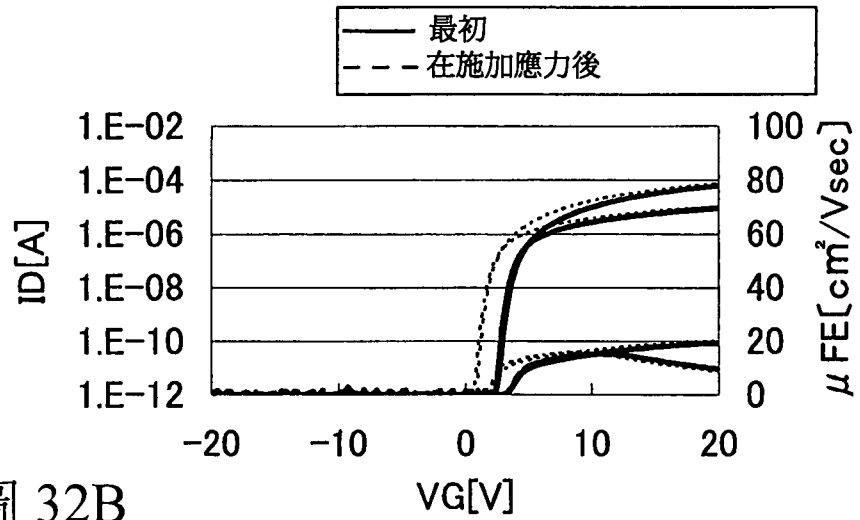


圖 32B

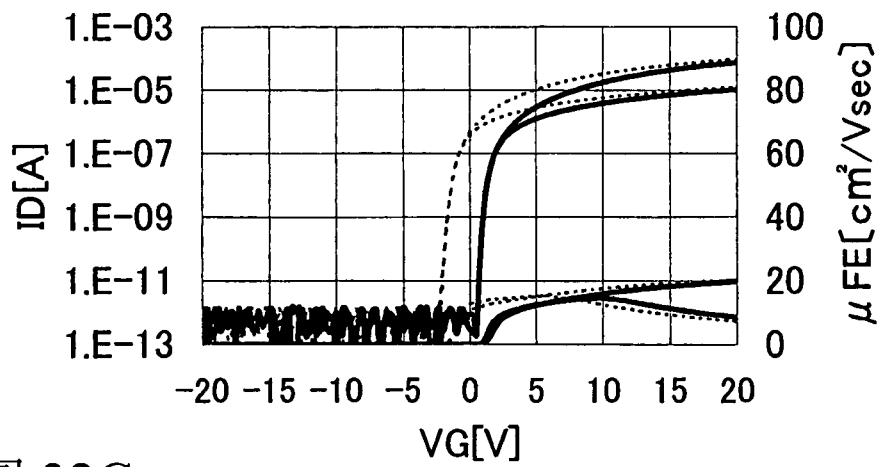


圖 32C

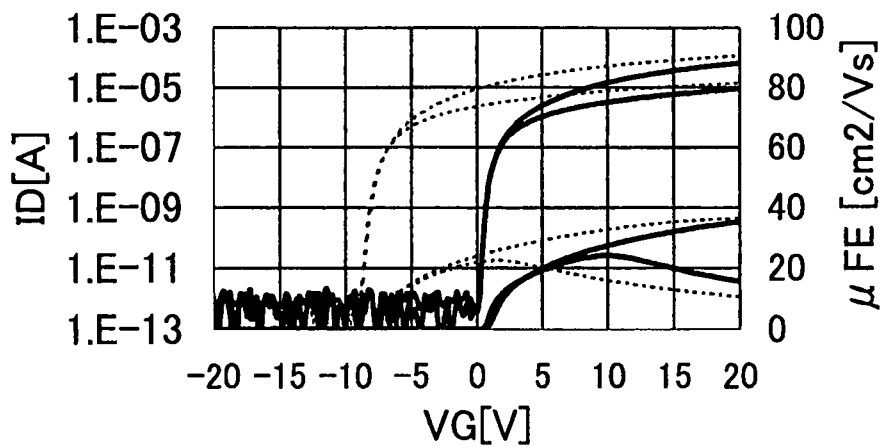


圖 33

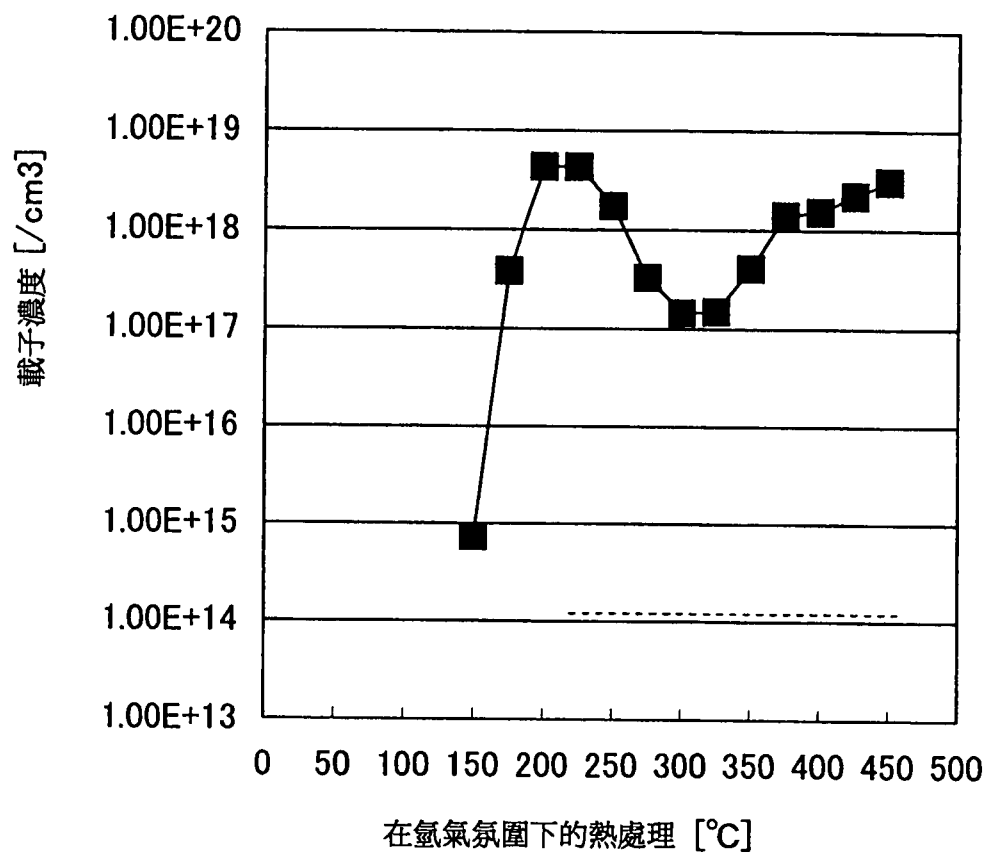


圖 34

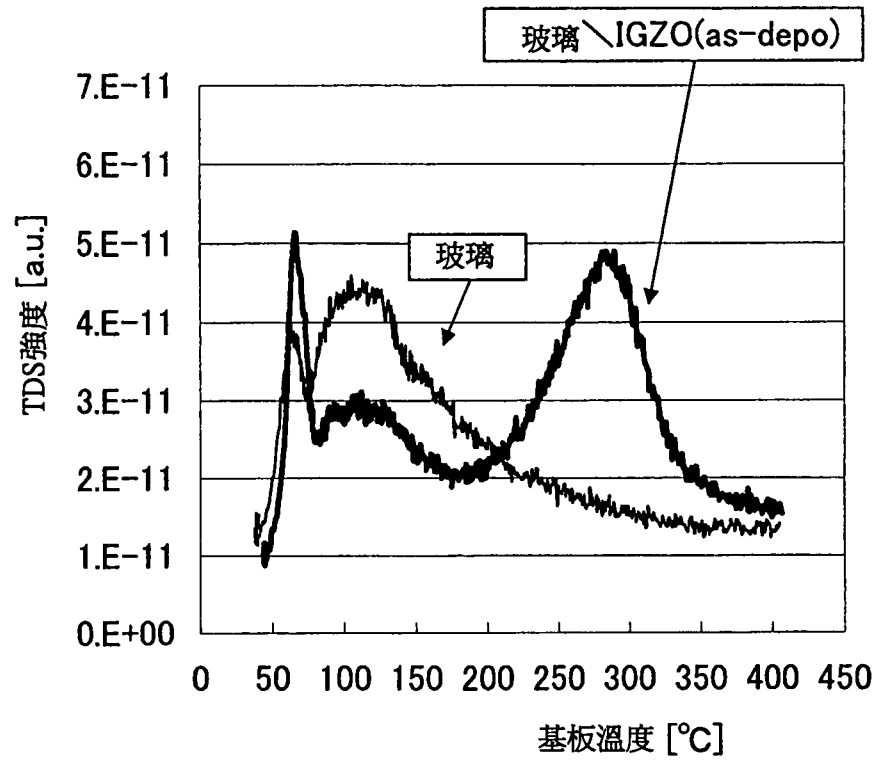


圖 35

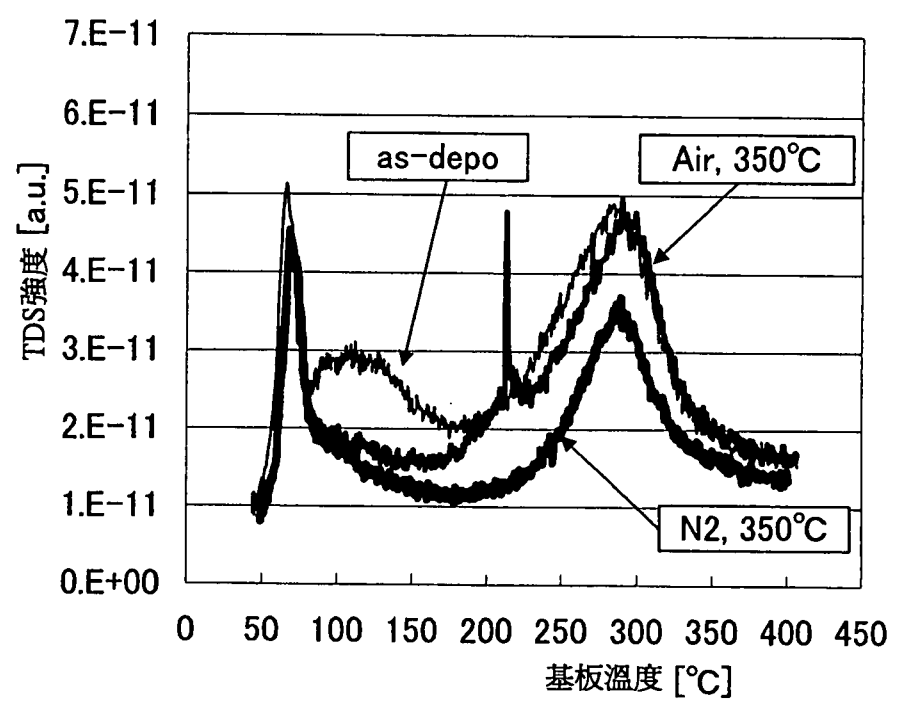


圖 36

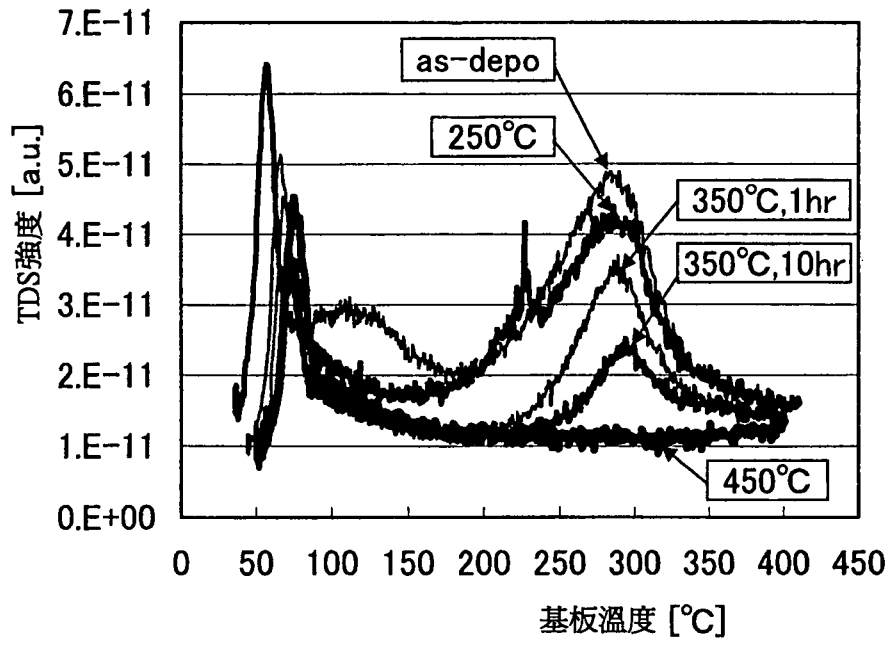


圖 37A

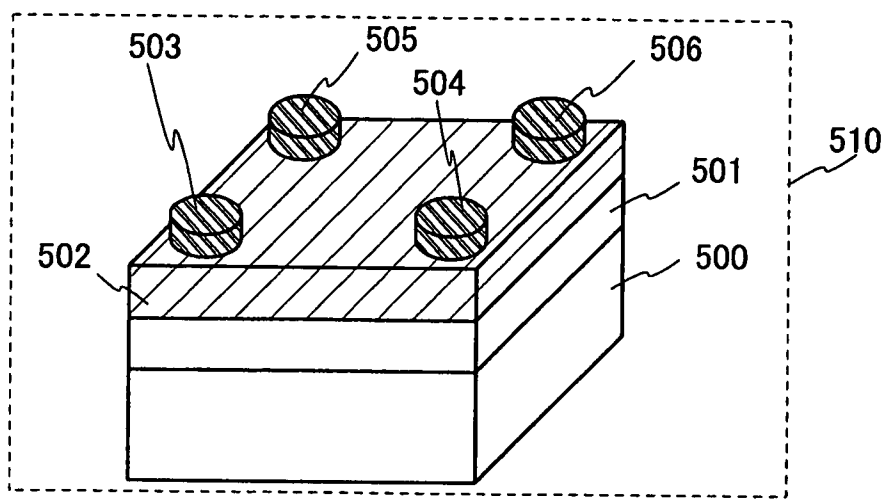


圖 37B

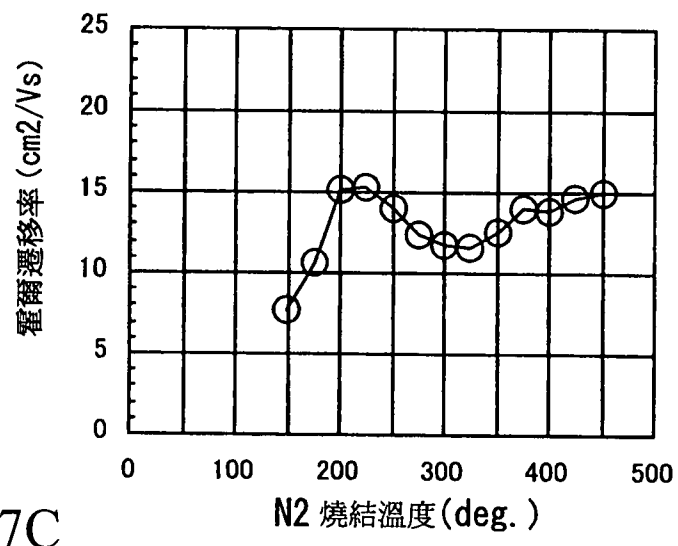


圖 37C

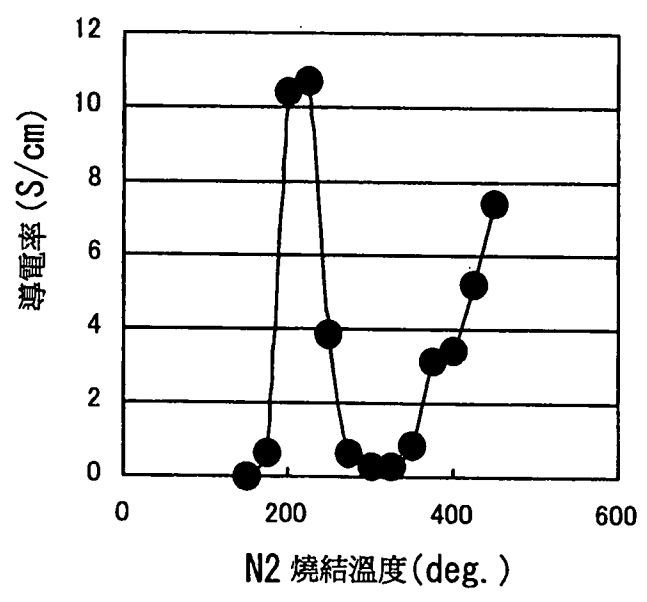


圖 38

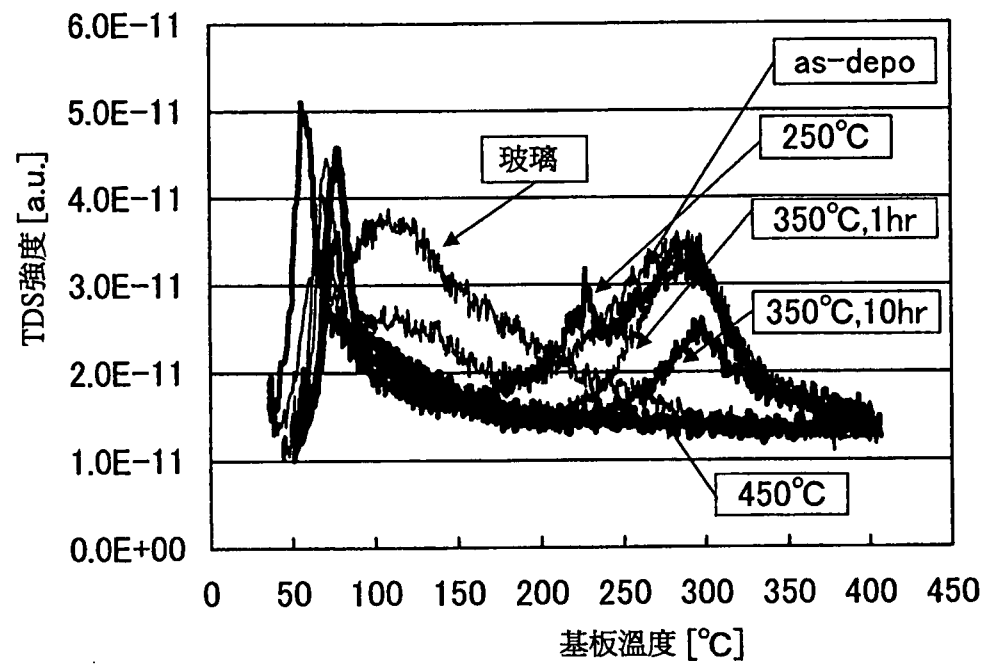


圖 39

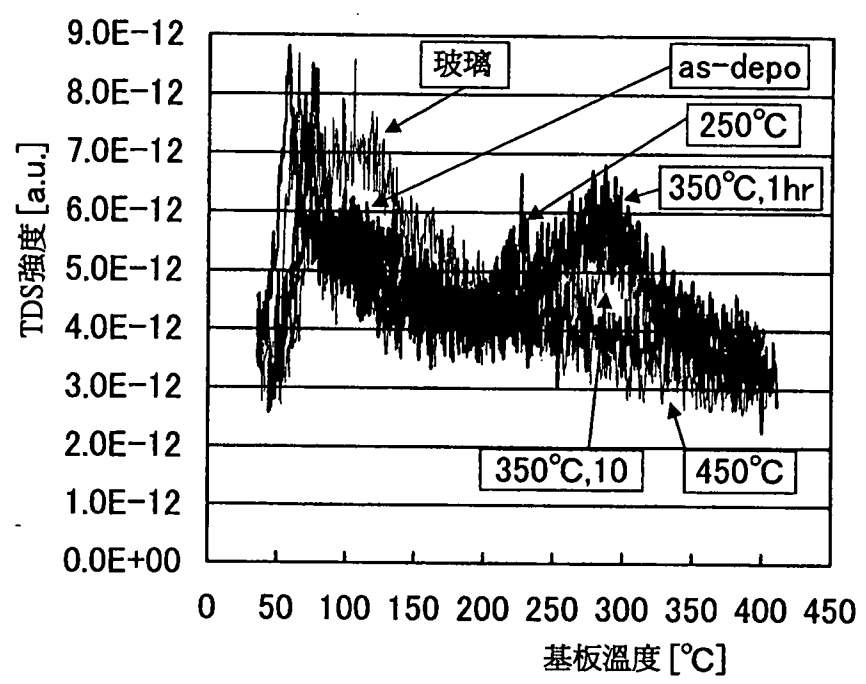


圖 40

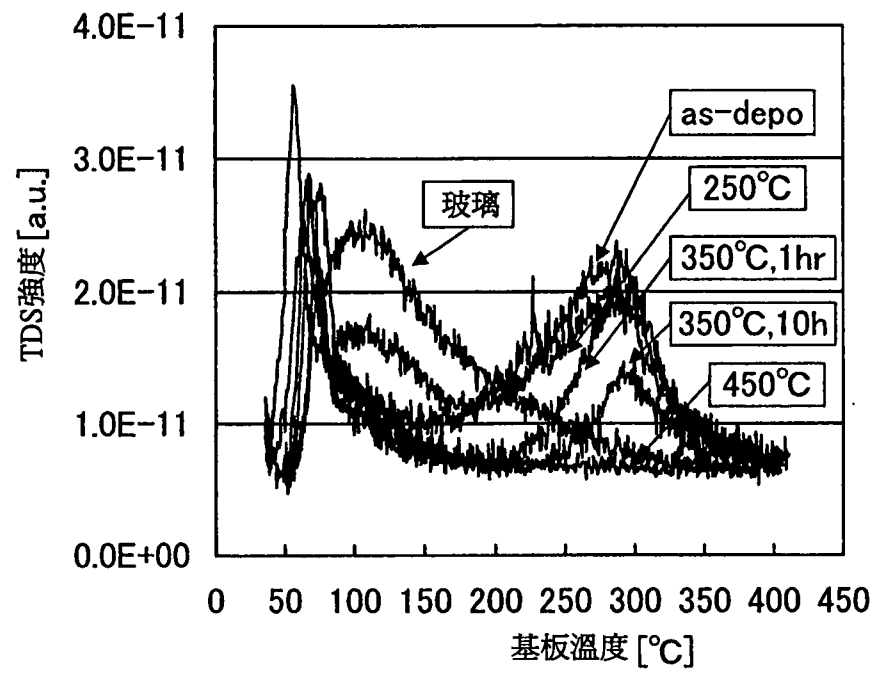


圖 41

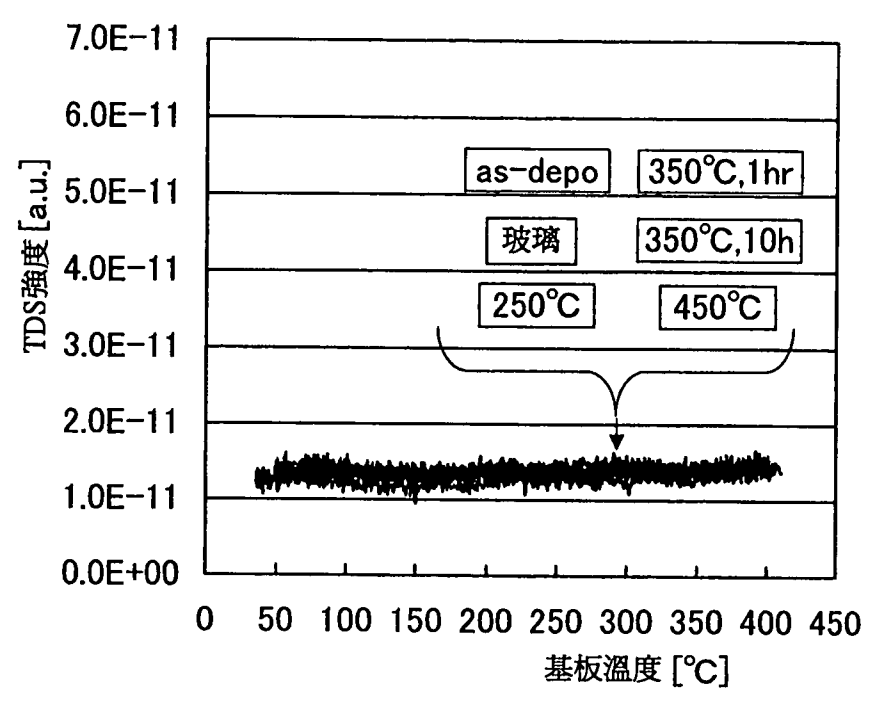


圖 42

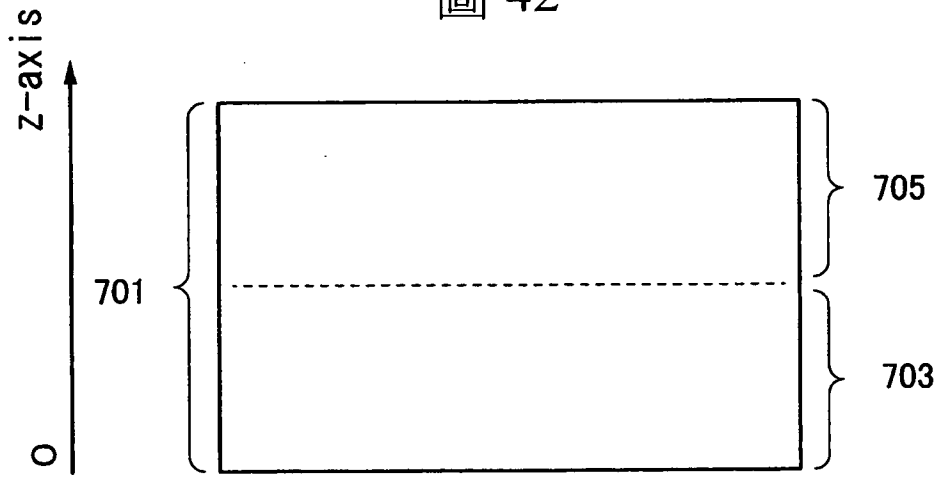


圖 43

