

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】平成25年9月5日(2013.9.5)

【公表番号】特表2012-533411(P2012-533411A)

【公表日】平成24年12月27日(2012.12.27)

【年通号数】公開・登録公報2012-055

【出願番号】特願2012-522880(P2012-522880)

【国際特許分類】

A 61 B 8/00 (2006.01)

【F I】

A 61 B 8/00

【手続補正書】

【提出日】平成25年7月10日(2013.7.10)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

超音波システムのサブビーム・フォーミング・トランスマッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のサブビーム・パルス・パターン・データ、複数のサブビーム・パルス遅延データ、及び複数のクロック信号を含む複数のサブビーム・パルス制御信号を提供するためのパルス制御回路と、

前記パルス制御回路に結合され、複数のシリアル・サブビーム信号パルスを提供することにより前記複数のサブビーム・パルス・パターン・データ、サブビーム・パルス遅延データ、及びクロック信号に応答する、信号パルス生成回路であって、前記複数のサブビーム・シリアル信号パルスのうち一つ又はそれ以上のそれぞれのサブビーム・シリアル信号パルスが、前記複数のサブビーム・パルス・パターン・データの少なくとも一部に対応し、かつ、前記複数のサブビーム・パルス遅延データ及びクロック信号に関連して時間遅延されている、信号パルス生成回路と、

を含む、装置。

【請求項2】

請求項1に記載の装置であって、

前記複数のクロック信号が共通の周波数及び相互に別個の(discriminate)位相を有し、

前記パルス制御回路が、前記複数のサブビーム・パルス・パターン・データ及びサブビーム・パルス遅延データを含む前記複数のサブビーム・パルス制御信号の一部を提供する有限ステートマシン(FSM)回路を含む、装置。

【請求項3】

請求項1に記載の装置であって、

前記パルス制御回路が、前記複数のクロック信号を含む前記複数のサブビーム・パルス制御信号の一部を提供する位相ロック・ループ(PLL)回路を含み、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有する、装置。

【請求項4】

請求項1に記載の装置であって、

前記パルス制御回路が、

前記複数のサブビーム・パルス・パターン・データ及びサブビーム・パルス遅延データ、及びクロック制御信号を含む前記複数のサブビーム・パルス制御信号の一部を提供する有限ステートマシン(ＦＳＭ)回路と、

前記ＦＳＭ回路に結合され、前記複数のクロック信号を含む前記複数のサブビーム・パルス制御信号の別の一部を提供することにより前記クロック制御信号に応答する、位相ロック・ループ(PLL)回路と、

を含み、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有する、装置。

【請求項5】

請求項1に記載の装置であって、

前記信号パルス生成回路が、

前記複数のクロック信号のうち選択されたクロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、前記複数のサブビーム・パルス・パターン・データを記憶し、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリフォードすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記第1の遅延が前記第2の遅延より小さく、

前記クロック選択回路がマルチプレクサ回路を含み、

前記遅延回路がカウンタ回路を含み、

前記データ記憶回路が、

前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データの第1のそれぞれの部分をリトリフォードすることにより、前記遅延されたクロック信号に応答する、第1のシフト・レジスタ回路と、

前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データの第2のそれぞれの部分をリトリフォードすることにより、前記遅延されたクロック信号に応答する、第2のシフト・レジスタ回路と、

を含み、

前記記憶された複数のサブビーム・パルス・パターン・データの前記リトリフォードされた第1及び第2のそれぞれの部分が、前記遅延されたクロック信号に従った2ビット・データ信号のシーケンスを提供する、装置。

【請求項6】

請求項1に記載の装置であって、

前記信号パルス生成回路が、

前記複数のクロック信号のうち選択されたクロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、前記複数のサブビーム・パルス・パターン・データを記憶し、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリークすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記遅延されたクロック信号が、前記複数のサブビーム・パルス遅延データの前記第1の部分に関連する第1の遅延と、前記複数のサブビーム・パルス遅延データの前記第2の部分に関連する第2の遅延とに従って、前記複数のクロック信号のうち前記選択されたクロック信号に関連して時間的に遅延される、装置。

【請求項7】

超音波システムのサブビーム・フォーミング・トランスマッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリークすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有し、

前記遅延されたクロック信号が、前記複数のサブビーム・パルス遅延データの前記第1の部分に関連する第1の遅延と、前記複数のサブビーム・パルス遅延データの前記第2の部分に関連する第2の遅延とに従って、前記複数のクロック信号のうち前記選択されたクロック信号に関連して時間的に遅延される、装置。

【請求項8】

超音波システムのサブビーム・フォーミング・トランスマッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリークすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記第1の遅延が前記第2の遅延より小さい、装置。

【請求項 9】

超音波システムのサブビーム・フォーミング・トランスマッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリーブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記クロック選択回路がマルチブレクサ回路を含む、装置。

【請求項 10】

超音波システムのサブビーム・フォーミング・トランスマッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリーブすることにより、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、

を含み、

前記遅延回路がカウンタ回路を含む、装置。

【請求項 11】

超音波システムのサブビーム・フォーミング・トランスマッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のクロック信号のうち選択されたクロック信号を提供することにより、複数のサブビーム・パルス遅延データの第1の部分及び前記複数のクロック信号に応答するクロック選択回路と、

前記クロック選択回路に結合される遅延回路であって、前記複数のクロック信号のうち前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供することにより、前記複数のサブビーム・パルス遅延データの第2の部分及び前記複数のクロック信号のうち前記選択されたクロック信号に応答する、遅延回路と、

前記遅延回路に結合されるデータ記憶回路であって、複数のサブビーム・パルス・パターン・データを記憶し、かつ、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリーブすることにより

、前記複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号に応答する、データ記憶回路と、
を含み、

前記データ記憶回路が、

前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データの第1のそれぞれの部分をリトリフォードすることにより、前記遅延されたクロック信号に応答する第1のシフト・レジスタ回路と、

前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データの第2のそれぞれの部分をリトリフォードすることにより、前記遅延されたクロック信号に応答する第2のシフト・レジスタ回路と、

を含み、

前記記憶された複数のサブビーム・パルス・パターン・データの前記リトリフォードされた第1及び第2のそれぞれの部分が、前記遅延されたクロック信号に従って2ビット・データ信号のシーケンスを提供する、装置。

【請求項12】

超音波システムのサブビーム・フォーミング・トランスマッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のサブビーム・パルス・パターン・データ、複数のサブビーム・パルス遅延データ、及び複数のクロック信号を含む複数のサブビーム・パルス制御信号を提供するためのパルス・コントローラ手段と、

前記複数のサブビーム・パルス・パターン・データ、サブビーム・パルス遅延データ、及びクロック信号を受信し、それらに応答して、複数のシリアル・サブビーム信号パルスを提供するための信号パルス生成器手段であって、前記複数のサブビーム・シリアル信号パルスのうち一つ又はそれ以上のそれぞれのサブビーム・シリアル信号パルスが、前記複数のサブビーム・パルス・パターン・データの少なくとも一部に対応し、かつ、前記複数のサブビーム・パルス遅延データ及びクロック信号に関連して時間遅延されている、信号パルス生成手段と、

を含み、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有する、装置。

【請求項13】

超音波システムのサブビーム・フォーミング・トランスマッタのためのマルチチャネル・パルサー・ドライバ回路を含む装置であって、

複数のサブビーム・パルス遅延データの第1の部分を受信し、それに応答して、複数のクロック信号から選択して前記複数のクロック信号のうちの選択されたクロック信号を提供するためのクロック・セレクタ手段と、

前記複数のサブビーム・パルス遅延データの第2の部分を受信し、それに応答して、前記複数のクロック信号のうちの前記選択されたクロック信号を遅延させて、前記複数のクロック信号のうちの前記選択されたクロック信号に対応し、かつ、それに関連して時間的に遅延された遅延クロック信号を提供するための遅延手段と、

複数のサブビーム・パルス・パターン・データ及び前記遅延されたクロック信号を受信し、それらに応答して、前記複数のサブビーム・パルス・パターン・データを記憶し、前記遅延されたクロック信号に従って前記記憶された複数のサブビーム・パルス・パターン・データのそれぞれの部分をリトリフォードするためのデータ記憶手段と、

を含む、装置。

【請求項14】

請求項13に記載の装置であって、

前記複数のクロック信号が共通の周波数及び相互に別個の位相を有する、装置。