(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3603454号
(P3603454)
(45)発行日　平成16年12月22日(2004.12.22)　(24)登録日　平成16年10月8日(2004.10.8)

(51)Int.Cl.[7]　F I
H04N 1/028　H04N 1/028　A
H04N 1/19　H04N 1/04　103C

請求項の数 2　(全 8 頁)

(21)出願番号　特願平8-56424
(22)出願日　平成8年3月13日(1996.3.13)
(65)公開番号　特開平9-247354
(43)公開日　平成9年9月19日(1997.9.19)
審査請求日　平成15年1月24日(2003.1.24)

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100122884
弁理士　角田　芳末
(74)代理人　100113516
弁理士　磯山　弘信
(74)代理人　100080883
弁理士　松隈　秀盛
(72)発明者　鈴木　清介
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　石榑　聡
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

最終頁に続く

(54)【発明の名称】撮像装置

(57)【特許請求の範囲】
【請求項１】
リセット期間と基準レベルであるフィールドスルー期間と信号期間とより成る信号が所定周期で繰り返す撮像信号が得られる固体撮像素子ラインセンサと、前記固体撮像素子ラインセンサよりの撮像信号が供給される相関二重サンプリング回路とを有する撮像装置において、前記固体撮像素子ラインセンサの電荷転送中に前記撮像信号のリセット期間に同期して電子シャッタ動作を行うようにしたことを特徴とする撮像装置。
【請求項２】
請求項１記載の撮像装置において、
前記相関二重サンプリング回路の出力側に白補正回路及び黒補正回路を設けたことを特徴とする撮像装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は画像読み取り装置に使用して好適な固体撮像素子ラインセンサを使用した撮像装置に関する。
【０００２】
【従来の技術】
従来、画像読取り装置の撮像装置として、電子シャッタ機能を有する、図４に示す如きＣＣＤラインセンサが提案されている。

【０００３】
この図４において、１は例えば２７００個のセンサが長手方向に一列に配列されてなるセンサ部、２はこのセンサ部１に対応して形成したＣＣＤより成るシフトレジスタを示し、３はこのシフトレジスタ２の出力端に設けられたディフュージョンアンプである。
【０００４】
このセンサ部１とシフトレジスタ２との間にリードアウトゲート４を設けると共にセンサ部１のシフトレジスタ２とは反対側にシャッタドレイン５を設け、このセンサ部１とこのシャッタドレイン５との間にシャッタゲート６を設ける。
【０００５】
斯る図４に示す如きＣＣＤラインセンサにおいては、図５Ａに示す如きリードアウトゲートパルスφＲＯＧをリードアウトゲート４に供給し、センサ部１の信号電荷をシフトレジスタ２に読み出す如くし、またこのシフトレジスタ２に図５Ｂ及びＣに示す如きシフトパルスφ１及びφ２を供給し、この信号電荷を出力側に転送する如くする。
【０００６】
また、このシフトレジスタ２の出力端に設けたディフュージョンアンプ３に図５Ｄに示す如きリセットパルスφＲＳを供給し、このリセットパルスφＲＳ毎にこのディフュージョンアンプ３をリセットする如くする。
【０００７】
また、シャッタゲート６に図５Ｅに示す如きシャッタパルスφＳＨＵＴを供給し、このシャッタパルスφＳＨＵＴがハイレベル“１”のときにこのシャッタゲート６をオンしてセンサ部１の電荷をシャッタドレイン５に捨てる如くし、このシャッタパルスφＳＨＵＴがローレベル“０”のときに、このセンサ部１に電荷を蓄積するようにし、これを信号電荷とするようにしたものである。
【０００８】
斯るＣＣＤラインセンサの出力端であるシフトレジスタ２の出力端のディフュージョンアンプ３の出力側には図５Ｇに示す如き、リセット期間と基準レベルであるフィールドスルー期間と信号期間とより成る信号が所定周期で繰り返す撮像信号が得られる。
【０００９】
【発明が解決しようとする課題】
斯る、図４に示す如きＣＣＤラインセンサにおいては、シャッタパルスφＳＨＵＴをハイレベル“１”よりローレベル“０”としたときには、このＣＣＤラインセンサに供給している電源や接地電位が微弱ながら変動するので、信号電荷をシフトレジスタ２で転送中は、このシャッタパルスφＳＨＵＴをハイレベル“１”よりローレベル“０”とし、センサ部１を蓄積時間とすることは行っていなかった。
【００１０】
従って、従来はこのＣＣＤラインセンサが一連の動作をするのに図５Ｅ及びＦに示す如く、シフトレジスタ２の電荷転送時間例えばシフトパルスφ１の２７００カウント期間と電子シャッタ時間即ち信号電荷の蓄積時間例えばシフトパルスφ１の１３５０～２７００カウント時間とを加算した時間以上を必要とし、この一連の動作時間が比較的長くなる不都合があった。
【００１１】
本発明は、斯る点に鑑み、このＣＣＤラインセンサ等の固体撮像素子ラインセンサの一連の動作を電子シャッタ動作が画像信号に影響することなく高速動作できるようにすることを目的とする。
【００１２】
【課題を解決するための手段】
本発明撮像装置は、リセット期間と基準レベルであるフィールドスルー期間と信号期間とより成る信号が所定周期で繰り返す撮像信号が得られる固体撮像素子ラインセンサと、この固体撮像素子ラインセンサよりの撮像信号が供給される相関二重サンプリング回路とを有する撮像装置において、この固体撮像素子ラインセンサの電荷転送中にこの撮像信号の

リセット期間に同期して電子シャッタ動作を行うようにしたものである。
【００１３】
本発明においては、固体撮像素子ラインセンサの電荷転送中に電子シャッタ動作を行うようにしたので、この固体撮像素子ラインセンサの一連の動作時間を短く、高速化することができる。
【００１４】
また本発明によれば、この電子シャッタ動作を撮像信号のリセット期間に同期しているので、この電子シャッタ動作により電荷転送中の信号電荷に変動があっても、撮像信号のフィールドスルー期間及び信号期間には同様の変動があり、その後相関二重サンプリングすることにより、この変動は除去されるので、電子シャッタ動作の影響のない良好な画像信号を出力することができる。
【００１５】
【発明の実施の形態】
以下、図面を参照して本発明撮像装置の一実施例につき説明しよう。
図１において、１１は図４に示す如きＣＣＤラインセンサを示す。また、１２は本例による撮像装置を制御する中央制御装置を示し、この中央制御装置１２よりのスタートパルスをタイミングゼネレータ１３に供給する。
【００１６】
このタイミングゼネレータ１３はこの中央制御装置１２よりのスタートパルスに同期した図５Ａ，Ｂ，Ｃ及びＤに示す如き、リードアウトゲートパルスφＲＯＧ、シフトパルスφ１，φ２及びリセットパルスφＲＳを発生し、このタイミングゼネレータ１３で発生したリードアウトゲートパルスφＲＯＧ、シフトパルスφ１，φ２及びリセットパルスφＲＳをＣＣＤラインセンサ１１に供給する如くする。
【００１７】
斯るＣＣＤラインセンサ１１の出力側には図２Ｃに示す如き、リセットパルスφＲＳによるリセット期間７ａと基準レベルであるフィールドスルー期間７ｂと信号期間７ｃとより成る信号が所定周期で繰り返す撮像信号７が得られる。
【００１８】
本例においては、中央制御装置１２でシフトレジスタ２で信号電荷を転送時間Ｔ中に電荷をシャッタドレイン５に捨てているときより電荷蓄積時間に変化する即ち電子シャッタ動作となる如きシャッタパルスφＳＨＵＴを発生し、この中央制御装置１２で発生したシャッタパルスφＳＨＵＴをＤ形フリップフロップ回路１４のＤ端子に供給すると共にタイミングゼネレータ１３よりのリセットパルスφＲＳを、このＤ形フリップフロップ回路１４のクロック端子Ｃに供給する。
【００１９】
このＤ形フリップフロップ回路１４のＱ端子に得られる図２Ｄに示す如く、図２Ｂに示す如きリセットパルスφＲＳの立上りに同期した、即ち図２Ｃに示す如きＣＣＤラインセンサ１１の出力側に得られる撮像信号７のリセット期間７ａの立上りに同期したシャッタパルスφＳＨＵＴをＣＣＤラインセンサ１１に供給する如くする。
【００２０】
この場合、シャッタパルスφＳＨＵＴが撮像信号７のリセット期間７ａに同期して、変化しているので、この撮像信号７にΔＶだけ変動があっても、この変動ΔＶは基準レベルであるフィールドスルー期間７ｂ及び信号期間７ｃでは同じに変動することとなる。
【００２１】
このＣＣＤラインセンサ１１の出力側に得られる図２Ｃに示す如き撮像信号７を相関二重サンプリング回路１５に供給する。即ち、このＣＣＤラインセンサ１１の出力端子を相関二重サンプリング回路１５を構成する撮像信号７の基準レベルであるフィールドスルー期間７ｂにオンとなる接続スイッチ１５ａ及びこの撮像信号７の信号期間７ｃにオンとなるサンプリングスイッチ１５ｂを介して演算増幅回路１５ｃの反転入力端子－に接続する。
【００２２】

この接続スイッチ１５ａ及びサンプリングスイッチ１５ｂの接続点を基準電圧ホールド用コンデンサC_1　を介して接地すると共に演算増幅回路１５ｃの反転入力端子－を基準電圧ホールド用のコンデンサC_2　を介して接地する。

【００２３】

またＣＣＤラインセンサ１１の出力端子を相関二重サンプリング回路１５を構成する撮像信号７の信号期間７ｃにサンプリングスイッチ１５ｂと連動してオンとなるサンプリングスイッチ１５ｄを介して演算増幅回路１５ｃの非反転入力端子＋に接続すると共にこの非反転入力端子＋を信号電圧ホールド用コンデンサC_3　を介して接地する。

【００２４】

本例においては、タイミングゼネレータ１３の出力側に得られる図２Ａに示す如きシフトパルスφ１を遅延回路１５ｅに供給して、接続スイッチ１５ａを撮像信号７のフィールドスルー期間７ｂにオンするスイッチ信号を形成するようにすると共にこのシフトパルスφ１を遅延回路１５ｆに供給して、サンプリングスイッチ１５ｂ及び１５ｄを撮像信号７の信号期間７ｃにオンするスイッチ信号を形成する。

【００２５】

この相関二重サンプリング回路１５の出力側即ち演算増幅回路１５ｃの出力側に図２Ｅに示す如く、撮像信号７の基準レベルであるフィールドスルー期間７ｂのレベルと信号期間７ｃのレベルとの差のサンプリングホールド電圧が順次得られる離散的信号が得られる。

【００２６】

この相関二重サンプリングホールド回路１５の出力側に得られる離散的信号をアナログ信号をデジタル信号に変換する分解能が例えば１０ビットのアナログ－デジタル変換回路１６に供給する。

【００２７】

このアナログ－デジタル変換回路１６の出力信号を黒補正回路１７及び白補正回路１８を介してデジタル画像信号出力信号１９に供給する如くする。

【００２８】

この黒補正回路１７はＣＣＤラインセンサ１１のセンサ部１の暗時の出力レベルのばらつきを補正するもので、シャッタゲート６をオンした状態での出力レベルのデータを中央制御装置１２に設けたメモリに記憶し、読み取った信号レベルのデータより、このメモリに記憶された黒レベルのデータをデジタル的に引算することにより黒補正するようにしたものである。

【００２９】

また白補正回路１８は、光源のシェーディング（光量むら）及びＣＣＤラインセンサ１１のセンサ部１の感度ばらつきを補正するもので、予め白基準板を測光したデータを中央制御装置１２に設けたメモリに記憶し、読み取った信号レベルのデータをこのメモリに記憶された白レベルのデータでデジタル的に割算して補正するようにしたものである。

【００３０】

本例は上述の如く、ＣＣＤラインセンサ１１のシフトレジスタ２で、図３Ｃに示す如く電荷転送時間Ｔ中に、図２Ｄ及び図３Ｂに示す如く電子シャッタ動作（電荷を捨てているときから電荷蓄積時間に切換える動作）を行うようにしたので、このＣＣＤラインセンサ１１の一連の動作時間即ち図３Ａに示す如きリードアウトゲートパルスφＲＯＧの周期を短く例えばシフトパルスφ１の２７００カウント時間＋１００カウント時間程度にでき、このＣＣＤラインセンサ１１の動作時間を高速化できる。

【００３１】

しかも本例によれば、この電子シャッタ動作を撮像信号７のリセット期間７ａに同期しているので、この電子シャッタ動作により電荷転送中の信号電荷に変動があっても、撮像信号７のフィールドスルー期間７ｂ及び信号期間７ｃには同様の変動ΔＶがあり、その後、相関二重サンプリングすることにより、この変動ΔＶは除去されるので、電子シャッタ動作の影響のない良好な画像信号を出力することができる利益がある。

【００３２】

更に本例においては、その後、黒補正回路１７及び白補正回路１８により黒補正及び白補正を行っているので更に良好な画像信号が得られる利益がある。

【００３３】

尚上述実施例では、ＣＣＤラインセンサを使用した例につき述べたが、この代わりにその他の固体撮像素子ラインセンサであっても良いことは勿論である。

【００３４】

また、本発明は上述実施例に限らず本発明の要旨を逸脱することなく、その他種々の構成が採り得ることは勿論である。

【００３５】

【発明の効果】

本発明によればＣＣＤラインセンサ等の固体撮像素子ラインセンサの一連の動作を高速動作できると共に電子シャッタ動作の悪影響のない画像信号が得られる利益がある。

【図面の簡単な説明】

【図１】本発明撮像装置の一実施例を示す構成図である。

【図２】図１の説明に供する線図である。

【図３】図１の説明に供する線図である。

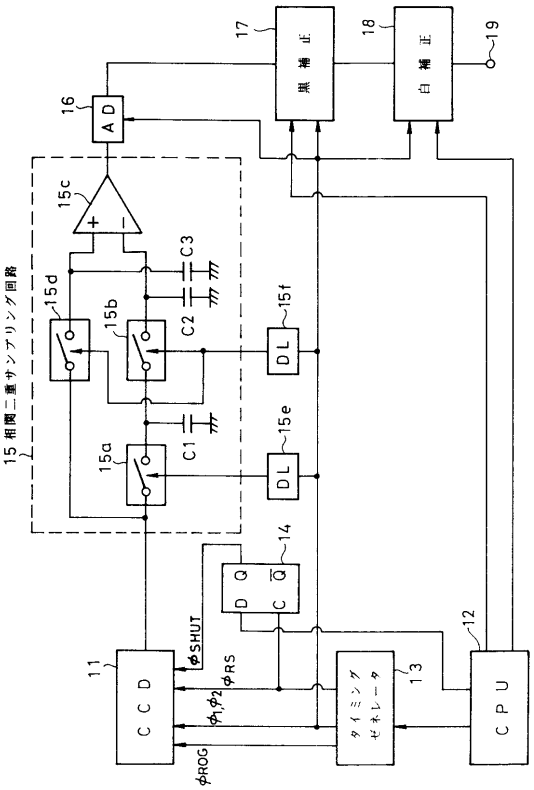
【図４】ＣＣＤラインセンサの例を示す平面図である。

【図５】図４の説明に供する線図である。

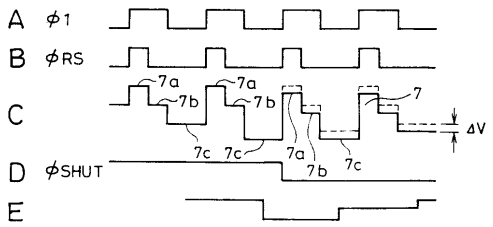
【符号の説明】

１　センサ部、２　シフトレジスタ、３　ディフュージョンアンプ、４　リードアウトゲート、５　シャッタドレイン、６　シャッタゲート、７　撮像信号、７ａ　リセット期間、７ｂ　フィールドスルー期間、７ｃ　信号期間、１１　ＣＣＤラインセンサ、１２　中央制御装置、１３　タイミングゼネレータ、１４　Ｄ形フリップフロップ回路、１５　相関二重サンプリング回路、１６　アナログ－デジタル変換回路、１７　黒補正回路、１８　白補正回路、１９　デジタル画像信号出力端子、φＲＯＧ　リードアウトゲートパルス、φＲＳ　リセットパルス、φＳＨＵＴ　シャッタパルス、Ｔ　電荷転送時間

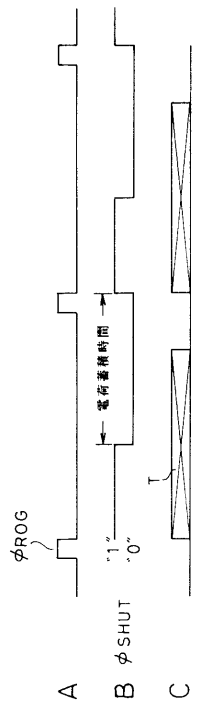
【図１】


17
黒補正
18
白補正
19
16
A D
15c
C3
15d
15b
C2
15f
DL
15 相関二重サンプリング回路
15e
15a
C1
14
D Q
C Q̄
φSHUT
12
11
C C D
φRS
φ1,φ2
タイミングゼネレータ
13
C P U
φROG

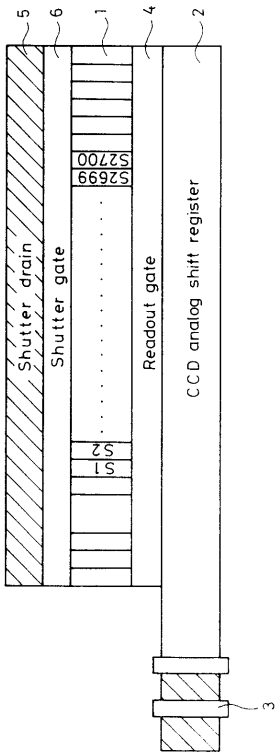
【図２】


A φ1
B φRS
C
D φSHUT
E
7a
7b
7c
7
ΔV

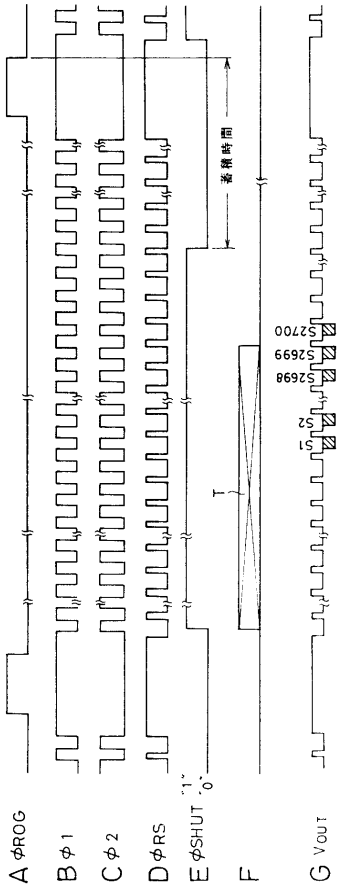
【図３】


φROG
"1"
"0"
電荷蓄積時間
T
A
B φSHUT
C

【図４】


5
6
1
4
2
Shutter drain
Shutter gate
S2699
S2700
S1
S2
Readout gate
CCD analog shift register
3

【図５】


A φROG
B φ1
C φ2
D φRS
E φSHUT
'1'
'0'
F
G VOUT
蓄積時間
T
S1
S2
S2698
S2699
S2700

フロントページの続き

審査官　渡辺　努

(56)参考文献　特開平０４－３５２５７７（ＪＰ，Ａ）
特開平０５－１１０７５８（ＪＰ，Ａ）
特開平０８－２６５５６４（ＪＰ，Ａ）
特開平０５－２８４２９２（ＪＰ，Ａ）
特開平０５－３３６３５９（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.^{7}，ＤＢ名)
H04N 1/024-1/207