

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005 年 12 月 22 日 (22.12.2005)

PCT

(10) 国際公開番号
WO 2005/122239 A1

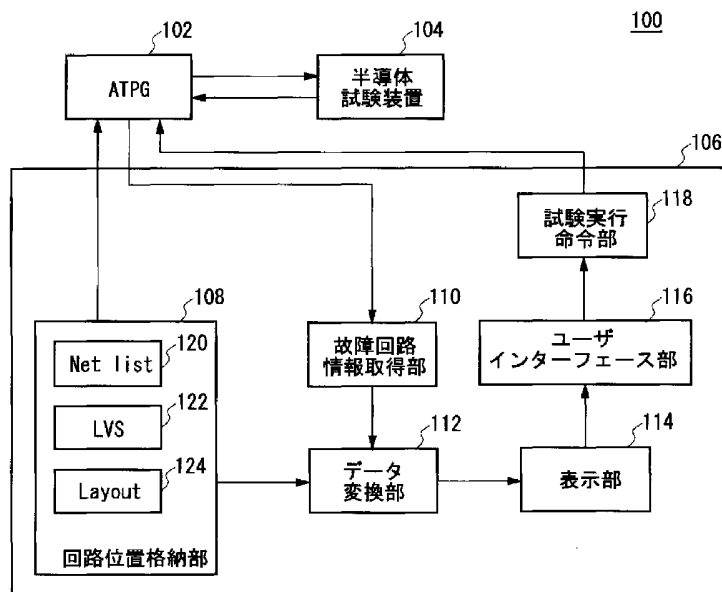
(51) 国際特許分類: H01L 21/66, G01R 31/28
(21) 国際出願番号: PCT/JP2005/010265
(22) 国際出願日: 2005 年 6 月 3 日 (03.06.2005)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2004-168939 2004 年 6 月 7 日 (07.06.2004) JP
(71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト (ADVANTEST CORPORATION)

[JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 長野 克史 (NAGANO, Katsuhito) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP). 小川 秀一郎 (OGAWA, Shuichiro) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 株式会社アドバンテスト内 Tokyo (JP).
(74) 代理人: 龍華 明裕 (RYUKA, Akihiro); 〒1600022 東京都新宿区新宿 1 丁目 2 4 番 1 2 号 東信ビル 6 階 Tokyo (JP).

[続葉有]

(54) Title: FAILURE ANALYSIS SYSTEM AND FAILURE AREA DISPLAYING METHOD

(54) 発明の名称: 不良解析システム及び不良箇所表示方法



(57) Abstract: A failure analysis system which displays failure areas of a semiconductor device is provided with a circuit position storing part for storing a physical position of each circuit included in the semiconductor device, a failure circuit information acquiring part for acquiring information of a failure circuit included in the semiconductor device, and a display part for displaying the failure circuits in different colors, depending on the physical position, on a semiconductor device layout. The failure circuit information acquiring part acquires failure classification of the failure circuit included in the semiconductor device, and the display part displays the failure circuits in different colors, depending on the physical position and the failure classification, on a wafer layout including a plurality of the semiconductor device layouts.

(57) 要約: 半導体デバイスの不良箇所を表示する不良解析システムであって、半導体デバイスが含む回路毎に半導体デバイスにおける物理位置を格納する回路位置格納部と、半導体デバイスが含む故障回路の情報を取得する故障回路情報取得部と、半導体デバイスのレイアウト上に、物理位置によって異なる色で故障回路を表示する表示部とを備える。故障回路情報取得部は、半導体デバイスが含む故障回路の不良

104... SEMICONDUCTOR TESTING APPARATUS
108... CIRCUIT POSITION STORING PART
110... FAILURE CIRCUIT INFORMATION ACQUIRING PART
112... DATA CONVERTING PART
118... TEST EXECUTION COMMANDING PART
116... USER INTERFACE PART
114... DISPLAY PART

分類を取得し、表示部は、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、物理位置及び故障分類

[続葉有]

WO 2005/122239 A1



(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,

BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

不良解析システム及び不良箇所表示方法

技術分野

- [0001] 本発明は、不良解析システム及び不良箇所表示方法に関する。特に本発明は、半導体デバイスの不良箇所を表示する不良解析システム及び不良箇所表示方法に関する。文献の参照による組み込みが認められる指定国については、下記の出願に記載された内容を参照により本出願に組み込み、本出願の記載の一部とする。

特願2004-168939 出願日 平成16年6月7日

背景技術

- [0002] ATPG (Auto Test Pattern Generation) は、半導体デバイスを試験するためのテストプログラム及びパターンプログラムを生成し、半導体試験装置に提供する。半導体試験装置は、ATPGによって生成されたテストプログラム及びパターンプログラムを用いて半導体デバイスの試験を実行し、試験結果としてのフェイルデータをATPGに出力する。そして、ATPGは、半導体試験装置から出力されたフェイルデータに基づいて半導体デバイスに存在する故障回路を検出して、故障回路の候補リストを作成する。
- [0003] さらに、ATPGは、フェイルデータに基づいて作成した故障回路の候補リストに基づいて、半導体デバイスに存在する故障回路を詳細に試験するためのテストプログラム及びパターンプログラムを生成し、半導体試験装置に半導体デバイスの詳細な試験を実行させることによって、半導体デバイスに存在する故障回路の絞り込みを行う。
- [0004] 現時点で先行技術文献の存在を認識していないので、先行技術文献に関する記載を省略する。

発明の開示

発明が解決しようとする課題

- [0005] 上述のATPG及び半導体試験装置によれば、半導体デバイスに存在する故障回路を特定することができるが、半導体デバイス間、又は複数の半導体デバイスが形成

されたウェハ間における故障箇所の共通性又は傾向を判断することができない。そのため、半導体デバイスに存在する故障回路が何に起因するものであるかのを特定することが困難である。

- [0006] そこで本発明は、上記の課題を解決することができる試験装置を提供することを目的とする。この目的は請求の範囲における独立項に記載の特徴の組み合わせにより達成される。また従属項は本発明の更なる有利な具体例を規定する。

課題を解決するための手段

- [0007] 本発明の第1の形態によると、半導体デバイスの不良箇所を表示する不良解析システムであって、半導体デバイスが含む回路毎に半導体デバイスにおける物理位置を格納する回路位置格納部と、半導体デバイスが含む故障回路の情報を取得する故障回路情報取得部と、半導体デバイスのレイアウト上に、物理位置によって異なる色で故障回路を表示する表示部とを備える。
- [0008] 故障回路情報取得部は、半導体デバイスが含む故障回路の不良分類を取得し、表示部は、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、物理位置及び故障分類によって異なる色で故障回路を表示してもよい。
- [0009] 回路位置格納部は、半導体デバイス毎にウェハにおける半導体デバイスの物理位置をさらに格納し、表示部は、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、物理位置によって異なる色で故障回路を表示してもよい。
- [0010] 回路位置格納部は、多層構造を有する半導体デバイスが含む回路毎に半導体デバイスが含む回路が形成されているレイヤを格納し、表示部は、レイヤによって異なる色で故障回路を表示してもよい。
- [0011] 回路位置格納部は、半導体デバイスが含む配線毎に半導体デバイスが含む配線が形成されている半導体デバイスのレイヤを格納し、故障回路情報取得部は、半導体デバイスが含む故障配線の情報を取得し、表示部は、レイヤによって異なる色で故障配線を表示してもよい。
- [0012] 表示部は、同一のロットで管理される複数のウェハのレイアウトを一画面に並べて表示し、複数のウェハのそれぞれのレイアウト上に、複数のウェハのそれぞれにおける物理位置によって異なる色で、複数のウェハがそれぞれ含む複数の半導体デバイス

の故障回路を表示してもよい。

- [0013] 表示部は、異なるロットの同一のスロットで管理される複数のウェハのレイアウトを一画面に並べて表示し、複数のウェハのそれぞれのレイアウト上に、複数のウェハのそれぞれにおける物理位置によって異なる色で、複数のウェハがそれぞれ含む複数の半導体デバイスの故障回路を表示してもよい。
- [0014] 表示部が半導体デバイスのレイアウト上に表示した故障回路をユーザに選択させるユーザインターフェース部と、ユーザが選択した故障回路のより詳細な試験を半導体試験装置に実行させる試験実行命令部とをさらに備え、故障回路情報取得部は、半導体試験装置によるより詳細な試験によって得られた故障回路の情報を取得し、表示部は、半導体デバイスのレイアウト上に、物理位置によって異なる色で故障回路を表示してもよい。
- [0015] 本発明の第2の形態によると、多層構造を有する半導体デバイスの不良箇所を表示する不良解析システムであって、半導体デバイスが含む回路毎に半導体デバイスの回路が形成されているレイヤを格納する回路位置格納部と、半導体デバイスが含む故障回路の情報を取得する故障回路情報取得部と、半導体デバイスのレイアウト上に、レイヤによって異なる表示形態で故障回路を表示する表示部とを備える。
- [0016] 故障回路情報取得部は、半導体デバイスが含む故障回路の不良分類を取得し、表示部は、半導体デバイスのレイアウト上に、レイヤ及び故障分類によって異なる表示形態で故障回路を表示してもよい。
- [0017] 回路位置格納部は、半導体デバイス毎にウェハにおける半導体デバイスの物理位置をさらに格納し、表示部は、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、物理位置によって異なる表示形態で故障回路を表示してもよい。
- [0018] 本発明の第3の形態によると、半導体デバイスの不良箇所を表示する不良箇所表示方法であって、半導体デバイスが含む故障回路の情報を取得する段階と、半導体デバイスが含む回路毎に半導体デバイスにおける物理位置を格納する回路位置格納部を参照して、故障回路の物理位置を検索する段階と、半導体デバイスのレイアウト上に、物理位置によって異なる色で故障回路を表示する段階とを備える。
- [0019] 本発明の第4の形態によると、多層構造を有する半導体デバイスの不良箇所を表

示する不良箇所表示方法であって、半導体デバイスが含む故障回路の情報を取得する段階と、半導体デバイスが含む回路毎に半導体デバイスの回路が形成されているレイヤを格納する回路位置格納部を参照して、故障回路が形成されているレイヤを検索する段階と、半導体デバイスのレイアウト上に、レイヤによって異なる表示形態で故障回路を表示する段階とを備える。

[0020] なお上記の発明の概要は、本発明の必要な特徴の全てを列挙したものではなく、これらの特徴群のサブコンビネーションも又発明となりうる。

発明の効果

[0021] 本発明によれば、半導体試験装置の試験結果に基づく半導体デバイスの故障回路を物理座標上に表示し、ユーザが半導体デバイスの不良の特徴を容易に判断できる不良解析システム及び不良箇所表示方法を提供できる。

図面の簡単な説明

[0022] [図1]半導体試験システム100の構成を示す図である。

[図2]半導体試験システム100による不良解析方法のフローを示す図である。

[図3]表示部114の表示画面を示す図である。

[図4]表示部114の表示画面を示す図である。

[図5]表示部114の表示画面を示す図である。

[図6]表示部114の表示画面を示す図である。

符号の説明

[0023] 100 半導体試験システム

102 ATPG

104 半導体試験装置

106 不良解析システム

108 回路位置格納部

110 故障回路情報取得部

112 データ変換部

114 表示部

116 ユーザインターフェース部

118 試験実行司令部
120 NetList
122 LVS
124 Layout
300 ウェハ
302 半導体デバイス
400 ウェハ
402 半導体デバイス
404 故障配線
406 故障回路
408 故障配線
410 故障配線
412 故障配線
414 故障配線
416 故障配線
418 故障配線
420 故障配線

発明を実施するための最良の形態

[0024] 以下、発明の実施の形態を通じて本発明を説明するが、以下の実施形態は請求の範囲に係る発明を限定するものではなく、又実施形態の中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。

[0025] 図1は、本発明の一実施形態に係る半導体試験システム100の構成の一例を示す。半導体試験システム100は、ATPG102、半導体試験装置104、及び不良解析システム106を備える。不良解析システム106は、回路位置格納部108、故障回路情報取得部110、データ変換部112、表示部114、ユーザインターフェース部116、及び試験実行司令部118を有する。回路位置格納部108は、NetList120、LVS(Layout Versus Schematic)122、及びLayout124を格納する。

[0026] ATPG102は、半導体デバイスを試験するためのテストプログラム及びパターンブ

ログラムを生成し、半導体試験装置104に提供する。また、ATPG102は、不良解析システム106が有する試験実行命令部118からの要求に基づいて、テストプログラム及びパターンプログラムを生成し、半導体試験装置104に提供する。

[0027] 半導体試験装置104は、ATPG102によって生成されたテストプログラム及びパターンプログラムを用いて半導体デバイスの試験を実行し、試験結果としてのフェイルデータをATPG102に出力する。そして、ATPG102は、半導体試験装置104から出力されたフェイルデータ、並びに回路位置格納部108が格納するNetList120に基づいて、半導体デバイスに存在する故障回路を検出して、不良解析システム106が有する故障回路情報取得部110に供給する。

[0028] 不良解析システム106は、ATPG102によって検出された故障回路の情報を取得し、半導体デバイスの不良箇所及び不良分類をユーザが視覚的に把握し易いように表示する。具体的には、以下のように機能する。

[0029] 回路位置格納部108は、試験対象である半導体デバイス毎にウェハにおける半導体デバイスの物理位置を格納する。また、回路位置格納部108は、試験対象である半導体デバイスが含む回路毎に半導体デバイスにおける物理位置を格納する。例えば、回路位置格納部108は、多層構造を有する半導体デバイスが含む回路毎に半導体デバイスが含む回路が形成されているレイヤを格納する。ここでの回路とは、トランジスタ等の素子、RAM等のメモリ、素子間又はメモリ間を接続する配線等である。例えば、回路位置格納部108は、半導体デバイスが含む配線毎に半導体デバイスが含む配線が形成されている半導体デバイスのレイヤを物理位置として格納する。なお、NetList120には、半導体デバイスに形成された回路の論理的な接続関係が記述されている。Layout124には、半導体デバイスに形成された回路の物理的な配置が記述されている。LVS122は、NetList120に記述された論理的な回路の接続関係と、Layout124に記述された物理的な回路の配置との相互関係を記述する。

[0030] 故障回路情報取得部110は、ATPG102から供給された半導体デバイスが含む故障回路の情報を取得する。また、故障回路情報取得部110は、例えば半導体試験装置104がスキャンテストを実行する場合には、半導体試験装置104から故障回路の情報を直接取得してもよい。例えば、故障回路情報取得部110は、半導体デバイ

スを含む故障素子の情報、故障メモリの情報、故障配線の情報、不良分類の情報等を取得する。なお、不良分類とは、短絡、開放、遅延等の故障回路の故障要因である。

- [0031] データ変換部112は、回路位置格納部108が格納するNetList120、LVS122、及びLayout124に基づいて、複数の半導体デバイスの回路のレイアウトを含むウェハ全体のレイアウトのデータを生成する。また、データ変換部112は、回路位置格納部108が格納するNetList120、LVS122、及びLayout124を参照して、故障回路情報取得部110が取得した故障回路の情報に基づいて、故障回路の物理位置をユーザが視覚的に把握し易いような表示形態のデータを生成する。
- [0032] 表示部114は、データ変換部112によって生成されたデータに基づいて、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、物理位置によって異なる表示形態で故障回路を表示する。例えば、表示部114は、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、レイヤによって異なる色で故障配線を表示する。このように、ウェハ及び半導体デバイスのレイアウト上にレイヤ等の物理位置によって異なる色で故障回路を表示することによって、ユーザは直感的又は視覚的に故障回路の原因を把握することができる。
- [0033] ユーザインターフェース部116は、表示部114が半導体デバイスのレイアウト上に表示した故障回路をユーザに選択させる。例えば、ユーザインターフェース部116は、表示部114が表示している故障回路を、ユーザにマウス等によって画面上で選択させる。そして、試験実行命令部118は、ATPG102に要求して、ユーザが選択した故障回路のより詳細な試験を半導体試験装置104に実行させる。このように、ユーザの選択によって故障回路の絞り込みを行うことができるので、不良解析の目的に応じて柔軟に試験を行うことができる。
- [0034] 図2は、本実施形態に係る半導体試験システム100による不良解析方法のフローの一例を示す。なお、本実施形態に係る不良解析方法は、本発明の不良箇所表示方法の一例である。
- [0035] まず、ATPG102は、半導体デバイスに形成された回路のスキャンテストを行うためのパターンプログラム及びテストプログラムを生成する(S200)。そして、半導体試験

装置104は、ATPG102が生成したパターンプログラム及びテストプログラムに基づいて、半導体デバイスに形成された回路のスキャンテストを実行する(S202)。

[0036] 次に、ATPG102は、回路位置格納部108が格納するNetList120を参照して、半導体試験装置104から出力されたフェイルデータに基づき、半導体デバイスに存在する故障回路の候補を検出する(S204)。

[0037] 次に、故障回路情報取得部110は、ATPG102が検出した故障回路の候補の情報を取得する。そして、データ変換部112は、半導体デバイスが含む回路毎に半導体デバイスにおける物理位置を格納する回路位置格納部108を参照して、故障回路情報取得部110が取得した故障回路の物理位置を検索し、当該故障回路の物理位置に応じた表示形態の表示データを作成する(S206)。例えば、データ変換部112は、多層構造を有する半導体デバイスが含む回路毎に半導体デバイスの回路が形成されているレイヤを格納する回路位置格納部108を参照して、故障回路情報取得部110が取得した故障回路が形成されているレイヤを検索し、当該故障回路が形成されたレイヤに応じた表示形態の表示データを作成する(S206)。具体的には、故障回路情報取得部110は、故障回路が形成されているレイヤによって異なる色で、当該故障回路が表示されるような表示形態の表示データを作成する(S206)。

[0038] 次に、表示部114は、複数の半導体デバイスのレイアウトを含むウェハをレイアウト上に、データ変換部112が生成した表示データに基づいて、故障回路の物理位置によって異なる表示形態で当該故障回路を表示する(S208)。例えば、表示部114は、多層構造を有する半導体デバイスのレイアウトを含むウェハのレイアウト上に、故障回路が形成されたレイヤによって異なる表示形態で当該故障回路を表示する。具体的には、表示部114は、故障回路が形成されているレイヤによって異なる色で当該故障回路を表示する(S208)。これにより、ユーザは、ウェハに形成された複数の半導体デバイスに存在する不良分布の概略を把握することができる。

[0039] 次に、ユーザは、ユーザインターフェース部116を介して、ATPG102及び半導体試験装置104により詳細な試験を実行させることによって故障回路の絞り込みを行うため、表示部114が表示しているレイアウト上で故障回路の候補を選択する(S210)。そして、試験実行命令部118は、ユーザが選択した故障回路の候補の情報をATP

G102に通知することによって、当該故障回路の候補についてより詳細な試験を半導体試験装置104に実行させるようATPG102に要求する。

- [0040] 次に、ATPG102は、ユーザによって選択された故障回路の候補の不良絞り込みテストを行うためのパターンプログラム及びテストプログラムを生成する(S212)。そして、半導体試験装置104は、ATPG102が生成したパターンプログラム及びテストプログラムに基づいて、ユーザによって選択された故障回路の候補の不良絞り込みテストを実行する(S214)。
- [0041] 次に、ATPG102は、回路位置格納部108が格納するNetList120を参照して、半導体試験装置104から出力されたフェイルデータに基づき、ユーザによって選択された故障回路の候補からより確定的な故障回路を検出する(S204)。
- [0042] 次に、故障回路情報取得部110は、半導体試験装置104によるより詳細な試験によって得られた故障回路の情報をATPG102から取得する。そして、データ変換部112は、半導体デバイスが含む回路毎に半導体デバイスにおける物理位置を格納する回路位置格納部108を参照して、故障回路情報取得部110が取得した故障回路の物理位置を検索し、当該故障回路の物理位置及び不良分類に応じた表示形態の表示データを作成する(S206)。例えば、データ変換部112は、多層構造を有する半導体デバイスが含む回路毎に半導体デバイスの回路が形成されているレイヤを格納する回路位置格納部108を参照して、故障回路情報取得部110が取得した故障回路が形成されているレイヤを検索し、当該故障回路が形成されたレイヤ及び不良分類に応じた表示形態の表示データを作成する(S206)。具体的には、故障回路情報取得部110は、故障回路の一例である故障配線が形成されているレイヤ及び不良分類によって異なる色で、当該故障配線が表示されるような表示形態の表示データを作成する(S206)。
- [0043] 次に、表示部114は、半導体デバイスレイアウト上に、データ変換部112が生成した表示データに基づいて、故障回路の物理位置及び不良分類によって異なる表示形態で当該故障回路を表示する(S208)。例えば、表示部114は、多層構造を有する半導体デバイスのレイアウト上に、故障回路が形成されたレイヤ及び不良分類によって異なる表示形態で当該故障回路を表示する。具体的には、表示部114は、故障

回路の一例である故障配線が形成されているレイヤ及び不良分類によって異なる色で当該故障配線を表示する(S208)。これにより、ユーザは、選択した故障回路の候補について不良の絞り込みを行うことができより詳細な不良分布を把握することができる。なお、S204からS214を複数回繰り返すことによって故障回路の候補について不良の絞り込みを行うことができる。そして、ユーザは、不良解析の目的に応じて任意に不良の絞り込みを行う故障回路の候補を選択することができるので、ATPG102を有効利用することができ、迅速に所望の不良解析を行うことができる。

[0044] なお、本例においては、スキャンテストによって故障回路の候補を検出した後、ユーザによって選択された故障回路に対して候補の不良絞り込みテストを行うことによって、より確定的な故障回路を検出したが、他の例においては、ファンクションテストによって故障回路を含む回路ブロックを検出した後、ユーザによって選択された回路ブロックに含まれる回路に対して例えばスキャンテスト等の不良絞り込みテストを行うことによって、故障回路を検出してもよい。

[0045] 図3及び図4は、本実施形態に係る表示部114の表示画面の一例を示す。表示部114は、複数の半導体デバイス302又は402のレイアウトを含むウェハ300又は400のレイアウトを表示する。そして、表示部114は、ATPG102によって検出された故障回路を故障回路の物理位置及び不良分類によって異なる表示形態で、ウェハ300又は400のレイアウト上に表示する。

[0046] 図3及び図4に示すように、表示部114は、ウェハ300又は400のレイアウト上に、故障回路が存在するレイヤによって異なる色を表示する。具体的には、図3において、半導体デバイス302a等にはレイヤ1に故障回路が存在し、半導体デバイス302b等にはレイヤ2に故障回路が存在し、半導体デバイス302c等にはレイヤ1及びレイヤ2に故障回路が存在し、半導体デバイス302d等にはレイヤ3に故障回路が存在し、半導体デバイス302e等にはレイヤ4に故障回路が存在することを示している。図4において、半導体デバイス402a等にはレイヤ1に故障回路が存在し、半導体デバイス402b等にはレイヤ2に故障回路が存在し、半導体デバイス402c等にはレイヤ3に故障回路が存在し、半導体デバイス402d等にはレイヤ4に故障回路が存在することを示している。

- [0047] 即ち、図3に示したウェハ300においては、ウェハ300の面内方向における不良分布の傾向が存在するのに対し、図4に示したウェハ400においては、ウェハ400の面内方向における不良分布の傾向が存在しない。つまり、図3に示したウェハ300の不良分布からは、ウェハ300のレイヤ1及びレイヤ2製造工程において、ウェハ300の平坦化精度よくなされていなかったこと、エッチング液が均一に塗布されていなかったこと、ウェハ300の面内方向の温度分布が均一でなかったこと等が予測でき、製造不良構成を判別することができる。一方、図4に示したウェハ400の不良分布からは、設計不良があったこと、機械的な傷等が点在していること等が予測できる。また、不良分類に着目した場合に、例えば開放が多い場合には、ビア欠陥等を予測することができる。
- [0048] 以上のように、ウェハ300及び400のレイアウト上に故障回路を表示すること、及びウェハ300及び400のレイヤによって異なる色で故障回路を表示することによって、視覚的に不良分布を容易に判断することができる。そのため、ウェハ300及びウェハ400に存在する故障回路の不良原因を的確に予測することができる。
- [0049] 図5は、本実施形態に係る表示部114の表示画面の一例を示す。図5は、図4に示したウェハ400のレイアウトの一部分を拡大したものである。図4では、半導体デバイス402の全面にレイヤによって異なる色を表示したが、より詳細には、図5に示すようにそれぞれの半導体デバイス402における面内方向の物理位置に、面外方向即ちレイヤに応じた色で故障回路を表示する。
- [0050] 具体的には、半導体デバイス402eにはレイヤ1に故障回路406、及び故障配線404が存在し、半導体デバイス402fにはレイヤ2に故障配線408、410、及び412が存在し、半導体デバイス402gにはレイヤ2に故障配線414及び416、レイヤ3に故障配線418が存在し、半導体デバイス402hには故障配線420が存在する。なお、表示部114は、故障回路が表示された複数の半導体デバイスを重ねて表示してもよい。このように、半導体デバイス402の実レイアウト上に故障配線を表示することによって、半導体デバイス間の故障回路の共通性の不良を把握することができる。例えば、故障配線412、416、及び420のように、複数の半導体デバイスで共通する欠陥がある場合には、配線の引き方に問題があることが予測できる。

[0051] 図6は、本実施形態に係る表示部114の表示画面の一例を示す。表示部114は、同一のロットで管理される複数のウェハのレイアウトを一画面に並べて表示し、複数のウェハのそれぞれのレイアウト上に、複数のウェハのそれぞれにおける物理位置によって異なる表示形態、例えば異なる色で、複数のウェハがそれぞれ含む複数の半導体デバイスの故障回路を表示してもよい。また、表示部114は、同一のロットで管理される複数のウェハのレイアウトを重ねて表示してもよい。このように表示することによって、ユーザは、ロットの位置等の違いに起因する不良分布の傾向を容易に把握することができる。

[0052] また、表示部114は、異なるロットの同一のロットで管理される複数のウェハのレイアウトを一画面に並べて表示し、複数のウェハのそれぞれのレイアウト上に、複数のウェハのそれぞれにおける物理位置によって異なる表示形態、例えば異なる色で、複数のウェハがそれぞれ含む複数の半導体デバイスの故障回路を表示してもよい。表示部114は、異なるロットの同一のロットで管理される複数のウェハのレイアウトを重ねて表示してもよい。このように表示することによって、ユーザは、ロットの違いに起因する不良分布の傾向を容易に把握することができる。

[0053] 以上、実施形態を用いて本発明を説明したが、本発明の技術的範囲は上記実施形態に記載の範囲には限定されない。上記実施形態に、多様な変更又は改良を加えることができる。そのような変更又は改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

産業上の利用可能性

[0054] 本発明によれば、半導体試験装置の試験結果に基づく半導体デバイスの故障回路を物理座標上に表示し、ユーザが半導体デバイスの不良の特徴を容易に判断できる不良解析システム及び不良箇所表示方法を提供できる。

請求の範囲

- [1] 半導体デバイスの不良箇所を表示する不良解析システムであって、
半導体デバイスが含む回路毎に半導体デバイスにおける物理位置を格納する回路位置格納部と、
半導体デバイスが含む故障回路の情報を取得する故障回路情報取得部と、
半導体デバイスのレイアウト上に、物理位置によって異なる色で故障回路を表示する表示部と
を備える不良解析システム。
- [2] 前記故障回路情報取得部は、半導体デバイスが含む故障回路の不良分類を取得し、
前記表示部は、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、物理位置及び故障分類によって異なる色で故障回路を表示する
請求項1に記載の不良解析システム。
- [3] 前記回路位置格納部は、半導体デバイス毎にウェハにおける半導体デバイスの物理位置をさらに格納し、
前記表示部は、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、物理位置によって異なる色で故障回路を表示する
請求項1に記載の不良解析システム。
- [4] 前記回路位置格納部は、多層構造を有する半導体デバイスが含む回路毎に半導体デバイスが含む回路が形成されているレイヤを格納し、
前記表示部は、レイヤによって異なる色で故障回路を表示する
請求項3に記載の不良解析システム。
- [5] 前記回路位置格納部は、半導体デバイスが含む配線毎に半導体デバイスが含む配線が形成されている半導体デバイスのレイヤを格納し、
前記故障回路情報取得部は、半導体デバイスが含む故障配線の情報を取得し、
前記表示部は、レイヤによって異なる色で故障配線を表示する
請求項4に記載の不良解析システム。
- [6] 前記表示部は、同一のロットで管理される複数のウェハのレイアウトを一画面に並

べて表示し、複数のウェハのそれぞれのレイアウト上に、前記複数のウェハのそれぞれにおける物理位置によって異なる色で、前記複数のウェハがそれぞれ含む複数の半導体デバイスの故障回路を表示する

請求項3に記載の不良解析システム。

- [7] 前記表示部は、異なるロットの同一のスロットで管理される複数のウェハのレイアウトを一画面に並べて表示し、複数のウェハのそれぞれのレイアウト上に、前記複数のウェハのそれぞれにおける物理位置によって異なる色で、前記複数のウェハがそれぞれ含む複数の半導体デバイスの故障回路を表示する

請求項3に記載の不良解析システム。

- [8] 前記表示部が半導体デバイスのレイアウト上に表示した故障回路をユーザに選択させるユーザインターフェース部と、

ユーザが選択した故障回路のより詳細な試験を半導体試験装置に実行させる試験実行命令部と

をさらに備え、

前記故障回路情報取得部は、前記半導体試験装置によるより詳細な試験によって得られた故障回路の情報を取得し、

前記表示部は、半導体デバイスのレイアウト上に、物理位置によって異なる色で故障回路を表示する

請求項1に記載の不良解析システム。

- [9] 多層構造を有する半導体デバイスの不良箇所を表示する不良解析システムであって、

半導体デバイスが含む回路毎に半導体デバイスの回路が形成されているレイヤを格納する回路位置格納部と、

半導体デバイスが含む故障回路の情報を取得する故障回路情報取得部と、

半導体デバイスのレイアウト上に、レイヤによって異なる表示形態で故障回路を表示する表示部と

を備える不良解析システム。

- [10] 前記故障回路情報取得部は、半導体デバイスが含む故障回路の不良分類を取得

し、

前記表示部は、半導体デバイスのレイアウト上に、レイヤ及び故障分類によって異なる表示形態で故障回路を表示する

請求項9に記載の不良解析システム。

- [11] 前記回路位置格納部は、半導体デバイス毎にウェハにおける半導体デバイスの物理位置をさらに格納し、

前記表示部は、複数の半導体デバイスのレイアウトを含むウェハのレイアウト上に、物理位置によって異なる表示形態で故障回路を表示する

請求項9に記載の不良解析システム。

- [12] 半導体デバイスの不良箇所を表示する不良箇所表示方法であって、

半導体デバイスが含む故障回路の情報を取得する段階と、

半導体デバイスが含む回路毎に半導体デバイスにおける物理位置を格納する回路位置格納部を参照して、故障回路の物理位置を検索する段階と、

半導体デバイスのレイアウト上に、物理位置によって異なる色で故障回路を表示する段階と

を備える不良箇所表示方法。

- [13] 多層構造を有する半導体デバイスの不良箇所を表示する不良箇所表示方法であって、

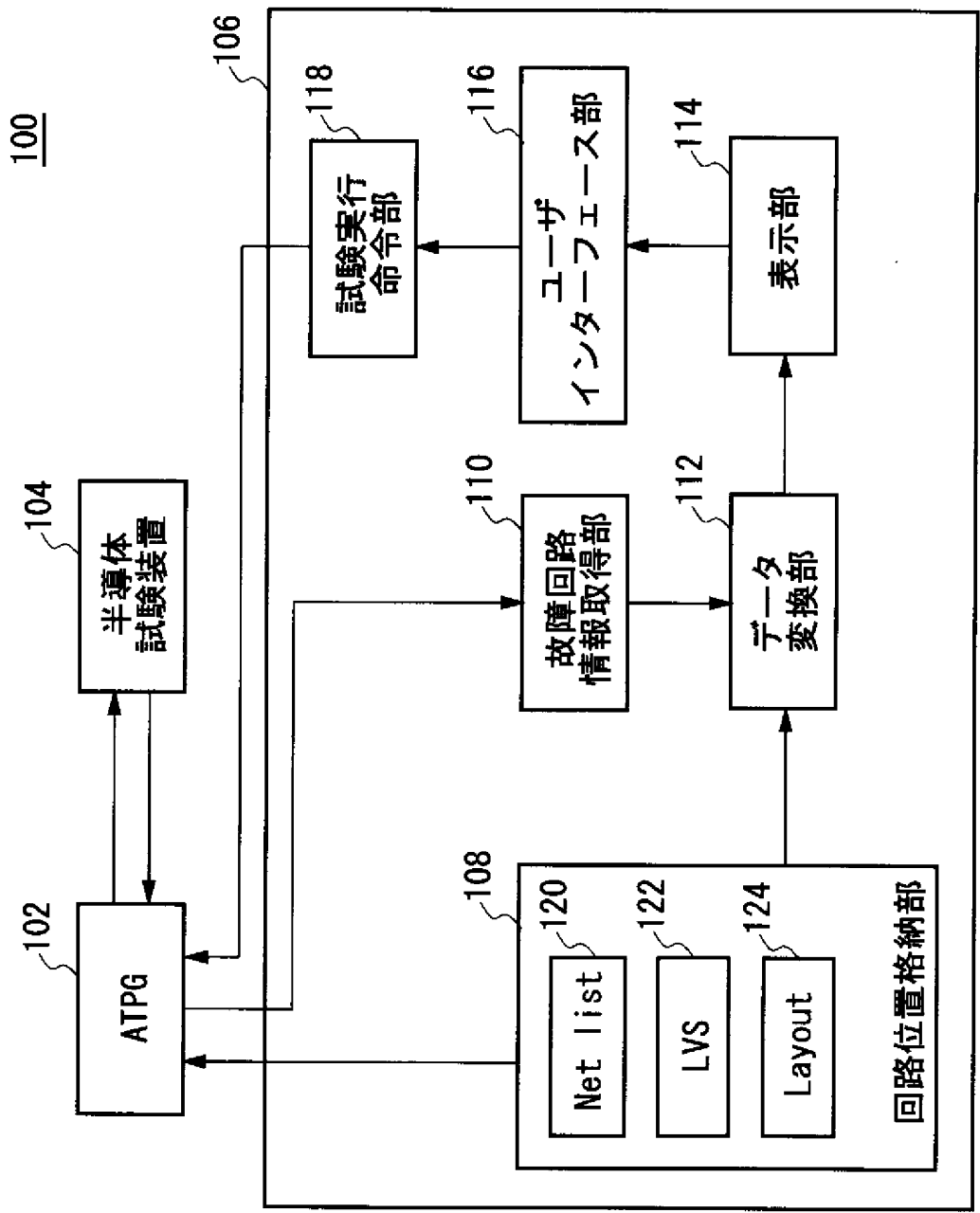
半導体デバイスが含む故障回路の情報を取得する段階と、

半導体デバイスが含む回路毎に半導体デバイスの回路が形成されているレイヤを格納する回路位置格納部を参照して、故障回路が形成されているレイヤを検索する段階と、

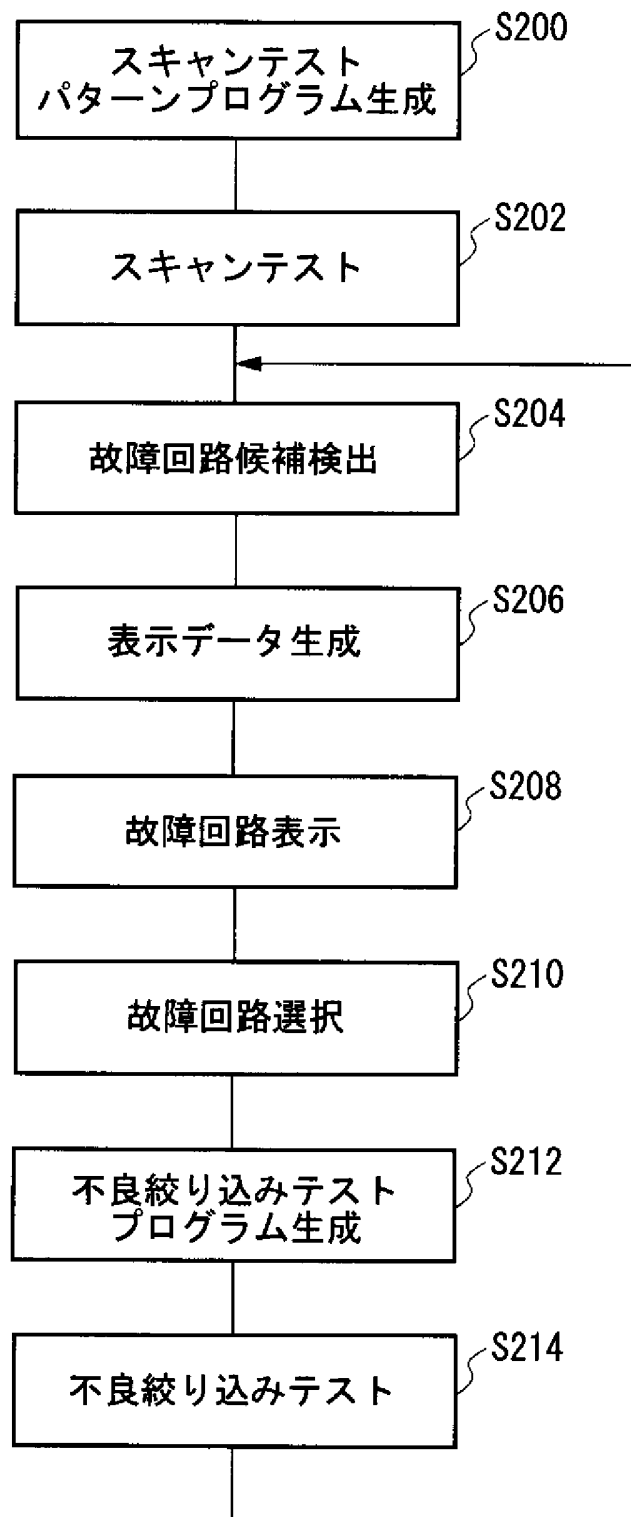
半導体デバイスのレイアウト上に、レイヤによって異なる表示形態で故障回路を表示する段階と

を備える不良箇所表示方法。

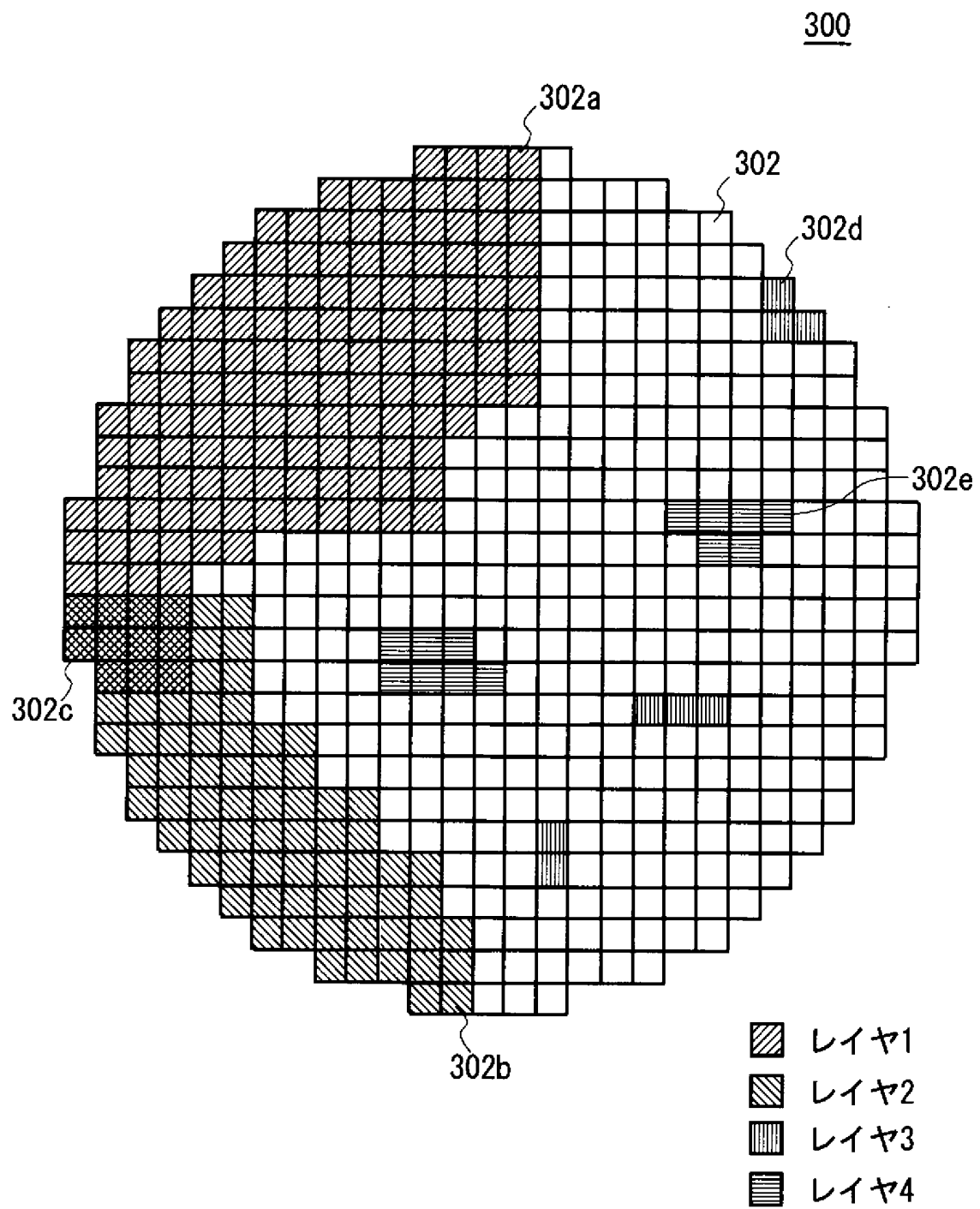
[図1]



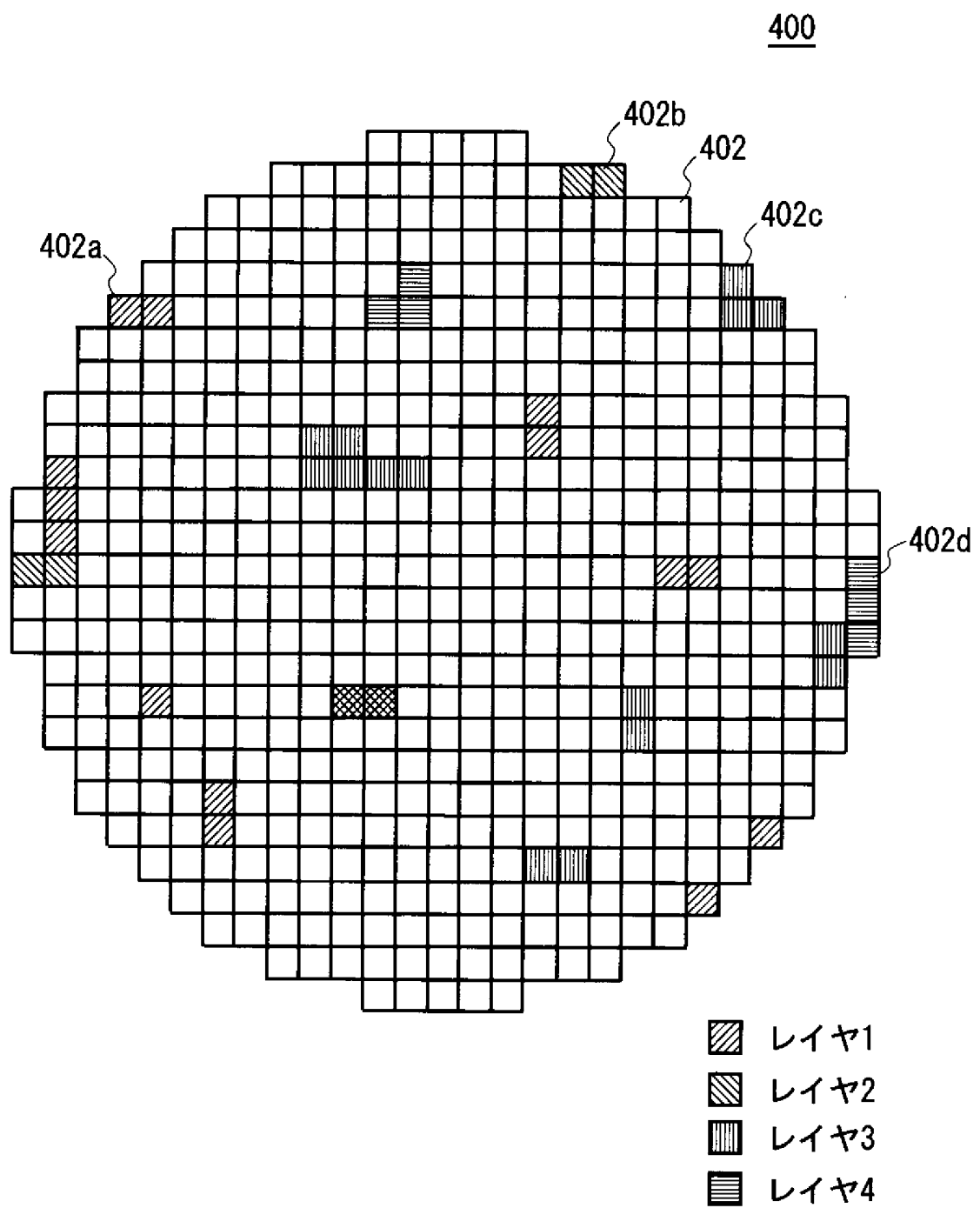
[図2]



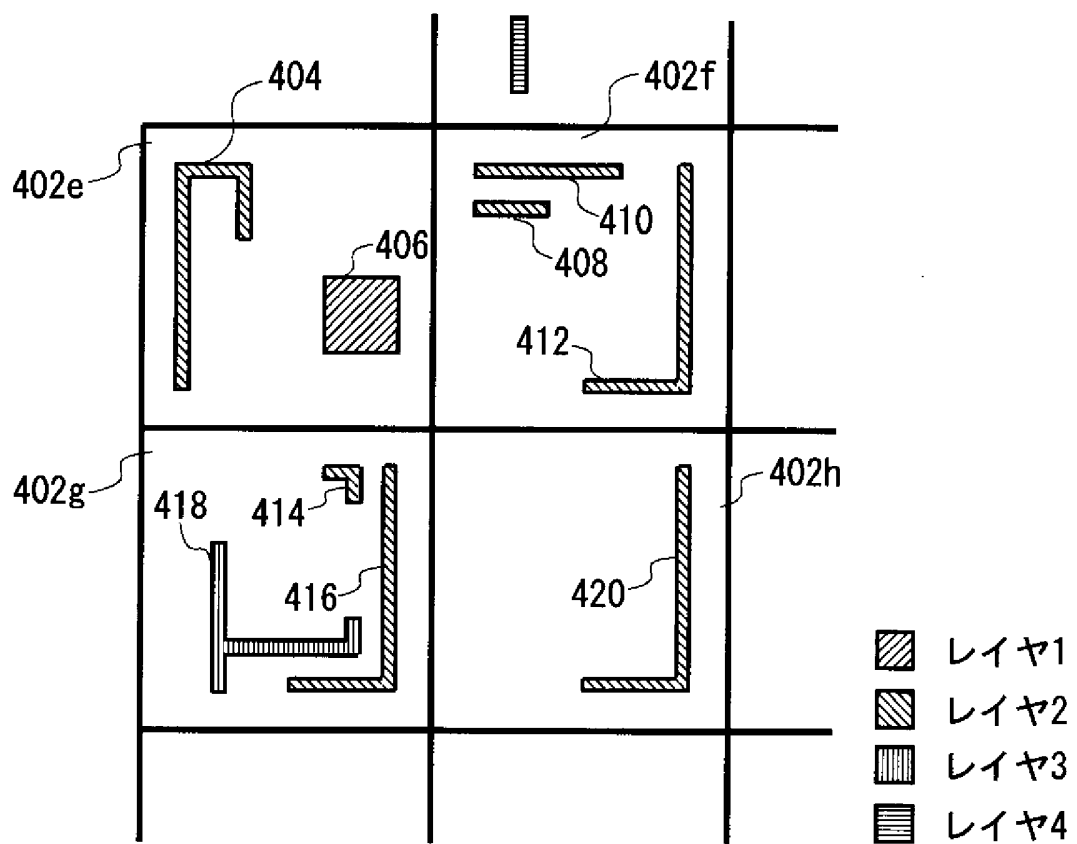
[図3]



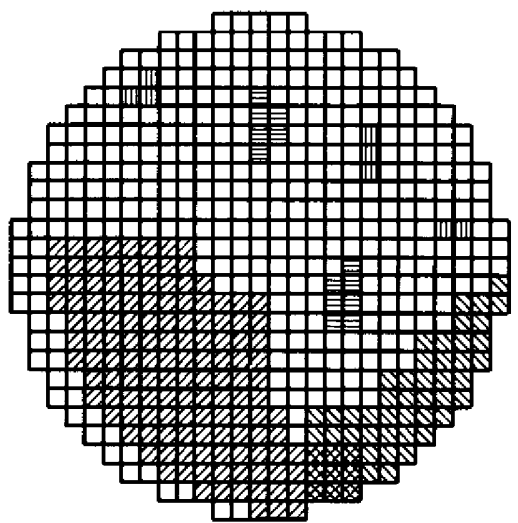
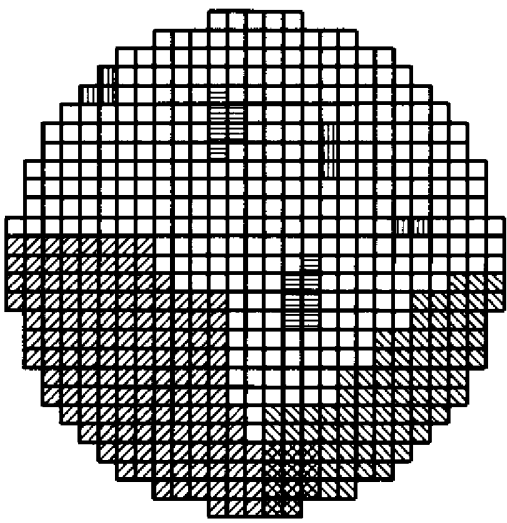
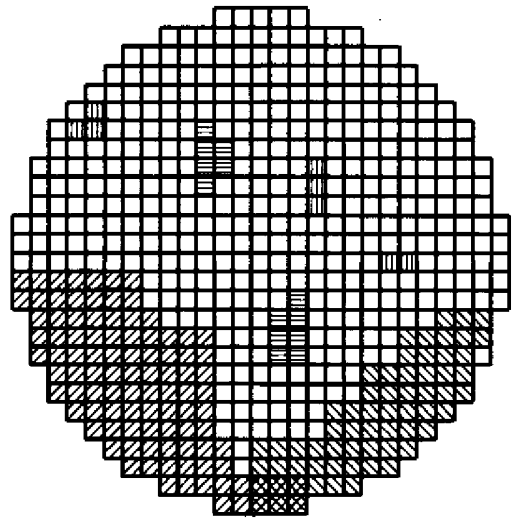
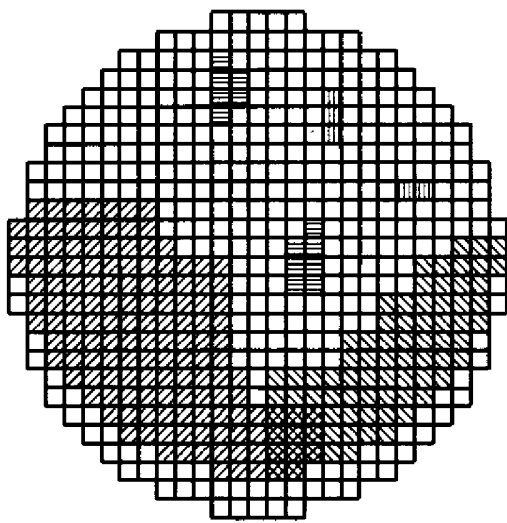
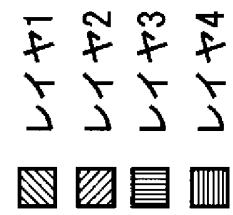
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010265

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl.⁷ H01L21/66, G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.⁷ H01L21/66, G01R31/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2002-217252 A (NEC Yamagata, Ltd.), 02 August, 2002 (02.08.02), Claims 1 to 8; Par. Nos. [0023] to [0031] (Family: none)	1-3, 8, 12
X Y	JP 2002-162449 A (Advantest Corp.), 07 June, 2002 (07.06.02), Claims 1 to 5; Par. Nos. [0007], [0052] to [0054] (Family: none)	9, 13 10
Y	JP 2002-134580 A (Fujitsu Ltd.), 10 May, 2002 (10.05.02), Par. Nos. [0024] to [0028] (Family: none)	10

☒ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 August, 2005 (30.08.05)Date of mailing of the international search report
13 September, 2005 (13.09.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/010265

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
E, A	JP 2005-109056 A (Matsushita Electric Industrial Co., Ltd.), 21 April, 2005 (21.04.05), Claim 1; Par. Nos. [0029] to [0041] & US 2005/0071101 A1	1-13

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/66, G01R31/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L21/66, G01R31/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2002-217252 A (山形日本電気株式会社) 2002. 08. 02, 【請求項 1】 - 【請求項 8】 【0023】 - 【0031】 (ファミリーなし)	1-3, 8, 12
X Y	JP 2002-162449 A (株式会社アドバンテスト) 2002. 06. 07, 【請求項 1】 - 【請求項 5】 【0007】 【0052】 - 【0054】 (ファミリーなし)	9, 13 10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

30. 08. 2005

国際調査報告の発送日

13. 9. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

今井 拓也

電話番号 03-3581-1101 内線 3471

4R

9169

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-134580 A (富士通株式会社) 2002.05.10, 【0024】 - 【0028】 (ファミリーなし)	10
E, A	JP 2005-109056 A (松下電器産業株式会社) 2005.04.21, 【請求項 1】 【0029】 - 【0041】 & US 2005/0071101 A1	1-13