



(12)发明专利

(10)授权公告号 CN 105190584 B

(45)授权公告日 2018.10.30

(21)申请号 201480012111.2

(22)申请日 2014.03.06

(65)同一申请的已公布的文献号
申请公布号 CN 105190584 A

(43)申请公布日 2015.12.23

(30)优先权数据
13/787,926 2013.03.07 US

(85)PCT国际申请进入国家阶段日
2015.09.02

(86)PCT国际申请的申请数据
PCT/US2014/021401 2014.03.06

(87)PCT国际申请的公布数据
W02014/138477 EN 2014.09.12

(73)专利权人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 D·T·全 S·S·赛斯
J·D·伊顿 V·R·卡普

V·阿罗拉 V·斯里尼瓦斯

M·A·穆尼尔 I·D·波克

(74)专利代理机构 上海专利商标事务所有限公
司 31100

代理人 袁逸

(51)Int.Cl.
G06F 13/40(2006.01)

(56)对比文件
US 6721212 B2,2004.04.13,
US 2010/0142297 A1,2010.06.10,
CN 1961560 A,2007.05.09,
CN 102194515 A,2011.09.21,
CN 1385792 A,2002.12.18,
US 2008/0112233 A1,2008.05.15,
陈喆.高速总线的数据接口设计.《中国优秀
硕士学位论文全文数据库信息科技辑》.2009,第
I140-244页.

审查员 李华芳

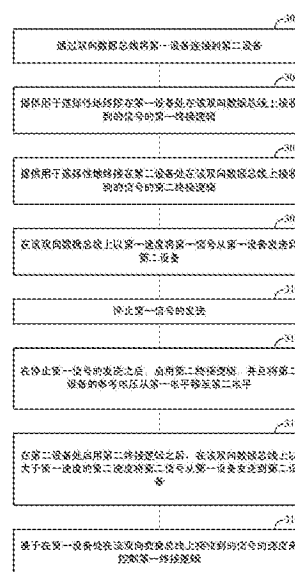
权利要求书4页 说明书8页 附图4页

(54)发明名称

用于基于总线速度选择性地终接双向总线
上的信号的方法和装置

(57)摘要

一种控制信号终接的方法包括提供用于选
择性地终接在第一设备处在双向数据总线上接
收到的信号的第一逻辑,提供用于选择性地终接
在第二设备处在该双向数据总线上接收到的信
号的第二逻辑,在该双向数据总线上以第一速度
将第一信号从第一设备发送到第二设备,停止第
一信号的发送,在停止第一信号的发送之后,启
用第二逻辑并且将第二设备的参考电压从第一
电平移到第二电平,在第二设备处启用了第二逻
辑之后,在该双向数据总线上以更高速度将第二
信号从第一设备发送到第二设备,并且基于在第
一设备处在该双向数据总线上接收到的信号的
速度来控制第一逻辑。



1. 一种控制将第一设备连接到第二设备的至少一个总线上的信号终接的方法,所述方法包括:

通过双向数据总线将所述第一设备连接到所述第二设备;

提供用于选择性地终接在所述第一设备处在所述双向数据总线上接收到的信号的第一终接逻辑;

提供用于选择性地终接在所述第二设备处在所述双向数据总线上接收到的信号的第二终接逻辑;

在所述双向数据总线上以第一速度将第一信号从所述第一设备发送到所述第二设备;

停止所述第一信号的发送;

在停止所述第一信号的所述发送之后,启用所述第二终接逻辑并且将所述第二设备的参考电压从第一电平移至第二电平;

在所述第二设备处启用所述第二终接逻辑之后,在所述双向数据总线上以大于所述第一速度的第二速度将第二信号从所述第一设备发送到第二设备;以及

基于在所述第一设备处在所述双向数据总线上接收到的信号的速度来控制所述第一终接逻辑。

2. 如权利要求1所述的方法,其特征在于,所述第一设备包括存储器控制器,并且所述第二设备是存储器设备。

3. 如权利要求2所述的方法,其特征在于,进一步包括通过控制总线将所述第一设备连接到所述第二设备。

4. 如权利要求3所述的方法,其特征在于,进一步包括提供用于选择性地终接在所述存储器设备处在所述控制总线上接收到的信号的第三终接逻辑。

5. 如权利要求4所述的方法,其特征在于,所述第一终接逻辑包括所述存储器控制器上的第一管芯上终接(ODT)逻辑,所述第二终接逻辑包括所述存储器设备处的第二ODT逻辑并且所述第三终接逻辑包括板上终接(OBT)逻辑。

6. 如权利要求4所述的方法,其特征在于,进一步包括提供控制器,并且使用所述控制器来控制所述第一终接逻辑和所述第二终接逻辑以及所述第三终接逻辑。

7. 如权利要求4所述的方法,其特征在于,所述第一终接逻辑包括所述存储器控制器上的第一ODT逻辑,所述第二终接逻辑包括所述存储器设备处的第二ODT逻辑并且所述第三终接逻辑包括OBT逻辑,并且

其中所述第一ODT逻辑包括电阻器和用于将所述电阻器连接到电压源的开关,所述方法包括当在所述第一设备处在所述双向数据总线上接收到的所述信号未被终接时禁用所述电压源。

8. 如权利要求1所述的方法,其特征在于,进一步包括:

停止所述第二信号的发送;

在停止所述第二信号的所述发送之后,在所述第二设备处禁用所述第二终接逻辑,并且将所述第二设备的所述参考电压从所述第二电平移至所述第一电平;以及

在所述第二设备处禁用所述终接逻辑之后,以所述第一速度将所述第一信号从所述第一设备发送到所述第二设备。

9. 如权利要求1所述的方法,其特征在于,进一步包括提供控制器并且使用所述控制器

来控制所述第一终接逻辑和所述第二终接逻辑,其中控制所述第一终接逻辑包括将二进制电压表示写入寄存器。

10.如权利要求1所述的方法,其特征在于,所述第一终接逻辑包括电阻器以及用于将所述电阻器连接到电压源的开关,所述方法包括当在所述第一设备处在所述双向数据总线上接收到的信号未被终接时禁用所述电压源。

11.如权利要求1所述的方法,其特征在于,启用所述第二终接逻辑包括将第一控制信号从所述第一设备发送到所述第二设备。

12.如权利要求1所述的方法,其特征在于,所述第一设备包括存储器控制器,并且所述第二设备是动态随机存取存储器(DRAM)设备。

13.如权利要求1所述的方法,其特征在于,

所述第一设备包括存储器控制器,并且所述第二设备是存储器设备,

其中所述第一终接逻辑包括存储器接口上的第一ODT逻辑,并且所述第二终接逻辑包括所述存储器设备处的第二ODT逻辑,以及

其中启用所述第二终接逻辑包括将第一控制信号从所述存储器接口发送到所述第二ODT逻辑。

14.一种电子系统,包括:

存储器接口;

通过控制总线和双向数据总线连接到所述存储器接口的存储器设备;

用于选择性地终接所述存储器接口处在所述双向数据总线上接收到的信号的第一终接逻辑;

用于选择性地终接在所述存储器设备处在所述双向数据总线上接收到的信号的第二终接逻辑;

用于选择性地终接在所述存储器设备处在所述控制总线上接收到的信号的第三终接逻辑;

用于向所述存储器接口提供第一参考电压以及用于向所述存储器设备提供第二参考电压的参考电压生成器;以及

用于选择性地启用所述第一终接逻辑和所述第二终接逻辑以及所述第三终接逻辑,并且用于控制所述第一参考电压和所述第二参考电压以及用于控制所述存储器接口与所述存储器设备之间在所述双向数据总线上的数据传输的控制器,

其中所述控制器配置成基于在所述存储器接口处在所述双向数据总线上接收到的信号的速度来选择性地启用所述第一终接逻辑,并且基于在所述存储器设备处在所述双向数据总线上接收到的信号的速度来选择性地启用所述第二终接逻辑,并且基于在所述存储器设备处在所述控制总线上接收到的信号的速度来选择性地启用所述第三终接逻辑,并且使得所述参考电压发生器在所述第一终接逻辑被启用时向所述存储器接口提供所述第一参考电压,并在当所述第一终接逻辑未被启用时向所述存储器接口提供不同于所述第一参考电压的第二参考电压,以及在所述第三终接逻辑被启用时向所述存储器设备提供第三参考电压,并在所述第三终接逻辑未被启用时向所述存储器设备提供不同于所述第三参考电压的第四参考电压,并且在启用或禁用所述第一终接逻辑之前且在启用或禁用所述第二终接逻辑之前停止所述双向数据总线上的话务。

15. 如权利要求14所述的电子系统,其特征在于,所述第一终接逻辑包括所述存储器接口上的第一ODT逻辑,其中所述第二终接逻辑包括所述存储器设备上的第二ODT逻辑并且其中所述第三终接逻辑包括第三OBT逻辑。

16. 如权利要求14所述的电子系统,其特征在于,所述控制器控制在所述存储器设备处在所述双向数据总线上接收到的信号的速度。

17. 如权利要求14所述的电子系统,其特征在于,所述参考电压生成器包括具有高阻抗梯的有源缓冲器。

18. 如权利要求14所述的电子系统,其特征在于,所述控制器和所述存储器接口被集成到处理器中。

19. 如权利要求14所述的电子系统,其特征在于,所述系统被集成在至少一个半导体管芯中。

20. 如权利要求14所述的电子系统,其特征在于,所述系统被集成到机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA)、固定位置数据单元和计算机中的一者中。

21. 一种电子系统,包括:

将第一设备连接到第二设备的双向数据总线;

用于选择性地终接在所述第一设备处在所述双向数据总线上接收到的信号的第一终接装置;

用于选择性地终接在所述第二设备处在所述双向数据总线上接收到的信号的第二终接装置;

用于在所述双向数据总线上以第一速度将第一信号从所述第一设备发送到所述第二设备的装置;

用于停止所述第一信号的发送的装置;

用于在停止所述第一信号的所述发送之后,启用所述第二终接装置并且将所述第二设备的参考电压从第一电平移至第二电平的装置;

用于在所述第二设备处启用所述第二终接装置之后,在所述双向数据总线上以大于所述第一速度的第二速度将第二信号从所述第一设备发送到第二设备的装置;以及

用于基于在所述第一设备处在所述双向数据总线上接收到的信号的速度来控制所述第一终接装置的装置。

22. 如权利要求21所述的电子系统,其特征在于,进一步包括提供用于选择性地终接在所述第二设备处在控制总线上接收到的信号的第三终接装置。

23. 如权利要求21所述的电子系统,其特征在于,进一步包括:

用于停止所述第二信号的发送的装置;

用于在停止所述第二信号的所述发送之后,禁用所述第二终接装置并且将所述第二设备的参考电压从所述第二电平移至所述第一电平的装置;

用于在禁用所述第二终接装置之后以所述第一速度将所述第一信号从所述第一设备发送到所述第二设备的装置。

24. 一种控制将第一设备连接到第二设备的至少一个总线上的信号终接的装置,包括:

用于通过双向数据总线将所述第一设备连接到所述第二设备的电路;

用于提供用于选择性地终接在所述第一设备处在所述双向数据总线上接收到的信号的第一终接逻辑的电路；

用于提供用于选择性地终接在所述第二设备处在所述双向数据总线上接收到的信号的第二终接逻辑的电路；

用于在所述双向数据总线上以第一速度将第一信号从所述第一设备发送到所述第二设备的电路；

用于停止所述第一信号的发送的电路；

用于在停止所述第一信号的所述发送之后，启用所述第二终接逻辑并且将所述第二设备的参考电压从第一电平移至第二电平的电路；

用于在所述第二设备处启用所述第二终接逻辑之后，在所述双向数据总线上以大于所述第一速度的第二速度将第二信号从所述第一设备发送到第二设备的电路；以及

用于基于在所述第一设备处在所述双向数据总线上接收到的信号的速度来控制所述第一终接逻辑的电路。

25. 如权利要求24所述的装置，其特征在于，进一步包括用于选择性地终接在所述第二设备处在控制总线上接收到的信号的电路。

26. 如权利要求24所述的装置，其特征在于，进一步包括：

用于停止所述第二信号的发送的电路；

用于在停止所述第二信号的所述发送之后，禁用所述第二终接逻辑并且将所述第二设备的参考电压从所述第二电平移至所述第一电平的电路；

用于在所述第二设备处禁用所述终接逻辑后以所述第一速度将所述第一信号从所述第一设备发送到所述第二设备的电路。

27. 一种存储有代码的非瞬态计算机可读介质，所述代码可由计算机执行以通过执行以下步骤来控制至少一个总线上的信号终接，所述至少一个总线将第一设备连接到第二设备：

选择性地终接在所述第一设备处在双向数据总线上接收到的信号；

选择性地终接在所述第二设备处在所述双向数据总线上接收到的信号；

使得所述第一设备在所述双向数据总线上以第一速度将第一信号从所述第一设备发送到所述第二设备；

使得所述第一设备停止所述第一信号的发送；

在使得所述第一设备停止所述第一信号的发送之后，将所述第二设备的参考电压从第一电平移至第二电平；

在所述第二设备处启用第二终接逻辑之后，使得所述第一设备在所述双向数据总线上以大于所述第一速度的第二速度将信号从所述第一设备发送到所述第二设备；以及

基于在所述第一设备处在所述双向数据总线上接收到的信号的速度来控制第一终接逻辑。

用于基于总线速度选择性地终接双向总线上的信号的方法和装置

[0001] 公开领域

[0002] 本公开涉及用于在双向数据总线的每一端处选择性地终接信号的方法和装置,并且更具体而言涉及用于控制双向数据总线的每一端处的信号终接和参考电压以及用于控制双向数据总线上的传输速度的方法和装置。

[0003] 背景

[0004] 电子设备包括数据在其上必须被以高速转移的各种通路。高速数据通路的一个示例是处理器与存储器设备之间的数据总线。当信令速率很高时,通常需要在通路上使用阻抗匹配信号终接来控制伪象,诸如电反射、码元间干扰、过冲、下冲、以及鸣振。然而,终接会消耗显著的电功率,并且因此当信号速率低到足以避免前述伪象时,其不会被使用。

[0005] 迄今为止,使用高信号速率并且由此要求信号终接的设备往往是由AC线路供电的或者包含了足够大的电池组(例如,膝上型计算机),从而可以忽视信号终接电路系统的功率耗用。此外,许多电子组件(举例而言诸如动态随机存取存储器(DRAM)设备等的存储器设备)包含如管芯上终接(ODT)之类的基于信号传播方向来选择性地终接信号的内建特征。即,DRAM设备自身上的控制电路系统在信号接收期间选择性地启用信号终接,并且在其他时间禁用它。

[0006] 制造商持续寻找减少功率使用以既延长电池寿命也降低必须耗散的热量的方法。因此将期望提供用于动态地控制信号终接的降低能量使用的系统和方法。

[0007] 概述

[0008] 以下描述本发明的示例性实施例。第一示例性实施例包括控制将第一设备连接到第二设备的至少一个总线上的信号终接的方法。该方法包括,通过双向数据总线将第一设备连接到第二设备,提供用于选择性地终接在第一设备处在该双向数据总线上接收到的信号的第一终接逻辑,以及提供用于选择性地终接在第二设备处在该双向数据总线上接收到的信号的第二终接逻辑。该方法还包括在该双向数据总线上以第一速度从第一设备向第二设备发送第一信号,停止第一信号的发送,以及在停止第一信号的发送之后,启用第二终接逻辑并且将第二设备的参考电压从第一电平移至第二电平。该方法进一步包括,在第二设备处启用第二终接逻辑之后,在双向数据总线上以第二速度(大于第一速度)将第二信号从第一设备发送到第二设备,以及基于在第一设备处在该双向数据总线上接收到的信号的速度来控制第一终接逻辑。

[0009] 另一示例性实施例包括具有存储器接口以及通过控制总线并通过双向数据总线连接到该存储器接口的存储器设备。该系统包括用于选择性地终接在存储器接口处在该双向数据总线上接收到的信号的第一终接逻辑,用于选择性地终接在存储器设备处在该双向数据总线上接收到的信号的第二终接逻辑,以及用于选择性地终接在该存储器设备处在控制总线上接收到的信号的第三终接逻辑。该系统具有用于向存储器接口提供第一参考电压并且用于向存储器设备提供第二参考电压的参考电压生成器,以及用于选择性地启用第一终接逻辑和第二终接逻辑以及第三终接逻辑并且用于控制由参考电压生成器输出的第一

和第二参考电压的控制器。该控制器还控制存储器接口与存储器设备之间在该双向数据总线上的数据传输,并且配置成基于在存储器接口处在该双向数据总线上接收到的信号的速度来选择性地启用第一终接逻辑,并且基于在存储器设备处在该双向数据总线上接收到的信号的速度来选择性地启用第二终接逻辑,并且基于在存储器设备处在控制总线上接收到的信号的速度来选择性地启用第三终接逻辑。该控制器还使得参考电压生成器在第一终接逻辑被启用时向存储器接口提供第一参考电压,并在第一终接逻辑不被启用时向存储器接口提供不同于第一参考电压的第二参考电压,以及在第三终接逻辑被启用时向存储器设备提供第三参考电压,并在第三终接逻辑不被启用时向存储器设备提供不同于第三参考电压的第四参考电压。该控制器还被配置成在启用或禁用第一终接逻辑之前以及在启用或禁用第二终接逻辑之前停止该双向数据总线上的话务。

[0010] 进一步的示例性实施例包括一种系统,该系统具有将第一设备连接到第二设备的双向数据总线、用于选择性地终接在第一设备处在该双向数据总线上接收到的信号的第一终接装置、以及用于选择性地终接第二设备处在该双向数据总线上接收到的信号的第二终接装置。该系统还包括用于在该双向数据总线上以第一速度从第一设备向第二设备发送第一信号的装置以及用于停止第一信号的发送的装置,并且包括用于在停止第一信号的发送之后启用第二终接逻辑并且将第二设备的参考电压从第一电平移至第二电平的装置。该系统还包括,用于在第二设备处启用第二终接装置之后,在该双向数据总线上以第二速度(大于第一速度)将第二信号从第一设备发送到第二设备的装置,以及用于基于在第一设备处在该双向数据总线上接收到的信号的速度控制第一终接装置的装置。

[0011] 另一示例性实施例包括一种控制将第一设备连接到第二设备的至少一个总线上的信号终接的方法,包括用于通过双向数据总线将第一设备连接到第二设备的步骤,用于提供用于选择性地终接在第一设备处在该双向数据总线上接收到的信号的第一终接逻辑的步骤,以及用于提供用于选择性地终接在第二设备处在该双向数据总线上接收到的信号的第二终接逻辑的步骤。该方法还包括用于在该双向数据总线上以第一速度从第一设备向第二设备发送第一信号的步骤,用于停止第一信号的发送的步骤,以及在停止第一信号的发送之后用于启用第二终接逻辑并且将第二设备的参考电压从第一电平移至第二电平的步骤。该方法还包括,在第二设备处启用第二终接逻辑之后,用于在该双向数据总线上以第二速度(大于第一速度)将第二信号从第一设备发送到第二设备的步骤,以及用于基于在第一设备处在该双向数据总线上接收到信号的速度来控制第一终接逻辑的步骤。

[0012] 另一示例性实施例包括一种实施指令的非瞬态计算机可读介质,这些指令在由计算机执行时使得该计算机控制将第一设备连接到第二设备的至少一个总线上的信号终接,该控制是通过选择性地终接在第一设备处在该双向数据总线上接收到的信号并且选择性地终接在第二设备处在该双向数据总线上接收到的信号来进行的。这些指令还用于使得第一设备在该双向数据总线上以第一速度将第一信号从第一设备发送到第二设备,用于使得第一设备停止第一信号的发送,并且在使得第一设备停止第一信号的发送之后将第二设备的参考电压从第一电平移至第二电平。这些指令还用于在第二设备处启用第二终接逻辑之后,使得第一设备在该双向数据总线上以第二速度(大于第一速度)将信号从第一设备发送到第二设备,以及基于在第一设备处在该双向数据总线上接收到的信号的速度来控制第一终接逻辑。

[0013] 附图简述

[0014] 给出附图以帮助对本发明实施例进行描述,且提供附图仅用于解说实施例而非对其进行限定。

[0015] 图1是解说根据本公开实施例的包括处理器和存储器设备的系统的电路图。

[0016] 图2是图1的系统的功率控制器的一部分的电路图。

[0017] 图3是解说根据本公开的方法的流程图。

[0018] 图4是其中可使用本公开的实施例的示例性无线通信系统的示意图。

[0019] 详细描述

[0020] 本发明的各方面在以下针对本发明具体实施例的描述和有关附图中被公开。可以设计替换实施例而不会脱离本发明的范围。另外,本发明中众所周知的元素将不被详细描述或将被省去以免湮没本发明的相关细节。

[0021] 措辞“示例性”在本文中用于表示“用作示例、实例或解说”。本文中描述为“示例性”的任何实施例不必被解释为优于或胜过其他实施例。同样,术语“本发明的各实施例”并不要求本发明的所有实施例都包括所讨论的特征、优点、或工作模式。

[0022] 本文中所使用的术语仅出于描述特定实施例的目的,而并不旨在限定本发明的实施例。如本文所使用的,单数形式的“一”、“某”和“该”旨在也包括复数形式,除非上下文另有明确指示。还将理解,术语“包括”、“具有”、“包含”和/或“含有”在本文中使用指明所陈述的特征、整数、步骤、操作、元素、和/或组件的存在,但并不排除一个或多个其他特征、整数、步骤、操作、元素、组件和/或其群组的存在或添加。

[0023] 此外,许多实施例是根据将由例如计算设备的元件执行的动作序列来描述的。将认识到,本文描述的各种动作能由专用电路(例如,专用集成电路(ASIC))、由正被一个或多个处理器执行的程序指令、或由这两者的组合来执行。另外,本文描述的这些动作序列可被认为是完全体现在任何形式的计算机可读存储介质内,其内存储有一经执行就将使相关联的处理器执行本文所描述的功能性的相应计算机指令集。因此,本发明的各方面可以用数种不同形式来体现,所有这些形式都已被构想落在所要求保护的主体内容的范围内。另外,对于本文描述的每个实施例,任何此类实施例的对应形式可在本文中被描述为例如被配置成执行所描述的动作的“逻辑”。

[0024] 图1示意性地解说了包括处理器102和存储器设备104的系统100。处理器102包括中央处理单元(CPU)106、控制器108(其可包括例如有限状态机)、存储器接口110和全局时钟控制112。尽管前述元件与本公开有关,但是处理器102可构成片上系统(SOC)并且包括为使处理器102操作所必需的其他常规元件(未解说)。存储器设备104包括至少一个存储器管芯114,并且存储器接口110经由控制总线116和双向数据总线118与存储器管芯114通信。存储器接口110负责管理处理器102与存储器设备104之间的通信。系统100还包括功率系统120,功率系统120包括功率控制器122和多个稳压器,这多个稳压器包括第一稳压器124、第二稳压器126、第三稳压器128、第四稳压器130和第五稳压器132,这些稳压器一起形成了参考电压生成器,并且在一些实施例中可包括具有高阻抗梯的有源缓冲器。处理器102经由串行数据总线131和串行时钟总线133与功率控制器122通信。

[0025] 存储器接口110包括通过第一数据线138连接到存储器管芯114上的接收器136的驱动器134,并且存储器接口110包括通过第二数据线144连接到存储器管芯114上的驱动器

142的接收器140。第一和第二数据线138、144代表双向数据总线118的逻辑部分而非分立互连,并且仅为了便于描述而被分开地解说。

[0026] 存储器接口110包括管芯上终接(ODT)逻辑146,其控制用于选择性地将电阻器150连接到功率系统120的第一稳压器124的开关148。开关148受ODT逻辑146控制并且也受控制器108控制,控制器108通过线152连接到ODT逻辑146。当开关148被闭合时,电阻被连接到存储器接口110中的接收器140以终接第二数据线144并且减少当信号以高速在双向数据总线118的第二数据线144上被传送时可能产生的伪象。存储器管芯114也包括ODT逻辑154,其控制用于选择性地将电阻器158连接到功率系统120的第四稳压器130的开关156。存储器管芯114中的开关156受ODT逻辑154控制并且也受处理器102的控制器108控制,该控制器108通过线160连接到存储器管芯114上的开关156。当开关156被闭合时,电阻被连接到存储器管芯114中的接收器136以终接第一数据线138并且减少当信号以高速在双向数据总线118的第一数据线138上被传送时可能产生的伪象。系统100还包括板上终接(OBT)逻辑162,其控制用于选择性地将电阻器166连接到控制总线116以选择性地将控制总线116连接到功率系统120的第五稳压器132的开关164。控制器108和OBT逻辑162控制开关164的状态,并且控制器108通过线168连接到OBT逻辑162。当开关164被闭合时,电阻被连接到控制总线116以终接控制总线116并且减少当信号以高速在控制总线116上被传送时可能产生的伪象。

[0027] 存储器接口110中的接收器140的一个输入被连接到功率系统120的第二稳压器126,并且存储器管芯114中的接收器136的一个输入被连接到功率系统120的第三稳压器128。第二稳压器126和第三稳压器128向存储器接口接收器140和存储器管芯接收器136提供恰适的参考电压,这些参考电压是基于数据正在双向数据总线118上被传送的速度来选择的。

[0028] 现在将描述系统100的操作。系统100将在本文中被描述为以“低”、“中”和“高”数据速率来操作。不具体定义这些数据速率,“低”数据速率是数据能被高效地在系统中转移而不使用信号终接的速率,而“高”数据速率是需要或期望信号终接的速率。如本文中使用的“中”速率是高到足以使得双向数据总线118的终接是期望的,但又低到足以使得控制总线116的终接不必要的速率。在典型系统(诸如DDR 3DRAM)中,低数据率速率可以是低于400MHz(800Mbps)的任何速率,中数据速率是在400与667MHz之间的数据速率,而高数据速率是高于667MHz(1333Mbps)的任何速率。然而,这些值是可编程的并且取决于印刷电路板布线的设计和复杂度。具有不良阻抗和/或迹线偏斜匹配的低成本设计可强制频率阈值降低,而较高质量设计可允许频率阈值被升高。

[0029] 系统100用常规方式被初始化,并且存储器接口110以低数据速率与存储器设备104通信,该低数据速率至少部分地基于全局时钟控制器112设置的时钟速度。当数据是以低数据速率被传送时不要求信号终接,并且控制器108将存储器接口110的ODT逻辑146中的开关148和存储器管芯114的ODT逻辑154的开关156以及OBT逻辑162的开关164维持在断开状态。此外,控制器108指令功率系统120向存储器接口110的接收器140提供具有来自第二稳压器126的第一电平的参考电压,并且向存储器管芯114的接收器136提供第二参考电压(其可以与第一参考电压相同)。因为存储器接口110处或存储器管芯114处或控制总线116上并不需要终接,因此ODT逻辑146或ODT逻辑154或OBT逻辑162消耗非常少的功率;当不要求信号终接时,控制器108可以任选地使得功率控制器122关闭第一稳压器124、第四稳压器

130和第五稳压器132,以便达成额外功率节省。

[0030] 各种状况可能要求存储器接口110与存储器设备104之间更高的数据转移速率,例如,当处理器102开始运行图形密集程序时。如之前所讨论的,此类较高数据速率要求信号终接以用于高效数据转移。本文中所描述的此下一数据速率在本文中被称为中速率,并且对于此速率,在双向数据总线118的两端处都应当提供信号终接。以下描述改变双向数据总线118上的数据速率的过程。

[0031] 在从一个数据速率向另一数据速率转移期间,双向数据总线118上的数据转移必须被中断或停顿。因此,当CPU 106通知控制器108需要从低数据速率移向中数据速率时,控制器108使得存储器接口110完成与存储器设备104的任何未完成的事务并且接着停止在双向数据总线118上发送数据。在此时间期间,存储器设备104进入自刷新模式以保留其内容。接着,控制器108信令通知功率控制器122以使得第二稳压器126改变提供给存储器接口110的接收器140的第一参考电压,并且使得第三稳压器128改变提供给存储器管芯114的接收器136的第二参考电压。电源120和其中的第一到第五稳压器124-132被配置成迅速改变电压而不产生显著的噪声,因为参考电压能被改变和稳定得越快,数据话务在双向数据总线118上就能恢复得越快。

[0032] 该电压改变可以例如通过使用如图2中所解说的功率控制器122中的合适的电路系统来完成。控制器108经由串行数据总线131和串行时钟总线133与功率控制器122通信。传送的分组(未被解说)具有命令部分、地址部分和数据部分,并且这允许控制器108对功率控制器122进行写、读和控制。

[0033] 图2解说了从第一稳压器124产生输出的功率控制器122的一部分;类似的电路系统控制第二到第五稳压器126、128、130、132的输出,但是并未具体解说。来自控制器108的传入分组由逻辑解码200检视,其确定要执行何种类型的操作以及要将该数据路由到何处。为了改变来自第一稳压器124的电压 V_{out} ,来自控制器108的分组将二进制电压表示写入到对应寄存器202中,并且该寄存器202的输出,即控制位203闭合控制开关204中恰适的数个。这通过这些控制电阻器205建立了第一稳压器124的预定 V_{out} 。第一稳压器124从带隙参考201接收输入并且从控制电阻器网络205接收第二输入以用于建立输出电压。

[0034] 功率控制器122包含众多稳压器,这些稳压器的电压可以使用该方案来被独立控制。对于控制器108来说也有可能从功率控制器122读回信息,包括控制位203的值。在速度切换期间,系统100中的众多电压可能需要被迅速重编程,并且这一简单且高效的接口准许快速电压重编程并且降低了总体系统时间。被供应给各种终接的终接电压由第一稳压器124的晶体管输出以及第二到第五稳压器126-132的对应晶体管输出(未解说)直接驱动。这导致了非常低的输出阻抗并且相应较快的瞬态响应(与传统电阻器式分压器相比而言),这显著地降低了总线停顿的历时。此外,当终接开关148、156、164断开时,没有电流流过第一到第五稳压器124-132的输出晶体管(相比于流过传统电阻器式分压器的静态电流而言)。最终,在可能需要支持多个DRAM接口标准的系统中,所有稳压器的数字可重编程性提供了相对于传统电阻器式分压器而言显著的灵活性。例如,DDR3、DDR3L和DDR4设备仅通过重编程第一到第五稳压器124-132就能在相同的平台上被支持。

[0035] 控制器108还信令通知存储器接口110上的ODT逻辑146以闭合开关148从而终接第二数据线144,并且信令通知存储器管芯114上的ODT逻辑154以闭合开关156并终接第一数

据线138。假使第一稳压器124和第四稳压器130在之前为了功率节省原因而被降电,那么功率控制器122还必须重新激活它们。时钟速率被从低速率提高到中速率,并且一旦功率系统120提供的电压稳定下来,系统100就会准备好恢复数据转移。启用存储器接口110和存储器管芯114上的ODT逻辑146、154所花费的时间要少于使功率系统129所提供的电压稳定所花费的时间。因此,可编程定时器(未解说)可以被用以将双向数据总线118上的数据停顿达长到足以确保稳定的电压供应的时间。注意,该电压的稳定时间取决于平台变量,诸如由特定电压稳压器供电的存储器设备的数目、用以静默该电压源的旁路电容器的数目、以及印刷电路板(PCB)的构造和复杂度。因此,可编程停顿时间可以针对系统组件和PCB构造来被优化。当那些定时器过期时,控制器108使得存储器接口110恢复与存储器管芯114的通信,并且存储器管芯114停止其自刷新操作。状态寄存器在全局时钟控制112中被更新,并且若有需要,一中断被发送到CPU 106。

[0036] 该系统100持续用这种方式操作,直至出现再对更高数据转移速度的需要。为了将双向数据总线118上的数据速率切换到高速,还需要激活OBT逻辑162以在控制总线116上提供信号终接。如同从低数据速率向中数据速率转移期间的情形那样,双向数据总线118上的话务被停顿,并且由第二稳压器126和第三稳压器128提供到存储器接口110和存储器管芯114的参考电压被按需调节。此外,控制器108向OBT逻辑162发送信号以使得OBT逻辑162闭合开关164并且终接控制总线116上的信号。若第五稳压器132处于非活跃状态,则该第五稳压器132在此时也被重新激活。一旦电源120所提供的电压稳定下来,控制数据话务就在控制总线116上恢复,并且数据话务在双向数据总线118上恢复。这些相同的步骤被遵循从而将双向数据总线118上的数据速率降低到中或低级,即,停顿相应总线上的话务,禁用ODG和OBT,并且改变提供到存储器接口110上的接收器140以及存储器管芯114处的接收器136的参考电压。当然,系统100也能够通过在与启用存储器接口110的ODT逻辑146和存储器管芯114的ODT逻辑154的同时启用OBT逻辑162来从低速率条件直接转换到高速率条件。这些转换是基于系统100和连接到该系统的组件(未解说)所要求的数据转移速率而受CPU 106和控制器108的控制的。

[0037] 以上所描述的系统100有益地用允许对系统100中多个位置处的信号终接的动态控制的方式在控制器108控制之下将对信号终接的控制置于各种位置处。此外,因为控制器108也控制提供到存储器接口110和存储器管芯114的参考电压,并且停止和开始双向数据总线118和控制总线116上的数据传送,所以控制器108能用信号终接和参考电压上的改变以降低双向数据总线118不可供系统100使用的时间的方式来协调对双向数据总线118上和控制总线116上的数据的停止,并且由此获得能量节省而同时又维持可接受的系统性能。通过使用一个平台来处置存储器接口标准上的变动、总线拓扑/组件群体、以及PCB构造和路由来提供了附加的灵活性。

[0038] 图3解说了根据本公开实施例的方法,包括通过双向数据总线将第一设备连接到第二设备的框302、提供用于选择性地终接在第一设备处在该双向数据总线上接收到的信号的第一终接逻辑的框304、以及提供用于选择性地终接在第二设备处在该双向数据总线上接收到的信号的第二终接逻辑的框306。该方法还包括在双向数据总线上以第一速度将第一信号从第一设备发送到第二设备的框308、停止第一信号的发送的框310、以及在停止第一信号的发送之后启用第二终接逻辑并且将第二设备的参考电压从第一电平移至第二

电平的框312。此外,该方法包括,在第二设备处启用第二终接逻辑之后,在该双向数据总线上以第二速度(大于第一速度)将第二信号从第一设备发送到第二设备的框314、以及基于在第一设备处在该双向数据总线上接收到的信号的速度来控制第一终接逻辑的框316。

[0039] 图4解说了其中可有利地采用本公开的一个或多个实施例的示例性无线通信系统400。出于解说目的,图4示出了三个远程单元420、430和450以及两个基站440。将认识到,常规无线通信系统可具有远多于此的远程单元和基站。远程单元420、430和450包括集成电路或其它半导体器件425A、425B和425C(包括如本文所公开的系统),它们在以下将进一步讨论的本公开实施例之中。图4示出了从基站440到远程单元420、430、和450的前向链路信号480,以及从远程单元420、430、和450到基站440的反向链路信号490。

[0040] 在图4中,远程单元420被示为移动电话,远程单元430被示为便携式计算机,且远程单元450被示为无线本地环路系统中的位置固定的远程单元。例如,这些远程单元可以是移动电话、手持式个人通信系统(PCS)单元、便携式数据单元(诸如个人数据助理(PDA))、导航设备(诸如启用GPS的设备)、机顶盒、音乐播放器、视频播放器、娱乐单元、位置固定的数据单元(诸如仪表读数装置)、或者存储或检索数据或计算机指令的任何其他设备、或者其任何组合中的任一者或其组合。尽管图4解说了根据本公开的教义的远程单元,但本公开并不限于这些所解说的示例性单元。本公开的各实施例可适于用在具有有源集成电路系统(包括存储器以及用于测试和表征的片上电路系统)的任何设备中。

[0041] 本领域技术人员将领会,信息和信号可使用各种不同技术和技艺中的任何一种来表示。例如,贯穿上面描述始终可能被述及的数据、指令、命令、信息、信号、位(比特)、码元、和码片可由电压、电流、电磁波、磁场或磁粒子、光场或光粒子、或其任何组合来表示。

[0042] 此外,本领域技术人员将领会,结合本文中所公开的实施例描述的各种解说性逻辑块、模块、电路、和算法步骤可被实现为电子硬件、计算机软件、或两者的组合。为清楚地解说硬件与软件的这一可互换性,各种解说性组件、块、模块、电路、和步骤在上面是以其功能性的形式作一般化描述的。此类功能性是被实现为硬件还是软件取决于具体应用和施加于整体系统的设计约束。技术人员对于每种特定应用可用不同的方式来实现所描述的功能性,但这样的实现决策不应被解读成导致脱离了本发明的范围。

[0043] 结合本文中所公开的实施例描述的方法、序列和/或算法可直接在硬件中、在由处理器执行的软件模块中、或者在这两者的组合中体现。软件模块可驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM、或者本领域中所知的任何其他形式的存储介质中。示例性存储介质耦合到处理器以使得该处理器能从/向该存储介质读写信息。在替换方案中,存储介质可以被整合到处理器。

[0044] 相应地,本发明的实施例可包括采用实施用于使得控制器基于正被终接的线上数据的速度来选择性地控制管芯上和/或板上信号终接的方法的计算机可读介质。相应地,本发明并不限于所解说的示例且任何用于执行文本所描述的功能性的手段均被包括在本发明的实施例中。

[0045] 尽管上述公开示出了本发明的解说性实施例,但是应当注意到,在其中可作出各种更换和改动而不会脱离如所附权利要求定义的本发明的范围。根据本文中所描述的本发明实施例的方法权利要求的功能、步骤和/或动作不必按任何特定次序来执行。此外,尽管本发明的要素可能是以单数来描述或主张权利的,但是复数也是已料想了的,除非显式地

声明了限定于单数。

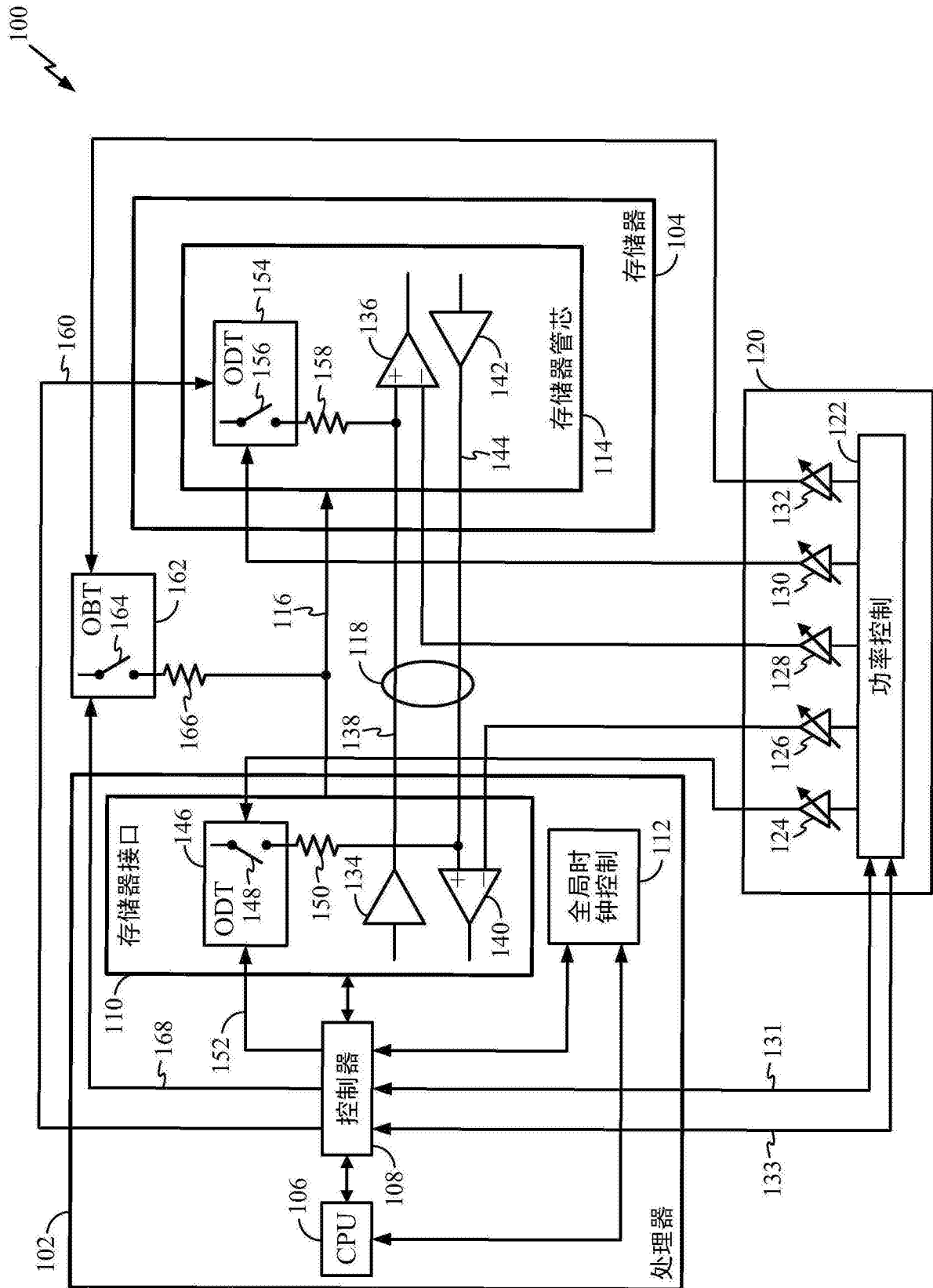


图 1

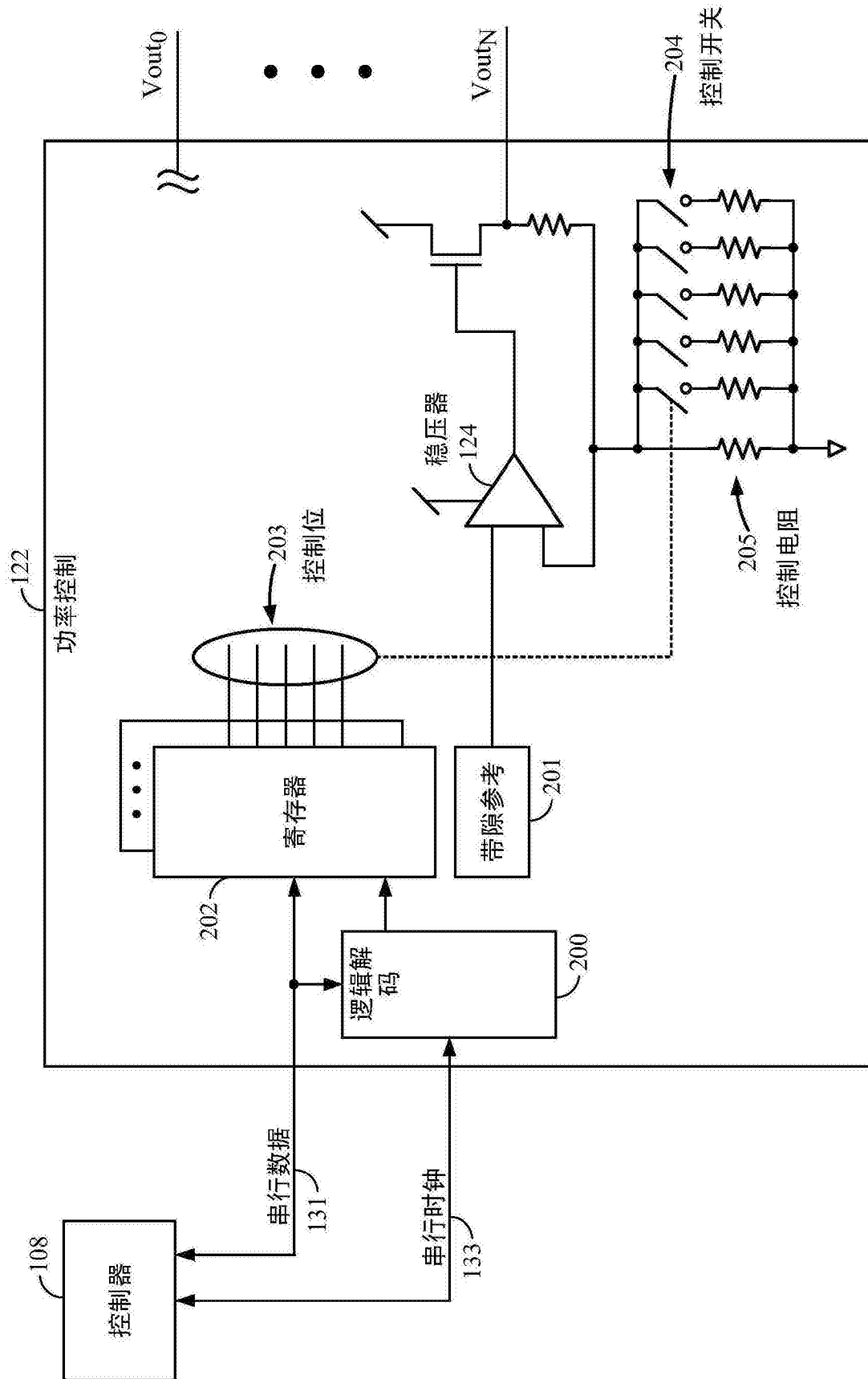


图2

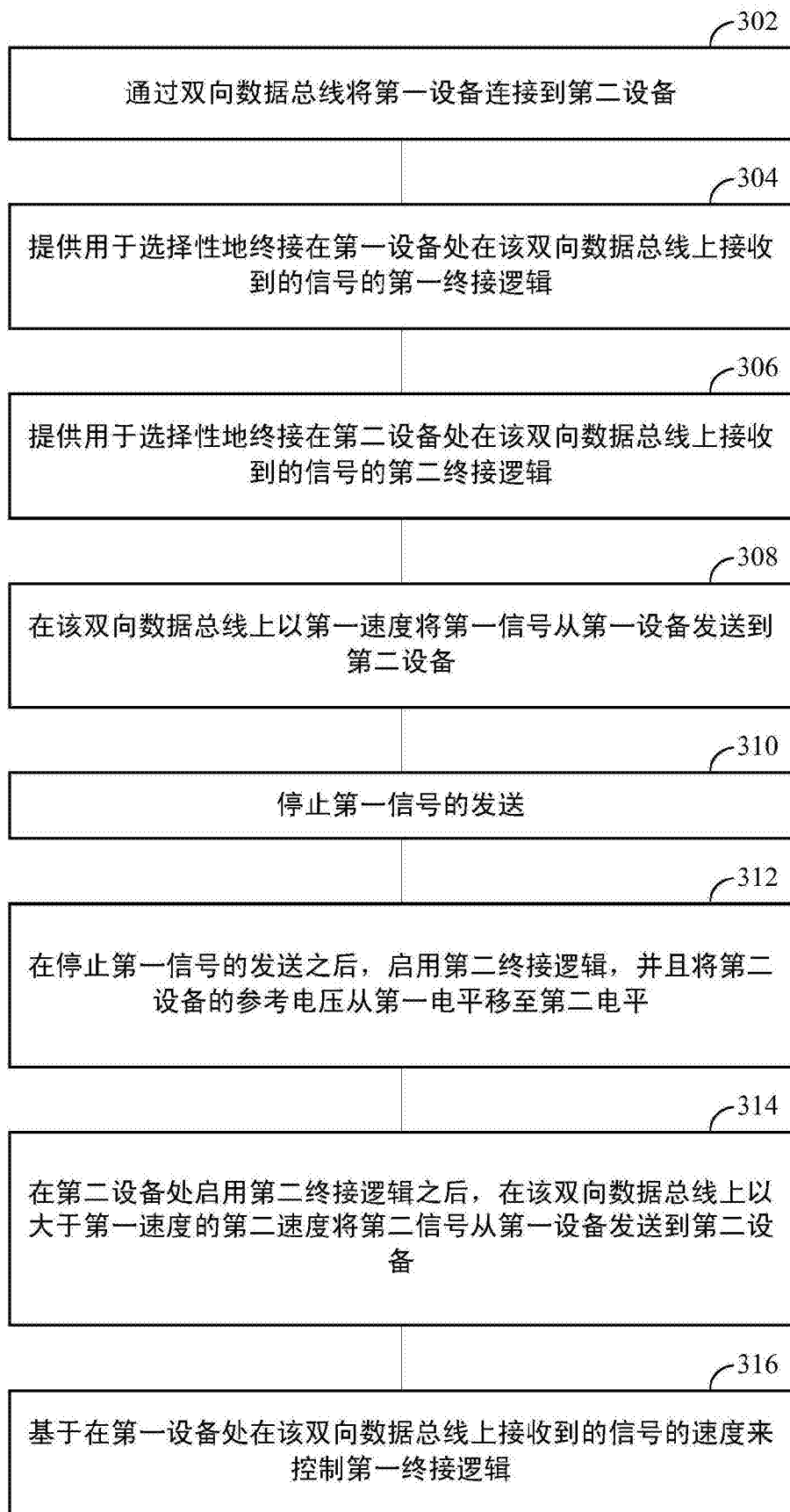


图3

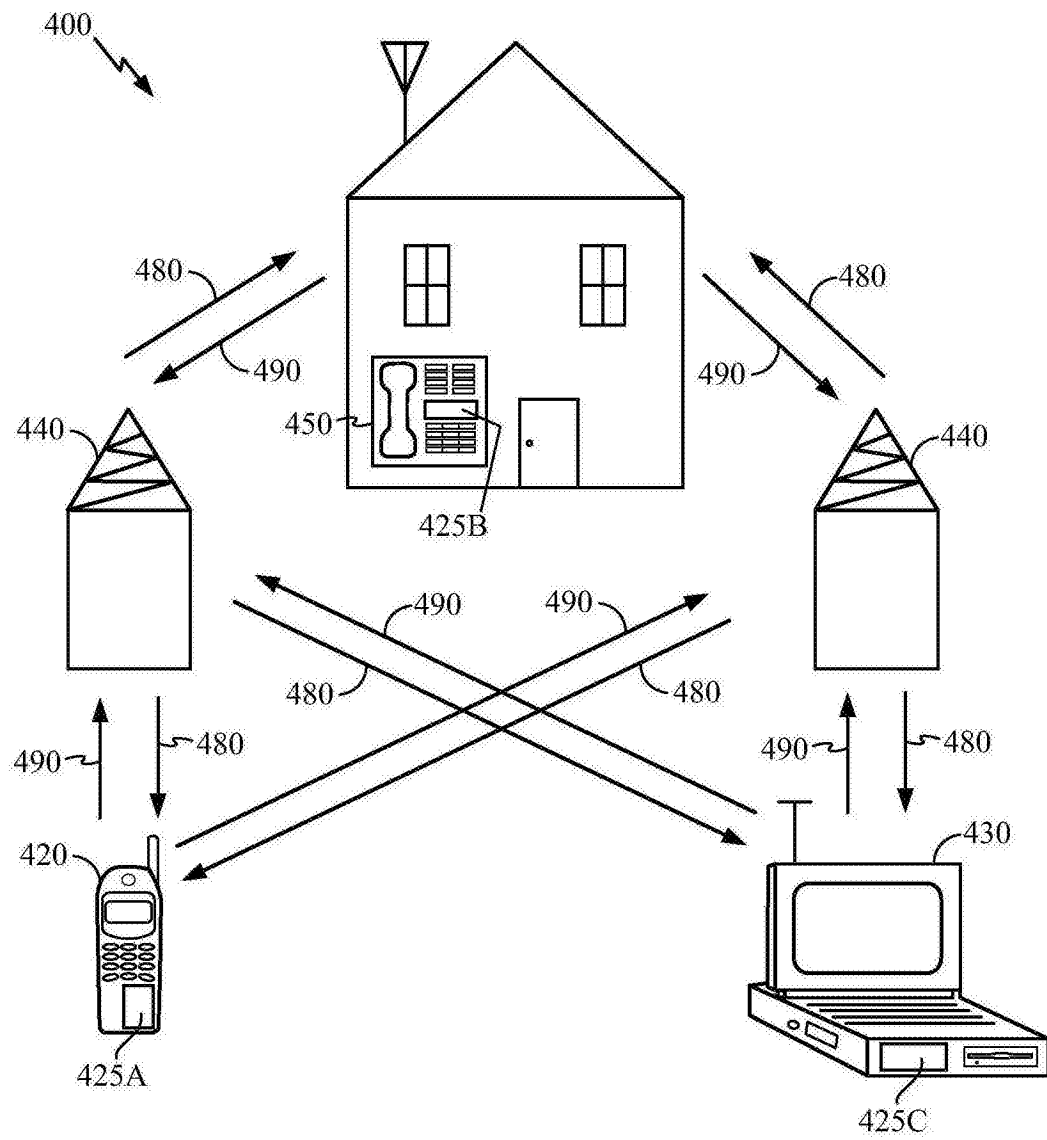


图4