

公告本

申請日期	90. 3. 22
案 號	90 10 6806
類 別	H01L 21/286

A4
C4

517342

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	具有共用體接觸窗之絕緣層上有矽場效電晶體
	英 文	SILICON ON INSULATOR FIELD EFFECT TRANSISTORS HAVING SHARED BODY CONTACTS
二、發明 人	姓 名	1. 威廉 R. 達奇鐵拉 2. 雷吉夫 V. 喬西 3. 魏納 A. 羅齊
	國 籍	1. 美國 2. 印度 3. 美國
	住、居所	1. 美國紐約市波啟浦沙珊帝大道 6 號 2. 美國紐約市約克高地松林溪庭園 1418 號 3. 美國紐約市史東菲爾朱迪絲大道 71 號
三、申請人	姓 名 (名稱)	美商·萬國商業機器公司
	國 籍	美國
	住、居所 (事務所)	美國紐約州阿蒙市新果園路
	代 表 人 姓 名	傑拉德羅森瑟爾

經濟部智慧財產局員工消費合作社印製

裝 訂 線

(由本局填寫)

承辦人代碼：

A6

大類：

B6

IPC分類：

本案已向：

國(地區) 申請專利，申請日期： 案號： 有 無主張優先權

本案已向美國申請專利；申請日：2000年4月12日 案號：09/547,893號

有關微生物已寄存於： 寄存日期： 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明()

發明領域

本發明與半導體積體電路相關。更特定說來，本發明係關於一種在一絕緣層上有矽(SOI)晶片之一表面層中具有一場效電晶體的大型積體(VLSI)電路。

發明背景

塊體型矽場效電晶體(FET)係形成於一矽晶片或晶圓之上者。在一般稱為 CMOS 技術的技術中，該矽晶圓或基材可為某一種導體型態，如為 P 型；而其中某些區域或某些井部可為第二種導體型態，如為 N 型。N 型 FET(NFET)係形成於 P 型晶圓表面上，而 P 型 FET(PFET)則係形成於 N 型井表面之上者。一第一偏壓被加至基材上，以對 NFET 加以偏壓；而一第二偏壓則被加至 N 型井，其中第一偏壓一般為 0 伏特或地點電壓，而第二偏壓則為供應電壓(V_{hi})。加至基材及 N 型井之偏壓各自都能穩定其相對之 FET 電氣特性，包含能夠改善臨界電壓(V_t)及元件之電流穩定度等。改變一元件的偏壓可改變元件特性、增加/減少元件的 V_t 及減少/增加元件的操作電流，端視改變之大小及方向而定。

這些習用塊體型電晶體技術之性能的改善一般是因對特徵區之大小或尺寸加以縮小所致。除了改善尺寸的作法以外，另一種絕緣層上有矽(SOI)技術已變成電晶體性能改善的一種主要手段。

第 1 圖所示為一習用 SOI 晶圓的剖面圖 100。圖中，

五、發明說明()

的一對電晶體 102,104 可為 NFET 或 PFET，並都形成於一薄矽表面層 106 內，其中該層 106 與一底層矽基材 108 係以一埋入式氧化物層 (BOX) 110 隔離開來。在一典型的複雜光罩系列步驟中，SOI 島 112 被形成於矽表面層 106 中，形成的方法則為蝕刻出一深入表面層 106 的溝渠，並以氧化物 114 填充該淺溝渠之方式為之，以將各島 112 加以隔離。這種隔離一般稱為淺溝渠隔離 (SOI)，用以隔離各島上的電路，並將形成這些電路的各 FET 加以隔離。

在矽島 112 上形成一閘極氧化物層之後，閘極 116 被加以圖案化，並形成在元件之 102,104 處。源極/汲極區 118 的位置範圍的界定係由一標準佈植及擴散步驟為之，而該步驟在欲於閘極邊界形成輕摻雜擴散區 120 之後進行，其中後一步驟在需要該區 120 之存在時方進行之。金屬接觸墊 122 選擇性形成在源極/汲極區 118，元件的通道 124,126 則完全為源極/汲極擴散區 118 隔開而與其它通道隔離，BOX 層 110 位於通道之下，閘極氧化物位於通道之上，而 STI(未顯示)則位於通道之側邊。

就理想上說來，薄矽表面層 106 的厚度不大於在一對源極/汲極擴散區 118 之間形成之通道 124,126 所需的厚度，然而在實際上矽表面層卻厚於 FET 通道反轉層的深度。因此，當通道反轉層形成時(即當 FET 被打開時)，其下方仍有一未經反轉之層膜。該未經反轉之層膜仍然以阻性之方式與相鄰區域隔離，且所有被導進該未經反

五、發明說明 ()

轉之通道區域的電荷就仍會陷阻於該處，直到這些電荷經由接面露出或被耦合出來為止。這種陷阻電荷會形成元件通道偏壓的不佳特性，並因此形成所謂的基體效應 (body effects)，其中這種基體效應的效力僅限於一獨立元件中。

因此，這些習用 SOI FET 都有未加以任何偏壓之隔離浮置通道，所有元件的通道偏壓也就因此為電流操作狀態及元件歷史所決定，亦即為所有之前由電容式耦合或雙極注入方式導入之剩餘電荷所決定。就一般的邏輯電路來說，元件特性因浮置元件通道所造成的輕微改變可被忽略，並不太需要加以考慮，其中該邏輯電路可為解碼器、時脈緩衝器、輸入或輸出驅動器及陣列式輸出驅動器等。

不過，這些區域性的基體效應及其它偶發的寄生雙極效應 (即發生於源極/汲極擴散接面者) 對於密度高的 SOI 電路 (如記憶體陣列等) 而言卻會是設計上所面臨到的嚴重問題，其中基體效應發生在一特定元件切換時，因為電荷在切換時會電容式耦合進入/跑出浮置通道區域；而雙極效應電流則會將電荷加至該浮置通道中。甚且，在某一特定元件中的電荷會在晶片運作時改變，這是因為各獨立元件的切換多少會與其它獨立元件的憋換有關所致。如以上所述，FET 元件的特性會與元件的基材電壓有關，所以在對一隨機存取記憶體 (RAM) 胞進行重覆讀寫時，一些胞元件的基體效應就會不經意被降低。

五、發明說明()

就習用之 SOI SRAMs 而言，這樣的基體效應會使受到影響之元件的臨界值改變，並使其電流電流受到調變，如此會使存於胞中的訊號及由胞處理電晶體傳輸之訊號下降。這樣的區域性效應會使 SRAM 較容易停留在兩種狀態之一種狀態中，因此會有不明原因的偶發性讀取錯亂現象發生。在胞通閘極中的不均衡現象會增加胞的寫入及感測時間，因此某些問題就會間歇性發生，如假性讀取錯誤資料或胞的隨機性錯誤等問題。這些間歇發生的問題非常難以偵測或辨，所以基體效應所產生的通道偏壓變動會使得元件變得不均勻，而晶片的偶發性不良現象也會變得難以辨認，這種不良問題在某些時候被歸為”軟性不良”問題。

因此，SOI RAM 的穩定性確有加以提升的必要。

發明目的及概述：

本發明之一目的在於提升記憶胞之穩定性。

本發明之另一目的在於提升靜態隨機存取記憶體 (SRAM) 胞對局部基體效應之容忍度。

本發明之再另一目的在於在不降低胞密度的條件下提升 SRAM 胞對區域性基體效應之容忍度。

圖式簡單說明：

第 1 圖為具有一對電晶體(都為 NFET 或 PFET)之 SOI 晶圓的剖面圖；

五、發明說明 ()

第 2 圖為一典型 CMOS 靜態 RAM(SRAM)胞之示意圖；

第 3A-D 圖為 SRAM 胞之一例，其中包含較佳實施例之 NFET；

第 4 圖為較佳實施例胞組成之 SRAM 的剖面圖，如第 3A-D 圖之範例中的胞等。

圖號對照說明：

100	習用絕緣層上有矽晶圓		
102	電晶體	104	電晶體
106	矽表面層	108	矽基底
110	埋入式氧化物層		
112	絕緣層上有矽島域	114	氧化物
116	閘極	118	源極/汲極區
120	輕摻雜擴散區	122	金屬接觸墊
124	通道	126	通道
140	靜態記憶胞	142	反相器
142P	P 型場效電晶體	142N	N 型場效電晶體
142PC	點	142NC	點
142PC	點	142NC	點
144	反相器	144N	N 型場效電晶體
144P	P 型場效地晶體	146	通道電晶體
148	通道電晶體	150	位元線
152	位元線	154	字元線
160	靜態記憶胞	162	反相器

五、發明說明()

- | | | | |
|------|----------|------|----------|
| 164 | 反相器 | 166 | 通道電晶體 |
| 168 | 通道電晶體 | 170 | 位元線 |
| 172 | 位元線 | 174 | 多晶矽字元線 |
| 176 | 矽島域 | 178 | 矽島域 |
| 180 | 經圖案化之多晶矽 | 182 | 經圖案化之多晶矽 |
| 184 | 經圖案化之多晶矽 | 188 | P型擴散區罩 |
| 190 | N型體植入區罩 | 192 | N型體植入區罩 |
| 194 | 多邊形 | 196 | 接觸區 |
| 198 | 地接觸區 | 200 | 共用地接觸區 |
| 202P | 接觸區 | 202N | 輸出接觸區 |
| 204P | 接觸區 | 204N | 輸出接觸區 |
| 206 | 源極/汲極擴散區 | 208 | 源極/汲極擴散區 |
| 210 | P型表面矽層 | 211 | 路徑 |
| 212 | 埋入式氧化物層 | 214 | 金屬層 |
| 216 | 共用體接觸區 | 218 | 位元線擴散區 |
| 222 | 記憶胞 | 224 | 記憶胞 |
| 226 | 記憶胞 | 228 | 記憶胞 |

發明詳細說明：

現請參照圖式，特別是第2圖，其為一典型CMOS靜態RAM(SRAM)胞140的示意圖。就本質上來說，該胞140為一對交叉耦合之CMOS反相器142,144及一對通道電晶體146,148，該對電晶體146,148則位於該交叉耦合反相器142,144及一對位元線150,152之間。一字元線154接

五、發明說明()

附至通道電晶體 146,148 之閘極。每一對 CMOS 反相器 142,144 為一組 NFET 142N,144N 及一組 PFET 142P,144P，其中後者之閘極被分別接至相對之 NFET 142N,144N，後者之源極則被接至供應電壓(V_{hi})，而前者之源極則連接至地端。FET 142N,142P,144N,144P 的通道主體分別由點 142NC,142PC,144NC,144PC 代表之。此外，交叉耦合反相器對 142,144 的狀態將決定儲存於胞 140 中的資料狀態。

每一 SRAM 胞 140 之寫入係經由將位元線對 150,152 之一者拉至高位準電位，而將其它者拉至低位準電位，並將字元線維持在高位準電位以使兩處理電晶體 146,148 打開，並接著將字元線 154 拉至低位準電位，以將處理電晶體 146,148 關閉，藉此維持該交叉耦合反相器 142,144 之位元線的狀態。SRAM 胞 100 的讀取是藉由將位元線預充電至一所知狀態，再將字元線 154 驅動至高位準電位，其中該字元線 154 將該交叉耦合反相器 142,144 經由處理電晶體 146,148 耦合至該位元線對 150,152，接著再對位元線對 150,152 上的電壓差假側量。位元線對 150,152 上的訊號隨著時間而增加，當增至最後一狀態時，位元線對 150,152 之每一者最後可能會處於完全高位準電位及完全低位準電位。然而，為達提升效能之目的，電壓差在其抵至其最終值之前就先被加以感測。

就如上所述，在習用之塊材 CMOS 技術中 142NC,144NC,146C 及 148C 都被接至地端，而 142PC 及

五、發明說明()

144PC 則都被接至 V_{hi} ，藉以對各元件加以偏壓。然而，在如第 1 圖所示之習用 SOI 製程中，所有在一 SRAM 胞 140 中的 FET 142N,142P,144N,144P,146 及 148 都具有浮置通道，即 142NC,144NC,146C 及 148C 都未直接接至任何的偏壓，至多只是以電容式耦合至底層之矽基材 108。

本發明所提出者為一 SOI 電晶體及形成該 SOI 電晶體之方法，其中該 SOI 電晶體具有一或多個淺源極/汲極擴散區及一體接觸區，SOI 電路則包含有該電晶體。SOI RAM 胞係由該一或多個電晶體形成。體接觸區與矽表面之島域接觸，電晶體則形成在該矽表面島域之上，其中體接觸區經由連續連接至淺擴散區之一或多通道而施予電晶體偏壓，而淺源極/汲極擴散區形成在該 SOI 表面層的表面內，但卻未完全深入至底層的埋入絕緣層裡，因此每一構造的电晶體在該淺擴散區底下都仍有一電流路徑能將其連接至該共同的體電壓接觸。所以，較佳的 SOI 結構是一種包含多 FET(包含於一 SOI 表面層之內)所共用之連續體的混合結構，加至共用體之偏壓因此能提供所有共用該體之所有 FET 所需要的偏壓，在本發明中所描述的實施例中 142NC,144NC,146NC 及 148C 即被施予相同的偏壓。

這與習知技術的作法不同。習知技術降低 SOI 元件中基體效應的作法之一是形成體接觸區至一延伸至一或多元件閘極底下之導電區或擴散區，其中導電區的導電的導電形態與同一原件中的源極/汲極區 118 相反。不過，這種加入體接觸區的作法會大大增加胞的大小，即以增大體積

五、發明說明()

(密度)的作法來換取較佳的性能。其它習知技術的方法還包含形成蕭特基(Schottky)阻障二極體以與通道接觸(如在其側邊與通道接觸)。這種加入蕭特基二極體的作法雖然較沒有面積增大的問題,但其卻會有使原本已經複雜的SOI製程變得更加困難複雜。這種作法的其中一例可見於Jeffery W. Sleight所發表之"DC and Transient Characterization of a Compact Schottky Body Contact Technology for SOI Transistors", IEEE transactions on Electron Devices, Vol. 46, No.7, July 1999, PP.1451-6中的內容。

若欲了解現行將體接觸區加至一對相鄰之FET(特別是在一感測放大器中的FET)的作法,吾人可自行參閱Mandelman等人於美國專利申請案"A Pair of FET Including A Shared SOI Body Contact And The Method of Forming The FET"(代理人代號FI9-99-219US1;申請日1999年12月14日),其中該案並受讓予本案之受讓人。Mandelman等人於該案中所提出者為一種元件對所需的體接觸區,特別是對於動態RAM(DRAM)感測放大器之元件對所用之體接觸區。在該種結構中,元件寬度範圍之一部份都作為一對元件之體接觸部份用;源極/汲極擴散區被阻隔而不能形成在體接觸區之內,以利用其它的元件寬度範圍(密度)來換取較佳的穩定度與性能。這種方法雖然對佔整個晶片/巨集區之一部份的元件(如感測放大器)來說是可接受的,但以Mandelman等人的方法用於SRAM胞元件

五、發明說明 ()

中時卻很容易增大胞的大小，巨集區或晶片的大小也就因此增大。

第 3A-D 圖所示為 SRAM 的一例，其中包含有較佳實施例之 NFET。第 3A 圖顯示者為較佳 SRAM 胞 160 之平面圖(並未以實際比例示出)，而第 3B-D 圖所示者則為該 SRAM 胞 140 的剖面圖。在該實施例中，SRAM 胞 160 與第 2 圖所示之 SRAM 胞 140 在圖面上相同，其中通道節點 102NC, 104NC, 106C 及 108C 連接至地端，而通道節點 102PC, 104PC 則浮接。因此，該 SRAM 胞 160 包含有一對交叉耦合之 CMOS 反相器 162 及 164(即相對於第 2 圖中的反相器 142, 144)及一對通道電晶體 166, 168(即相對於第 2 圖之電晶體 146, 148 者)，其中後兩者 166, 168 位於前者 162, 164 及位元線 170, 172 之間，其中位元線 170, 172 即相對於第 2 圖之位元線 150, 152 者。此外，通道電晶體 166, 168 為多晶矽字元線 174 所驅動，其中後者 174 即相對於第 2 圖之字元線 154 者。

在該實施例之平面圖示中，胞間線及整體共用線為簡化圖面之故而未予顯示(如整體共用位元線、地端及 V_{hi})。此外，各獨立元件可由具有圖案化之多晶矽 180, 182 及 184 的矽島域 176, 178 交接處來辨識；P 型擴散區罩 188 及 N 型體植入區罩 190, 192(即用作為 P 型 FET 通道剪裁用者)即為 PFET 元件區所在之處；矽導域 178 為多邊形 194、N 型植入塊罩 192 及圖案化多晶矽形狀 180 所界定之區域為一在相鄰處之相同胞 160(如在一 SRAM 陣列中者)的各部

五、發明說明()

份。每一胞中都包含有一單一 V_{hi} 接觸區 196 及一不共用地接觸區 198，且每一者都與鄰近胞共用地接觸區 200。接觸區 202P 及 204N 由胞內部之線路(未顯示)連接至其相對應之接觸區 202P 及 204P 而分別形成反相器 162 及 164 之輸出，並連接至經圖案化之多晶矽 182 及 184 而交越耦合反相器 162,164。

經由第 3b 圖之說明更能了解其中的原理。該圖中，所示者為從線 B-B 處往矽島域 178 看去之胞 160 剖面圖，反相器 162 及 164 中的元件(第 3B 圖中的 N 個元件)係由經圖案化之閘極晶矽 182 及 184 與矽島域 178 及 176 之交越形成的，且該經圖案化之多晶矽 182,184 以由一層導電材料(包含一薄金屬或矽化物)製成為佳，其中後者在必要實可以省略。為顧及胞之穩定性、密度及便利性等因素，NFET 142N,144N 被形成為一對相同的平行元件，其中每一者都共用一地/輸出接觸區 198,200,202N,204N；PFET 142P,144P 則共用 V_{hi} 接觸區 196，並位於 V_{hi} 接觸區 196 及一相對之輸出接觸區 202P,204P 之間。當了解的是，FET 142N,142P,144N 及 144P 的每一者都可為一指狀元件，且指狀數目可為任意，都屬於本發明之範圍內。通道電晶體 166,168 被形成在字元線 74 與矽島域 178(位於輸出接觸區 202N,204N 及線接觸區 170,172 之間者)之交越處。

此外，每一較佳實施例之 FET 都包含至少一源極/汲極擴散區 206,208，其中該兩區 206,208 都未深入 P 型表面矽層 210 之整個深度之內，因此該 NFET 通道之 P 型

五、發明說明()

基體各自都不為源極/汲極擴散區所隔離，而在矽層 210 之內在電性上互相連接。此外，一箭頭 211 所指之路徑形成於淺源極/汲極擴散區 206,208 之下及 BOX 層 212 之上，並與元件之通道相接。

請參閱第 3C 圖。圖中所示為從第 3A 圖之線 C-C 看去之剖面圖，其中一體接觸區接至一偏壓，而該偏壓用以對沿該路徑 211 之通道加以偏壓。該體接觸區是由一薄金屬層(如一矽化物層)214 在淺擴散區 208 從共用地接觸區延伸至一 P 型擴散區 216 而形成的，其中該薄金屬層 214 為淺 N 型擴散區 208 及 P 型擴散區 216 之一歐姆接觸區，其使所形成之 PN 接面短路。因此，P 型擴散區 216 將地接觸區 200 連接至胞之 NFET 的 P 型基體路徑 211，如此便在該兩遮間形成一電流路徑。因此，所有四個 NFET 體接觸端 142NC,144NC,146C 及 148C 都經由 P 型擴散區 216 連接至地端，因此較佳實施例之胞的局部基體效應相較於習用 SDRAM 胞者而言可說是大大被降低了。

第 3D 圖所示為從線 D-D 看去之剖面圖，由該圖可知基體效應也同樣被降低了，因為通道電晶體 166,168、及其通道都因在 P 型擴散區 216 處與地端連接而被偏壓。在該例中，位元線擴散區 218 與淺擴散區 206,208 不同的地方在於其延伸在表面矽層 210 之整個厚度上，因此該位元線擴散區 218 能夠降低胞電容、並使胞 160 與一鄰近共用同一位元線擴散區/接觸區(未顯示)之字元線上的胞隔開這是一般性的作法。如此與源極/汲極擴散區 218 之隔離設

五、發明說明()

計得以使可能從作用胞傳至鄰近字元線上未被作用之胞的干擾減至最低，不過所有的擴散區都可選擇性給相同的深度，即擴散區 206 及 208 之深度可以選擇為相同者。

第 3A-D 圖之淺擴散區結構的形成係藉由下列所述逼般 SOI 步驟為之，不過卻沒有源極/汲極擴散區的步驟。因此，在一層晶圓形成並在該晶圓上界定閘極區之後淺源極/汲極區就被界定範圍並形成源極/汲極區，包括形成淺源極/汲極區及深源極/汲極區(在需要形成時)。在第一實施例中，淺擴散區的形成可由下列步驟形成：先進行植入而形成一典型的輕摻雜擴散區，如一般被稱作輕摻雜汲極者(LDD)；維持淺接面之源極/汲極擴散區被加以遮罩；接著一般之深源極/汲極區(如位元線擴散區或體接觸區)被形成在未經遮罩的區域中。在第二實施例中，淺擴散區加以第二植入而形成較一般 LDD 擴散層植入稍深的擴散區；接著在第一實施例進行的步驟之後對淺擴散區加以遮罩，並將一般深源極/汲極區形成在未加遮罩之區域內。更特定說來，當利用第一實施例形成單一 LDD 擴散層對於矽化物來說為太淺時，第二實施例之方法為其中較佳者。

不過，任何能形成第 3A-D 圖之結構的適用製程步驟皆可替代使用之。此外，第 3A-D 圖所示之例雖顯示體接觸區雖只供 NFET 用，但當了解設體接觸區也可供 PFET 用，其作法是加入形成這種接觸區的適當步驟，其中這種接觸區位於 V_{hi} 及一深 N 型擴散區之間，而後者是與 PFET 之通道的 N 型體相接觸。

五、發明說明()

第 4 圖所示為一 SRAM 陣列之一部份 220，其中 SRAM 陣列可為一 SRAM 巨塊體或晶片等。在該例中，該陣列部份 220 包含四個較佳實施例胞 222, 224, 226, 228，這些胞就像第 3A-D 圖例中之胞 160 一般，即每一胞都與鄰近共用同一字元線 174 之胞 160 共用一體接觸區 216。此外，另外的體接觸區 216 也可以週期性之方式加在沿 n 個胞 160 間的字元線處，如加在一子陣列之邊緣處，或也可將任何被稱作線胞(stitch cells)者皆可加入其中。

請再參閱第 4 圖，其中共用體接觸區 216 可在邊際上增加胞之面積。為更進一步增加胞陣列密度，可選擇性加以較少之體接觸區 216，如可加在兩相隔之胞 160 間或每 n 對相鄰的胞間等。此外，在體接觸區出現於兩相間隔之胞對間時，相鄰胞 160 所共用之地端接觸區 200 可在與體接觸區 216 與深擴散區(如 218)相接之擴散區 208 之間交替出現。

當了解的是較佳實施例電晶體並不僅限於 SRAM 陣列中者，這樣的電晶體實則可用於任何需要使高性能 FET 能對稱性良好者中。舉例而言，現行感測放大器的交叉耦合電晶體對一般必須是兩相均衡者，其也必須要能感測最終訊號以外的訊號(電位差)。由於該種訊號為時變者，因此感測器對於愈小的電位差愈收感測之準確性，故而在該感測放大器電晶體間的任何差異都會增大感測所需之訊號強度，感測之準確度也就因此下降。因此，RAM 設計者都能明確了解感測電晶體之間具有完全相同的特性是相

五、發明說明()

當重要的，即一般所稱之匹配或均衡電晶體對。故而，在設計一對均衡電晶體對時必須要謹慎，以確保每一電晶所受到週圍之影響能與其成對之另一電晶體相同。利用習知 SOI 電晶體所製成之感測放大器容易有不均衡現象，其局部基體效應在利用較佳實施例之 SOI CMOS 對時可近乎消除。

因此，根據本發明之較佳實施例所形成之 SOI RAM 胞很明顯更能消滅局部基體效應帶來的影響。此外，將較佳實施例之 FET 加入週邊電路中(如嗶入感測放大器中)時，更可帶來外加的改良效應，而利用較佳實施例之 FET 所形成的邏輯也可因基體效應得到改善而受益。

上述之說明僅為本發明中的較佳實施例，而非用以限定本發明之範圍，故利用這些實施例所進行的修改或更動都不脫離在所附專利範圍所言明之範圍外，本發明之範圍當以後述的專利申請範圍為基準。

四、中文發明摘要 (發明之名稱：)

具有共用體接觸窗之絕緣層上有矽場效電晶體

本發明所揭示者為一種具有共用體接觸區之絕緣層上有矽(SOI)場效電晶體(FET)、包含此種SOI FET的SRAM胞陣列及形成此種SOI FET之方法。該種SRAM胞具有SOI/塊材混合結構，其中源極/汲極擴散區之深度不深及底層之絕緣層，這使得一FET形成在一SOI層之表面中，而基體或基底接觸區則形成在一共用接觸區處。FET形成在SOI矽島域上，其中各SOI矽島域位於一BOX層上，並為淺溝渠隔離(STI)所隔開。SRAM胞中的NFET島域包含一體接觸區，其位於該NFET島域中之一P型擴散區中；

英文發明摘要 (發明之名稱：)

SILICON ON INSULATOR FIELD EFFECT TRANSISTORS HAVING SHARED BODY CONTACTS

Silicon on insulator (SOI) field effect transistors (FET) with a shared body contact, a SRAM cell and array including the SOI FETs and the method of forming the SOI FETs. The SRAM cell has a hybrid SOI/bulk structure wherein the source/drain diffusions do not penetrate to the underlying insulator layer, resulting in a FET in the surface of an SOI layer with a body or substrate contact formed at a shared contact. FETs are formed on SOI silicon islands located on a BOX layer and isolated by shallow trench isolation (STI). NFET islands in the SRAM cells include a body contact to a P-type diffusion in the NFET island. Each NFET in the SRAM cells include at least one shallow source/drain diffusion that is shallower than the island thickness. A path remains under the shallow diffusions between NFET channels and the body contact. The P-type body contact diffusion is a deep diffusion, the full thickness of the island. Bit line diffusions shared by SRAM cells on adjacent wordlines may be deep diffusions.

第1頁

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄

四、中文發明摘要(發明之名稱:)

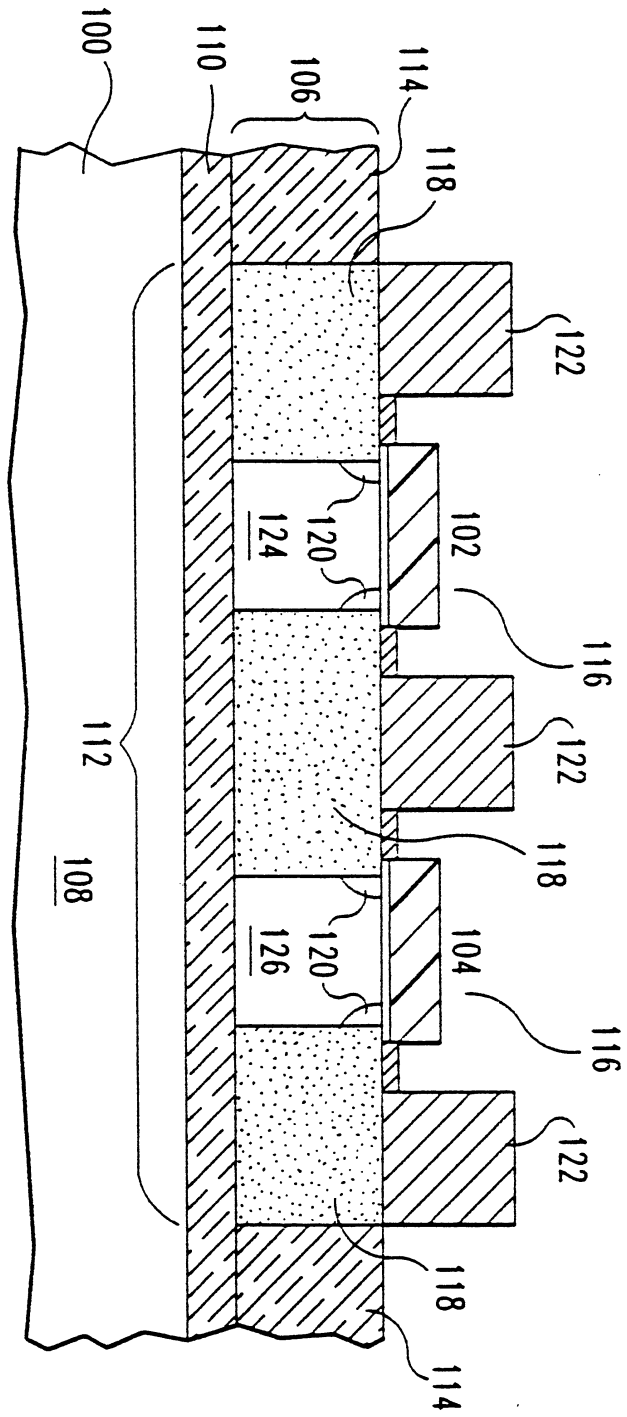
SRAM 胞之每一 NFET 則包含至少一淺源極/汲極擴區，該擴散區淺於島域之厚度，因此一路徑仍位於 NFET 通道及體接觸區間之淺擴散區之下。該 P 型體接觸擴散區為一深擴散區，其佔有島域之整個厚度，而相鄰字元線上之 SRAM 胞所共用的位元線擴散區亦可為深擴散區。

英文發明摘要(發明之名稱:)

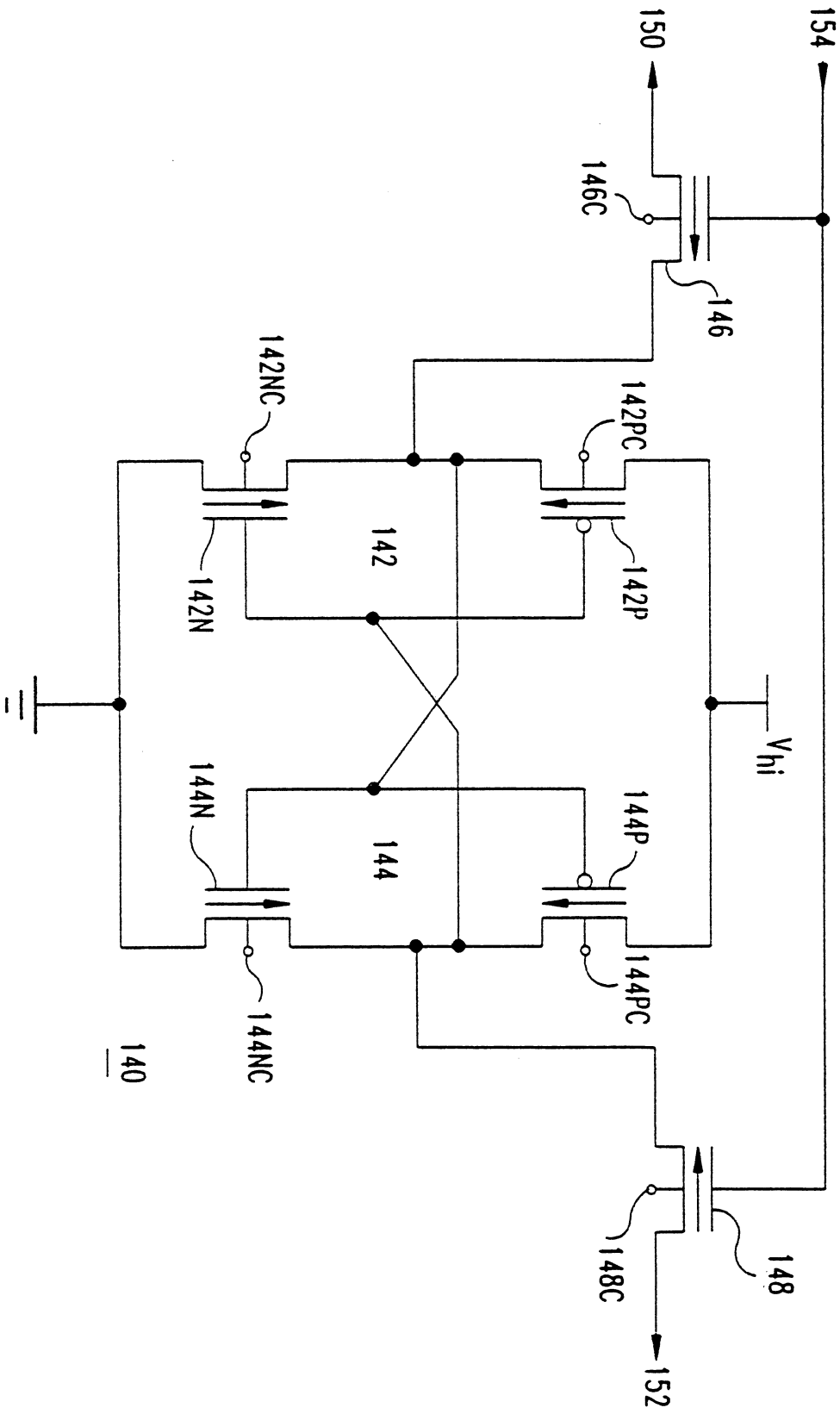
(請先閱讀背面之注意事項再填寫本頁各欄)

裝

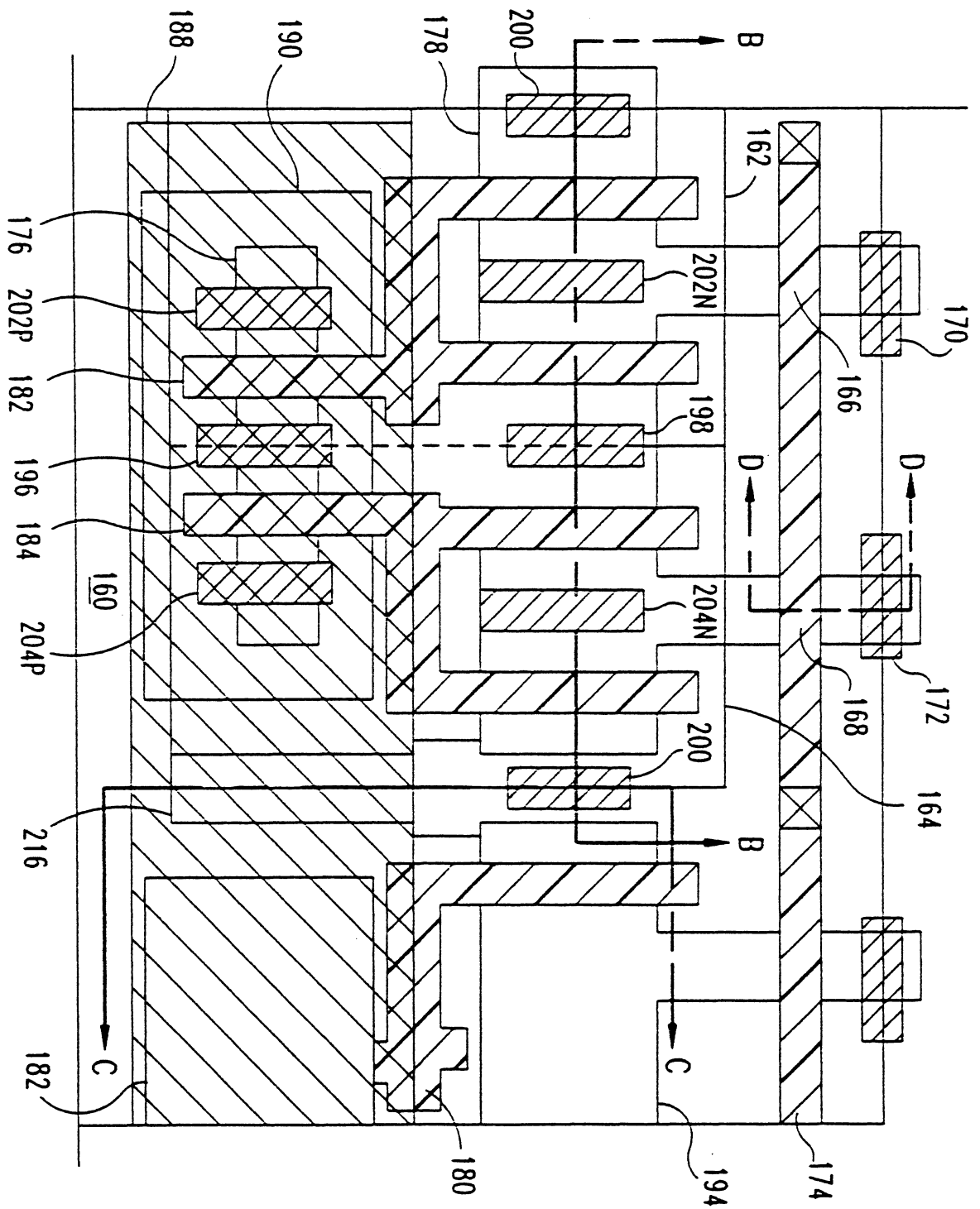
訂

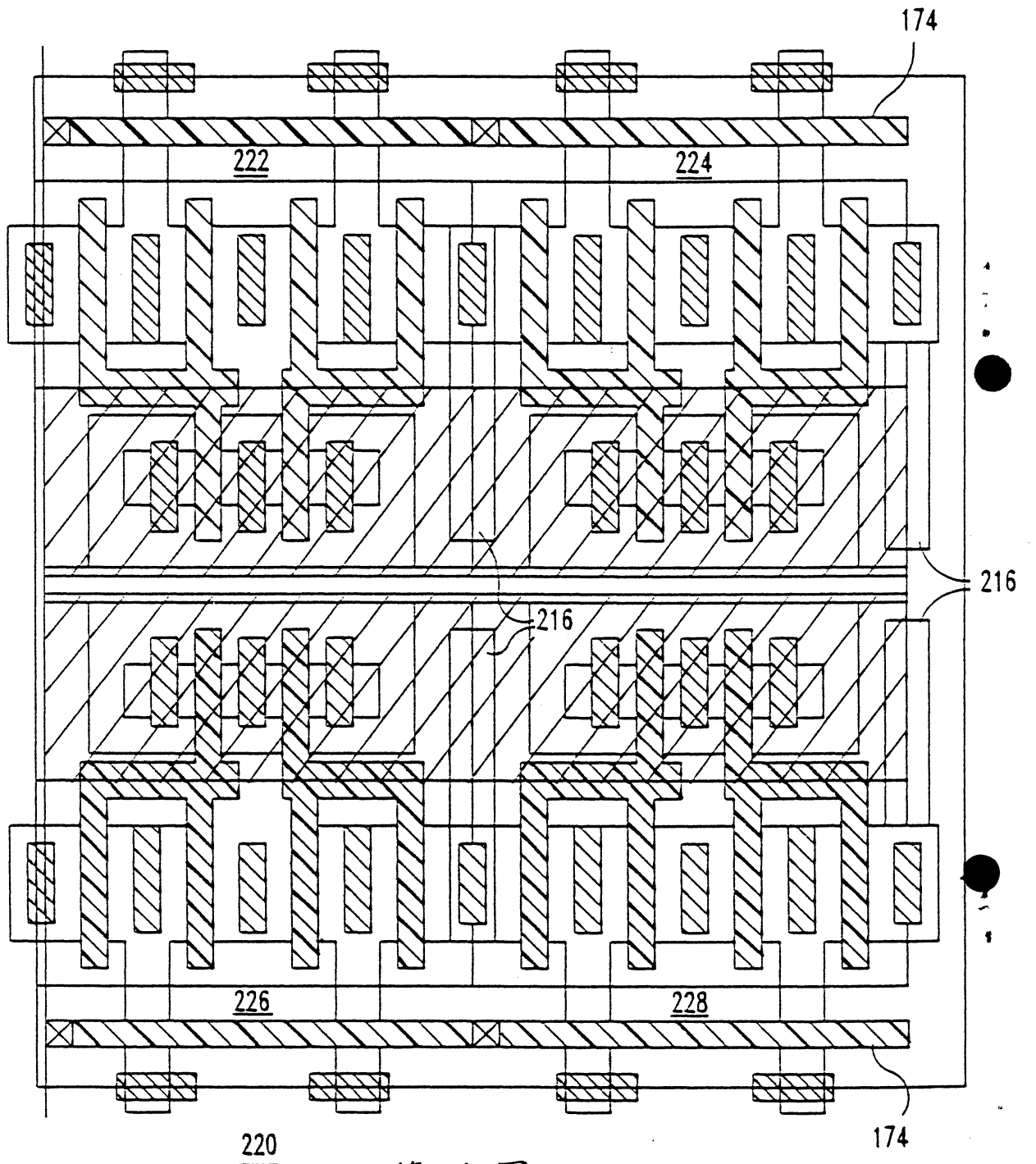


第 1 圖



第 2 圖





第 4 圖

(請先閱讀背面之注意事項再填寫本頁)

六、申請專利範圍

1. 一種場效電晶體(FET)，該電晶體至少包含：
 - 一半導體島域，位於一介電層；
 - 一導電端，位於該半導體島域之上；
 - 一導電區，位於該導電端之一側；
 - 一體接觸區，位於該島域之上，至少一該導電區為淺區域，該淺區域淺至足以使該體接區與該閘極下之一通道區相接。
2. 如申請專利範圍第1項所述之FET，其中該半導體島域為一矽島域，位於一絕緣層上有矽(SOI)晶片之一埋入式氧化層(BOX)上。
3. 如申請專利範圍第2項所述之FET，其中該導電端為該FET之閘極，而該導電區為源極/汲極擴散區，其中該導電區並延伸進入該矽島域內之該BOX層上之一點處，以使該體接觸區與該淺源極/汲極擴散區下之該通道區相接。
4. 如申請專利範圍第3項所述之FET，其中該體接觸區包含一第一導電類型之擴散區，而該源極/汲極區則屬於第二導電類型。
5. 如申請專利範圍第4項所述之FET，其中該矽島域屬於該第一導電類型，而該體接觸擴散區延伸通過該矽島域

六、申請專利範圍

並至該 BOX 層。

6. 如申請專利範圍第 5 項所述之 FET，其中該體接觸區與一該淺源極/汲極擴散區相鄰，該體接觸擴散區與該相鄰之淺源極/汲極區相接。
7. 一種半導體電路，包含複數個如申請專利範圍第 5 項所述之 FET，其中該複數個 FET 之兩或多者共用一共用體接觸區。
8. 如申請專利範圍第 7 項所述之電路，其中該兩或多個 FET 之至少一者的源極/汲極擴散區為淺源極/汲極擴散區，該淺源極/汲極區之一者與該兩或多個 FET 之另一者共用，該共用體接觸擴散區與該至少一 FET 之其它淺源極/汲極擴散區相鄰，該體接觸擴散區與該相鄰之淺源極/汲極區相接。
9. 如申請專利範圍第 8 項所述之電路，其中該電路為一 SRAM 胞，而該複數個 FET 為四個 NFET，該第一導電類型為 P 型，而該第二導電類型為 N 型。
10. 如申請專利範圍第 9 項所述之電路，其中該剩餘之兩 NFET 的每一者都為胞通道閘，該胞通道閘之每一者的源極/汲極擴散區為一位元線擴散區，且每一該位元線擴

六、申請專利範圍

散區都延伸通過該矽島域之整個厚度上，並往下延伸至與該 BOX 層接觸。

11. 一種絕緣層上有矽(SOI)記憶陣列，該記憶陣列包含複數個靜態記憶胞，該靜態記憶胞之每一者都含複數個場效電晶體(FET)，該 SOI 記憶陣列至少包含：

一矽島域，位於一氧化物層上；

一閘極，位於一通道之上，該閘極位於該矽島域之一上表面上；

一對源極/汲極擴散區，位於該通道之任一端處，該閘極位於該對源極/汲極擴散區之間，該對源極/汲極擴散區之至少一者為一淺擴散區，該淺擴散區從該上咬面延伸至該氧化層上之一點處；及

一體接觸區，與該島域相接觸，一體偏壓路徑形成在該淺擴散區下之該體接觸區至該通道上。

12. 如申請專利範圍第 11 項所述之 SOI 記憶陣列，其中該體接觸區至少包含一具有第一導電型態之體接觸擴散區，該體接觸擴散區為一擴散區，並延伸在該矽島域之整個厚度上，且其中該源極/汲極擴散區屬於第二導電型態。

13. 如申請專利範圍第 12 項所述之 SOI 記憶陣列，其中該體接觸區與一淺擴散區相鄰，並被短路至該鄰近之淺擴

六、申請專利範圍

散區。

14. 如申請專利範圍第 13 項所述之 SOI 記憶陣列，其中該靜態記憶胞為 SRAM 胞，且該至少一 FET 為兩或多個 NFET，該體接觸擴散區屬於 P 型擴散區。

15. 如申請專利範圍第 14 項所述之 SOI 記憶陣列，其中在該 SRAM 胞之每一者中的兩或多個 NFET 之兩者為通道閘極電晶體，該通道閘極電晶體連接在一對交叉耦合之反相器及一對位元線之間。

16. 如申請專利範圍第 15 項所述之 SOI 記憶陣列，其中該通道閘極電晶體之每一者的一源極都是深擴散區。

17. 如申請專利範圍第 16 項所述之 SOI 記憶陣列，其中該 SRAM 胞之通道閘極共用相同之該位元線，且在相鄰字元線上共用該深擴散區，該被共用之深擴散區具有與該相鄰胞共用之位元線。

18. 如申請專利範圍第 17 項所述之 SOI 記憶陣列，其中該兩或多個 NFET 為四個 NFET，該四個 NFET 共用一體接觸區。

19. 如申請專利範圍第 18 項所述之 SOI 記憶陣列，其中該

六、申請專利範圍

SRAM 胞之每一者都是一六個電晶體的 SRAM 胞。

20. 一種絕緣層上有矽(SOI)晶片，該晶片包含一 SRAM 胞陣列，其中該 SRAM 胞之每一者皆至少包含：

一對交叉耦合之 CMOS 反相器，位於一氧化層上之一表面矽層之內，該表面矽層經圖案化後形成複數個矽島域，其中每一反相器皆包含一在第一島域上之 NFET 及一在第二島域上之 PFET；

一對 NFET 通道閘極，位於該第一島域上，其中該第一島域選擇性將一對位元線耦合至該對交叉耦合之反相器處；及

一體接觸區，與該第一島域相接觸，其中該第一島域連接至一偏壓，該 NFET 之每一者都具有至少一源極/汲極擴散區，該至少一源極/汲極擴散區淺於該表面層，且該 NFET 之每一者的通道都經由一路徑而連接至該偏壓，其中該路徑位於該淺源極/汲極擴散區之下，而該淺源極/汲極擴散區則位於該 NFET 通道及該體接觸區之間。

21. 如申請專利範圍第 20 項所述之 SOI 晶片，其中該對位元線之每一者都連接至在深擴散區之該對 NFET 通道閘極，其中該深擴散區之深度即為該表面層之厚度，該 NFET 通道閘極之一第二源極/汲極擴散區為深擴散區。

22. 如申請專利範圍第 21 項所述之 SOI 晶片，其中該體接

六、申請專利範圍

觸區與一 P 型深擴散區相接觸。

23. 如申請專利範圍第 22 項所述之 SOI 晶片，其中該 SRAM 胞之通道閘極共用該相同之位元線，且在相鄰字元線上共用該深擴散區，該被共用之深擴散區具有與該相鄰胞具有共用之位元線。

24. 一種形成一絕緣層上有矽(SOI)靜態隨機記憶體(SRAM)之方法，該方法至少包含下列步驟：

a) 形成一埋入式氧化層(BOX)，形成於一矽晶圓之內該 BOX 層將一表面矽層與一矽基底隔開；

b) 從該矽表面層形成矽島域；

c) 形成閘極於該矽島域上；

d) 形成淺擴散區於複數個該閘極旁，淺擴散區從該矽表面層之一上表面延伸至該 BOX 層上之一點處；及

e) 形成一體接觸擴散區於複數個該島域之內。

25. 如申請專利範圍第 24 項所述之形成一 SOI SRAM 的方法，其中該淺擴散區為 N 型擴散區，而該體接觸擴散區為 P 型擴散區。

26. 如申請專利範圍第 25 項所述之形成一 SOI SRAM 的方法，其中該步驟 d) 更包含下列步驟：

i) 將一淺擴散區植子植進複數個該矽島域；

六、申請專利範圍

ii) 形成一阻擋遮罩於該複數個矽島域之某些部份上；

iii) 將一深擴散區植子植進該複數個島域之未被該阻擋遮罩所覆蓋之區域中；及

iv) 使被植入之摻雜物、淺擴散植子及深擴散植子擴散而合併形成深擴散區。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線