



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0128875
(43) 공개일자 2021년10월27일

- | | |
|---|---|
| <p>(51) 국제특허분류(Int. Cl.)
G11C 11/4093 (2021.01) G11C 11/408 (2006.01)</p> <p>(52) CPC특허분류
G11C 11/4093 (2018.05)
G11C 11/4082 (2013.01)</p> <p>(21) 출원번호 10-2020-0069030</p> <p>(22) 출원일자 2020년06월08일
심사청구일자 2020년06월08일</p> <p>(30) 우선권주장
1020200046644 2020년04월17일 대한민국(KR)</p> | <p>(71) 출원인
인하대학교 산학협력단
인천광역시 미추홀구 인하로 100(용현동, 인하대학교)</p> <p>(72) 발명자
변경수
서울특별시 서초구 도구로 73, 801호(방배동, 대성아파트)</p> <p>(74) 대리인
양성보</p> |
|---|---|

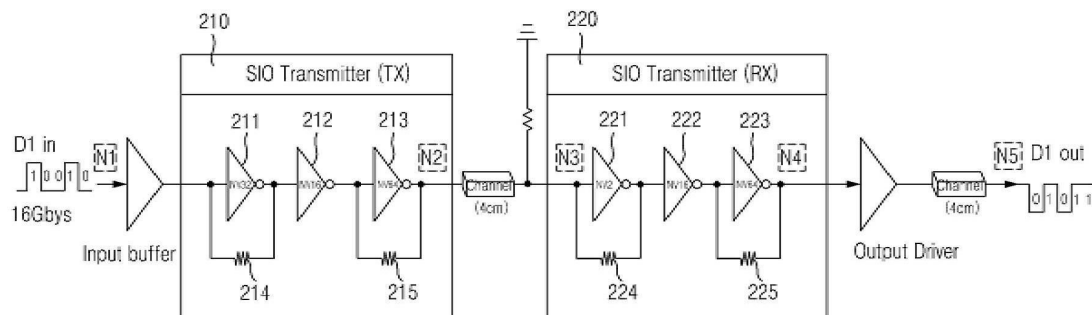
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스 시스템

(57) 요약

액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스 시스템이 제시된다. 본 발명에서 제안하는 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스 시스템은 세 개의 인버터와 두 개의 저항을 포함하는 송신부 및 세 개의 인버터와 두 개의 저항을 포함하고, 세 개의 인버터의 크기는 순차적으로 증가하는 수신부를 포함하고, 각 스택의 수신부는 ASB(Active Signal Boosting)로 구성되고, 능동 인덕터(active inductor)를 사용하는 ASB에 의해 이득 주파수 대역을 확장시킨다.

대표도



명세서

청구범위

청구항 1

세 개의 인버터와 두 개의 저항을 포함하는 송신부; 및

세 개의 인버터와 두 개의 저항을 포함하고, 세 개의 인버터의 크기는 순차적으로 증가하는 수신부를 포함하고,

각 스택의 수신부는 ASB(Active Signal Boosting)로 구성되고, 능동 인덕터(active inductor)를 사용하는 ASB에 의해 이득 주파수 대역을 확장시키는

고 대역폭 근사-임계 3D HBM 인터페이스 시스템.

청구항 2

제1항에 있어서,

송신부는,

음성피드백의 효과를 위해 첫 번째 단의 인버터와 마지막 단의 인버터에 저항을 병렬 연결하는

고 대역폭 근사-임계 3D HBM 인터페이스 시스템.

청구항 3

제2항에 있어서,

송신부는,

첫 번째 단의 인버터는 저항과 병렬 연결하여 증폭기의 대역폭을 증가시켜 고속 데이터를 수신하고,

두 번째 단의 인버터는 첫 번째 단을 거치면서 감쇄된 데이터의 크기를 다시 증폭시키고,

마지막 단의 인버터는 첫 번째 단의 저항보다 작은 저항과 병렬 연결하고, 데이터가 채널을 거쳐 수신부로 전송되도록 하는

고 대역폭 근사-임계 3D HBM 인터페이스 시스템.

청구항 4

제1항에 있어서,

수신부는,

음성피드백의 효과를 위해 첫 번째 단의 인버터와 마지막 단의 인버터에 저항을 병렬 연결하는

고 대역폭 근사-임계 3D HBM 인터페이스 시스템.

청구항 5

제4항에 있어서,

수신부는,

감쇄된 데이터의 크기를 차례로 증폭시키기 위해 순차적으로 증가하는 크기의 인버터를 갖는

고 대역폭 근사-임계 3D HBM 인터페이스 시스템.

청구항 6

제5항에 있어서,

수신부는,

첫 번째 단의 인버터는 저항과 병렬 연결하여 증폭기의 대역폭을 증가시켜 고속 데이터를 수신하고,

두 번째 단의 인버터는 첫 번째 단을 거치면서 감쇄된 데이터의 크기를 다시 증폭시키고,

마지막 단의 인버터는 첫 번째 단의 저항보다 큰 저항과 병렬 연결하여 데이터를 복구시키는

고 대역폭 근사-임계 3D HBM 인터페이스 시스템.

청구항 7

세 개의 인버터와 두 개의 저항을 포함하는 송신부를 통해 데이터를 송신하는 단계; 및

세 개의 인버터와 두 개의 저항을 포함하고, 세 개의 인버터의 크기는 순차적으로 증가하는 수신부를 통해 데이터를 수신하는 단계

를 포함하고,

각 스택의 수신부는 ASB(Active Signal Boosting)로 구성되고, 능동 인덕터(active inductor)를 사용하는 ASB에 의해 이득 주파수 대역을 확장시키는

고 대역폭 근사-임계 3D HBM 인터페이스의 데이터 송수신 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스 시스템에 관한 것이다.

배경 기술

[0002] 반도체공정 및 회로기술의 비약적으로 발달함에 따라, DRAM 칩의 대역폭이 크게 증가하였으며, 데이터의 전송방식도 꾸준히 발전하고 있다. 메모리 대역폭의 증가는 입출력 인터페이스 회로의 동작속도와 직접적으로 연관을 가지며, 입출력 인터페이스 회로의 동작속도는 신호 채널의 신호 무결성과 송수신 회로의 타이밍 마진 등에 의해 결정된다.

[0003] 종래기술에 따른 멀티 드롭 메모리 인터페이스의 RX 구조는 시리얼 인버터(Serial Inverter)에 피드백 저항(Feedback Resistor)이 포함된다. 이러한 구조는 채널의 수가 많아질수록 성능이 급격히 감소하며 HBM의 장점인 고대역 데이터 전송의 구현이 불가능하게 된다. 따라서, 채널의 수가 증가할수록 높은 대역폭의 데이터 전송이 불가해지는 문제를 해결하기 위한 방안을 필요로 한다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 이루고자 하는 기술적 과제는 ASB(Active signal boosting) 방법을 통해 고성능 그래픽스 가속기와 네트워크 장치간의 결합을 하기 위한 장치로 쓰이는 HBM(High Bandwidth Memory)의 성능을 개선하고 기존 방식의 아키텍처보다 더 많은 스택 수의 HBM 구현을 가능하게 하는 제공하는데 있다.

과제의 해결 수단

[0005] 본 발명이 이루고자 하는 기술적 과제는 ASB(Active signal boosting) 방법을 통해 고성능 그래픽스 가속기와 네트워크 장치간의 결합을 하기 위한 장치로 쓰이는 HBM(High Bandwidth Memory)의 성능을 개선하고 기존 방식의 아키텍처보다 더 많은 스택 수의 HBM 구현을 가능하게 하는 제공하는데 있다.

발명의 효과

[0006] 본 발명의 실시예들에 따르면 ASB(Active signal boosting)는 능동소자로의 인덕터를 사용하여 수동소자로의 인덕터보다 물리적인 크기를 획기적으로 줄일 수 있으며 설계 파라미터 값에 따라 대역폭을 조정할 수 있다. 따라서 ASB는 HBM(High Bandwidth Memory) 설계에 높은 에너지효율과 넓은 대역폭 솔루션을 제공할 수 있다.

도면의 간단한 설명

- [0007] 도 1은 종래기술에 따른 DRAM의 구조를 나타내는 도면이다.
- 도 2는 본 발명의 일 실시예에 따른 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스 시스템의 구성을 나타내는 도면이다.
- 도 3은 본 발명의 일 실시예에 따른 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스의 데이터 송수신 방법을 설명하기 위한 흐름도이다.
- 도 4는 본 발명의 일 실시예에 따른 고 대역폭 근사-임계 3D HBM 인터페이스의 레이아웃을 나타내는 도면이다.
- 도 5는 본 발명의 일 실시예에 따른 고 대역폭 근사-임계 3D HBM 인터페이스의 개선된 계인 및 대역폭을 설명하기 위한 도면이다.
- 도 6은 본 발명의 일 실시예에 따른 고 대역폭 근사-임계 3D HBM 인터페이스의 각 노드에서의 파형을 나타내는 도면이다.
- 도 7은 본 발명의 일 실시예에 따른 SIO의 아이디어그램을 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0008] 본 발명은 액티브 신호 부스팅(Active Signal Boosting; ASB) 방법을 통해 고성능 그래픽스 가속기와 네트워크 장치간의 결합을 하기 위한 장치로 쓰이는 HBM(High Bandwidth Memory)의 성능을 개선하고 기존 방식의 아키텍처보다 더 많은 스택 수의 HBM 구현을 가능하게 한다. ASB는 능동소자로의 인덕터를 사용하여 수동소자로의 인덕터보다 물리적인 크기를 획기적으로 줄일 수 있으며 설계 파라미터 값에 따라 대역폭을 조정할 수 있다. 따라서 ASB는 HBM 설계에 높은 에너지효율과 넓은 대역폭 솔루션을 제공한다. 이하, 본 발명의 실시 예를 첨부된 도면을 참조하여 상세하게 설명한다.
- [0010] 도 1은 종래기술에 따른 DRAM의 구조를 나타내는 도면이다.
- [0011] 도 1(a)는 2D P2P(point-to-point) 및 멀티-드롭(Multi-Drop; MD) 구조를 나타내는 도면이고, 도 1(b)는 3D P2P 및 MD I/O 인터페이스를 나타내는 구조이고, 도 1(c)는 전압 모드 2D 전송 라인의 단순화된 회로도를 나타내는 도면이다.
- [0012] 도 1은 종래기술에 따른 DRAM의 일반적인 구조로서의 P2P 멀티-드롭 방식과 3D 스택 방식의 HBM 토폴로지를 나타낸다. 기존의 멀티-드롭 메모리 인터페이스의 RX 구조는 시리얼 인버터에 피드백 저항이 포함되어 있다. 이러한 구조는 채널의 수가 많아질수록 성능이 급격히 감소하며 HBM의 장점인 고대역 데이터 전송의 구현이 불가능하게 된다. 따라서 본 발명에서는 채널의 수가 증가할수록 높은 대역폭의 데이터 전송이 불가해지는 문제를 해결하기 위해 각 스택 수신단의 구조를 ASB로 구성한다. ASB는 능동 인버터(active inductor)를 사용하여 이득 주파수 대역을 획기적으로 확장시킨다.
- [0014] 도 2는 본 발명의 일 실시예에 따른 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스 시스템의 구성을 나타내는 도면이다.
- [0015] 본 발명은 메모리의 성능을 극대화하기 위하여 기존에 사용되는 HBM 토폴로지와는 달리 수신부의 구성을 ASB 토폴로지를 이용하였다. ASB는 다량의 멀티-드롭(multi-drop) 구조에서도 빠른 데이터 전송 속도와 높은 신뢰성을 확보할 수 있다.
- [0016] 제안하는 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스 시스템은 송신부(210) 및 수신부(220)를 포함한다.
- [0017] 송신부(210)는 세 개의 인버터(211, 212, 213)와 두 개의 저항(214, 215)을 포함한다. 송신부(210)는 음성피드백의 효과를 위해 첫 번째 단의 인버터(211)와 마지막 단의 인버터(213)에 각각 저항(214, 215)을 병렬 연결한다.
- [0018] 송신부(210)는 첫 번째 단의 인버터(211)에 저항(214)을 병렬 연결하여 증폭기의 대역폭을 증가시켜 고속 데이

터를 수신한다. 그리고, 두 번째 단의 인버터(212)는 첫 번째 단을 거치면서 감쇄된 데이터의 크기를 다시 증폭시킨다. 마지막 단의 인버터(213)는 첫 번째 단의 저항(214)보다 작은 저항(215)과 병렬 연결하고, 데이터가 채널을 거쳐 수신부(220)로 전송되도록 한다.

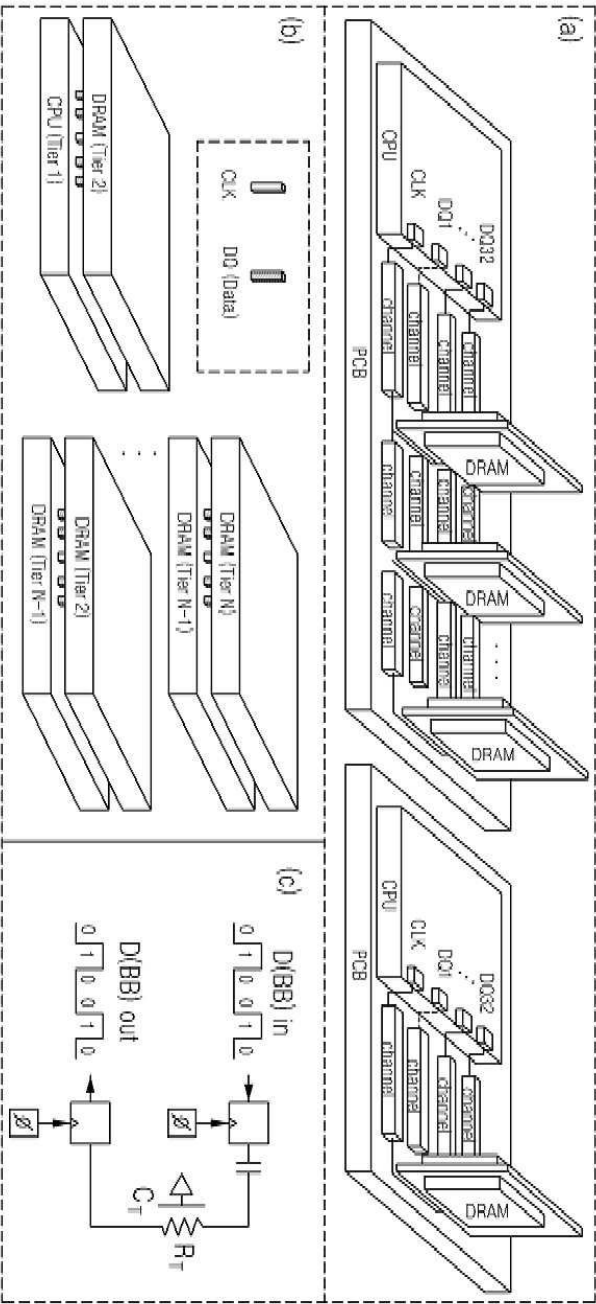
- [0019] 본 발명의 실시예에 따르면, 첫 번째 인버터(211)는 10k의 저항(214)과 병렬 연결하여 증폭기의 대역폭을 넓혀 빠른 속도의 데이터를 받을 수 있다. 두 번째 인버터(212)는 적당한 크기의 저항을 사용하여 조금 감쇄한 데이터의 크기를 다시 증폭시킬 수 있다. 마지막 인버터(213)의 크기는 증가시키고 첫 번째 단의 저항(214)보다 작은 저항(215)과 병렬 연결하였고, 데이터가 채널을 거쳐 수신기로 원만하게 전송될 수 있도록 한다.
- [0020] 수신부(220)는 세 개의 인버터(221, 222, 223)와 두 개의 저항(224, 225)을 포함하고, 세 개의 인버터(221, 222, 223)의 크기는 순차적으로 증가한다. 수신부(220)도 음성피드백의 효과를 위해 첫 번째 단의 인버터(221)와 마지막 단의 인버터(223)에 각각 저항(224, 225)을 병렬 연결한다.
- [0021] 수신부(220)는 감쇄된 데이터의 크기를 차례로 증폭시키기 위해 순차적으로 증가하는 크기의 인버터를 갖는다.
- [0022] 수신부(220)는 첫 번째 단의 인버터(221)에 저항(224)을 병렬 연결하여 증폭기의 대역폭을 증가시켜 고속 데이터를 수신한다. 그리고, 두 번째 단의 인버터(222)는 첫 번째 단을 거치면서 감쇄된 데이터의 크기를 다시 증폭시킨다. 마지막 단의 인버터(223)는 첫 번째 단의 저항(224)보다 큰 저항(225)과 병렬 연결하여 데이터를 복구시킨다.
- [0023] 본 발명의 실시예에 따르면, 수신부(220)는 송신부(210)와 동일한 구조이지만 송신부(210)와는 달리 줄어드는 신호를 차례로 증가시키기 위해 인버터의 크기를 순차적으로 증가시킬 수 있다. 수신부(220)의 첫 번째 단의 인버터(221)에 큰 대역폭의 데이터를 수신하기 위해 40Ω의 작은 저항(224)을 사용할 수 있다.中间的 인버터(222)를 통해 다시 데이터를 증가시키고 마지막의 5kΩ의 큰 저항(225)과 인버터(223)를 병렬 연결하여 데이터를 기존과 동일하게 원상복구시킬 수 있다.
- [0024] 각 스택의 수신부는 ASB(Active Signal Boosting)로 구성되고, 능동 인덕터(active inductor)를 사용하는 ASB에 의해 이득 주파수 대역을 확장시킬 수 있다.
- [0026] 도 3은 본 발명의 일 실시예에 따른 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스의 데이터 송수신 방법을 설명하기 위한 흐름도이다.
- [0027] 제안하는 액티브 신호 부스팅을 사용하는 고 대역폭 근사-임계 3D HBM 인터페이스의 데이터 송수신 방법은 세 개의 인버터와 두 개의 저항을 포함하는 송신부를 통해 데이터를 송신하는 단계(310) 및 세 개의 인버터와 두 개의 저항을 포함하고, 세 개의 인버터의 크기는 순차적으로 증가하는 수신부를 통해 데이터를 수신하는 단계(320)를 포함한다.
- [0028] 단계(310)에서 세 개의 인버터와 두 개의 저항을 포함하는 송신부를 통해 데이터를 송신한다. 송신부는 세 개의 인버터와 두 개의 저항을 포함한다. 송신부는 음성피드백의 효과를 위해 첫 번째 단의 인버터와 마지막 단의 인버터에 각각 저항을 병렬 연결한다.
- [0029] 송신부는 첫 번째 단의 인버터에 저항을 병렬 연결하여 증폭기의 대역폭을 증가시켜 고속 데이터를 수신한다. 그리고, 두 번째 단의 인버터는 첫 번째 단을 거치면서 감쇄된 데이터의 크기를 다시 증폭시킨다. 마지막 단의 인버터는 첫 번째 단의 저항보다 작은 저항과 병렬 연결하고, 데이터가 채널을 거쳐 수신부로 전송되도록 한다.
- [0030] 본 발명의 실시예에 따르면, 첫 번째 인버터는 10k의 저항과 병렬 연결하여 증폭기의 대역폭을 넓혀 빠른 속도의 데이터를 받을 수 있다. 두 번째 인버터는 적당한 크기의 저항을 사용하여 조금 감쇄한 데이터의 크기를 다시 증폭시킬 수 있다. 마지막 인버터의 크기는 증가시키고 첫 번째 단의 저항보다 작은 저항과 병렬 연결하였고, 데이터가 채널을 거쳐 수신기로 원만하게 전송될 수 있도록 한다.
- [0031] 단계(320)에서, 세 개의 인버터와 두 개의 저항을 포함하고, 세 개의 인버터의 크기는 순차적으로 증가하는 수신부를 통해 데이터를 수신한다. 수신부는 세 개의 인버터와 두 개의 저항을 포함하고, 세 개의 인버터의 크기는 순차적으로 증가한다. 수신부도 음성피드백의 효과를 위해 첫 번째 단의 인버터와 마지막 단의 인버터에 각각 저항을 병렬 연결한다.
- [0032] 수신부는 감쇄된 데이터의 크기를 차례로 증폭시키기 위해 순차적으로 증가하는 크기의 인버터를 갖는다.

- [0033] 수신부는 첫 번째 단의 인버터에 저항을 병렬 연결하여 증폭기의 대역폭을 증가시켜 고속 데이터를 수신한다. 그리고, 두 번째 단의 인버터는 첫 번째 단을 거치면서 감쇄된 데이터의 크기를 다시 증폭시킨다. 마지막 단의 인버터는 첫 번째 단의 저항보다 큰 저항과 병렬 연결하여 데이터를 복구시킨다.
- [0034] 본 발명의 실시예에 따르면, 수신부는 송신부와 동일한 구조이지만 송신부와는 달리 줄어든 신호를 차례로 증가시키기 위해 인버터의 크기를 순차적으로 증가시킬 수 있다. 수신부의 첫 번째 단의 인버터에 큰 대역폭의 데이터를 수신하기 위해 40Ω의 작은 저항을 사용할 수 있다. 중간인 인버터를 통해 다시 데이터를 증가시키고 마지막의 5kΩ의 큰 저항과 인버터를 병렬 연결하여 데이터를 기존과 동일하게 원상복구시킬 수 있다.
- [0035] 각 스택의 수신부는 ASB(Active Signal Boosting)로 구성되고, 능동 인덕터(active inductor)를 사용하는 ASB에 의해 이득 주파수 대역을 확장시킬 수 있다.
- [0037] 도 4는 본 발명의 일 실시예에 따른 고 대역폭 근사-임계 3D HBM 인터페이스의 레이아웃을 나타내는 도면이다.
- [0038] 도 4는 SIO 구조를 직접 레이아웃 하여 설계한 것이다. 도 4(a)는 제안하는 SIO 송신부의 레이아웃이고, 도 4(b)는 제안하는 SIO 수신부의 레이아웃이다. 레이아웃 생성 시 기생 캐패시터의 크기를 최소화하기 위하여 배치를 최적화하였다. 또한, 공정상의 문제를 해결하기 위해 더미(dummy)를 추가하였다.
- [0040] 도 5는 본 발명의 일 실시예에 따른 고 대역폭 근사-임계 3D HBM 인터페이스의 개선된 게인 및 대역폭을 설명하기 위한 도면이다.
- [0041] 도 5(a)는 제안하는 SIO를 갖는 메모리 인터페이스의 게인을 나타내는 그래프이고, 도 5(b)는 제안하는 ASB 방식에 따라 개선된 대역폭을 나타내는 그래프이다.
- [0042] 도 5에 나타난 바와 같이, 제안하는 액티브 신호 부스팅(Active Signal Boosting; ASB) 방법을 통해 고성능 그래픽 가속기와 네트워크 장치간의 결합을 하기 위한 장치로 쓰이는 HBM(High Bandwidth Memory)의 성능을 개선하고 기존 방식의 아키텍처보다 더 많은 스택 수의 HBM 구현을 가능하게 한다. ASB는 능동소자로의 인덕터를 사용하여 수동소자로의 인덕터보다 물리적인 크기를 획기적으로 줄일 수 있으며 설계 파라미터 값에 따라 대역폭을 조절할 수 있다. 따라서 ASB는 HBM 설계에 높은 에너지효율과 넓은 대역폭 솔루션을 제공한다.
- [0044] 도 6은 본 발명의 일 실시예에 따른 고 대역폭 근사-임계 3D HBM 인터페이스의 각 노드에서의 파형을 나타내는 도면이다.
- [0045] 도 6은 SIO 전체 회로의 각 노드(도 2 참조)에서의 파형을 나타내는 도면이다. N2는 송신부를 지난 후의 파형으로, 16Gb/s의 데이터를 전송한 것 N1과 비교해보면 약간의 지연은 있지만 신호는 정확하게 나오는 것을 알 수 있다. N3는 4cm의 채널을 지난 파형으로, 진폭이 좀 줄어들고 전보다 지연이 더 길어졌다. N4는 수신부를 지난 후의 파형으로, 지연없이 1V의 진폭을 원래대로 복원시켰다. N5는 2cm의 채널과 출력 드라이버를 지나서 진폭이 매우 작아지고 뚜렷한 신호는 아니지만 설정한 임계 전압(Vth)인 0.7V를 기준으로 신호를 분별할 수 있음을 알 수 있다.
- [0047] 도 7은 본 발명의 일 실시예에 따른 SIO의 아이디어그램을 나타내는 도면이다.
- [0048] 도 7(a)는 시뮬레이션 회로기반 SIO의 아이디어그램이고, 도 7(b)는 레이아웃기반 SIO의 아이디어그램이다. 모두 출력 드라이버의 출력지점에서 측정하였다. 결과적으로 두 가지 경우 모두 아이디어그램의 크기가 80mV 정도를 넘고 신호의 품질이 개선된 것을 확인하였다. 그리고 회로와 PEX의 아이디어그램의 모양과 크기의 차이가 미미한 것으로 보아 레이아웃이 잘 되었음을 알 수 있다.
- [0049] 본 발명은 실제 모바일 단말, 데스크 탑 PC, 서버 등 다양한 IT 기기에서 고속 및 대용량의 데이터를 저전력으로 통신하기 위한 차세대 메모리 인터페이스를 제안하고 있다. 제안하는 SIO 송수신기는 인버터와 저항의 음성 피드백(Negative feedback) 연결을 이용하여 증폭기의 대역폭을 넓힘으로써 높은 데이터 비율에서도 효율적이고, 저전력으로 데이터를 송수신한다.

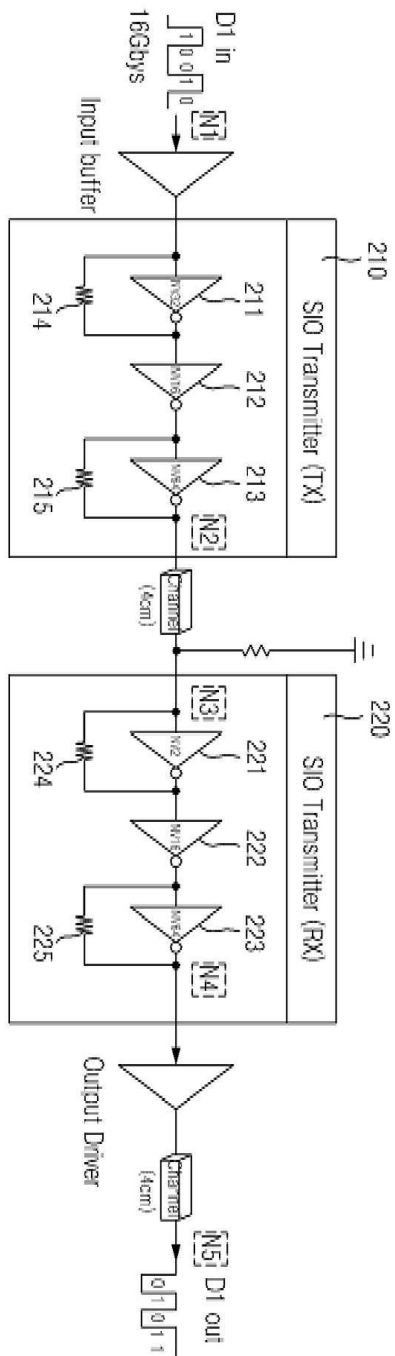
- [0051] 이상에서 설명된 장치는 하드웨어 구성요소, 소프트웨어 구성요소, 및/또는 하드웨어 구성요소 및 소프트웨어 구성요소의 조합으로 구현될 수 있다. 예를 들어, 실시예들에서 설명된 장치 및 구성요소는, 예를 들어, 프로세서, 콘트롤러, ALU(arithmetic logic unit), 디지털 신호 프로세서(digital signal processor), 마이크로컴퓨터, FPA(field programmable array), PLU(programmable logic unit), 마이크로프로세서, 또는 명령(instruction)을 실행하고 응답할 수 있는 다른 어떠한 장치와 같이, 하나 이상의 범용 컴퓨터 또는 특수 목적 컴퓨터를 이용하여 구현될 수 있다. 처리 장치는 운영 체제(OS) 및 상기 운영 체제 상에서 수행되는 하나 이상의 소프트웨어 애플리케이션을 수행할 수 있다. 또한, 처리 장치는 소프트웨어의 실행에 응답하여, 데이터를 접근, 저장, 조작, 처리 및 생성할 수도 있다. 이해의 편의를 위하여, 처리 장치는 하나가 사용되는 것으로 설명된 경우도 있지만, 해당 기술분야에서 통상의 지식을 가진 자는, 처리 장치가 복수 개의 처리 요소(processing element) 및/또는 복수 유형의 처리 요소를 포함할 수 있음을 알 수 있다. 예를 들어, 처리 장치는 복수 개의 프로세서 또는 하나의 프로세서 및 하나의 콘트롤러를 포함할 수 있다. 또한, 병렬 프로세서(parallel processor)와 같은, 다른 처리 구성(processing configuration)도 가능하다.
- [0052] 소프트웨어는 컴퓨터 프로그램(computer program), 코드(code), 명령(instruction), 또는 이들 중 하나 이상의 조합을 포함할 수 있으며, 원하는 대로 동작하도록 처리 장치를 구성하거나 독립적으로 또는 결합적으로(collectively) 처리 장치를 명령할 수 있다. 소프트웨어 및/또는 데이터는, 처리 장치에 의하여 해석되거나 처리 장치에 명령 또는 데이터를 제공하기 위하여, 어떤 유형의 기계, 구성요소(component), 물리적 장치, 가상 장치(virtual equipment), 컴퓨터 저장 매체 또는 장치에 구체화(embodiment)될 수 있다. 소프트웨어는 네트워크로 연결된 컴퓨터 시스템 상에 분산되어서, 분산된 방법으로 저장되거나 실행될 수도 있다. 소프트웨어 및 데이터는 하나 이상의 컴퓨터 판독 가능 기록 매체에 저장될 수 있다.
- [0053] 실시예에 따른 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(magnetic media), CD-ROM, DVD와 같은 광기록 매체(optical media), 플롭티컬 디스크(floptical disk)와 같은 자기-광 매체(magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다.
- [0054] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [0055] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

도면

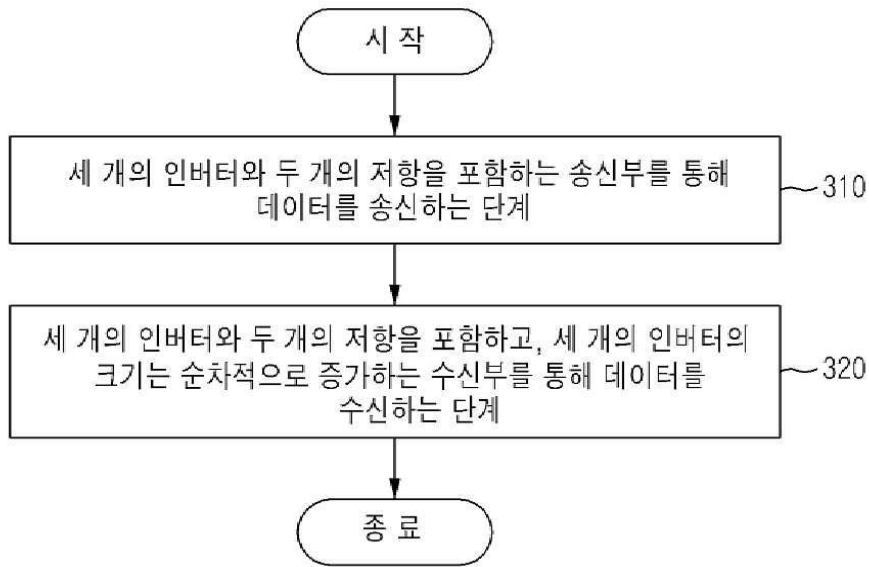
도면1



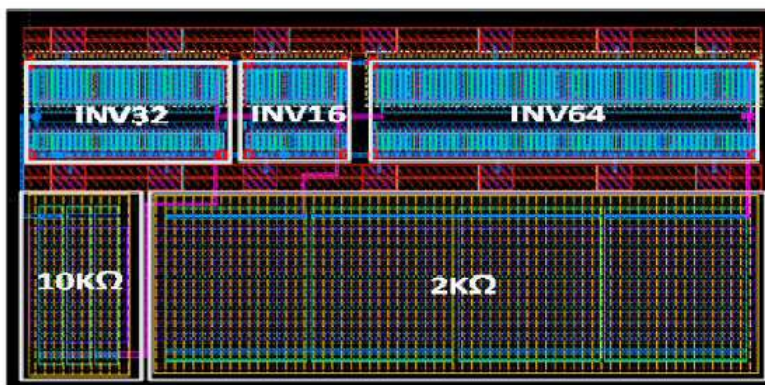
도면2



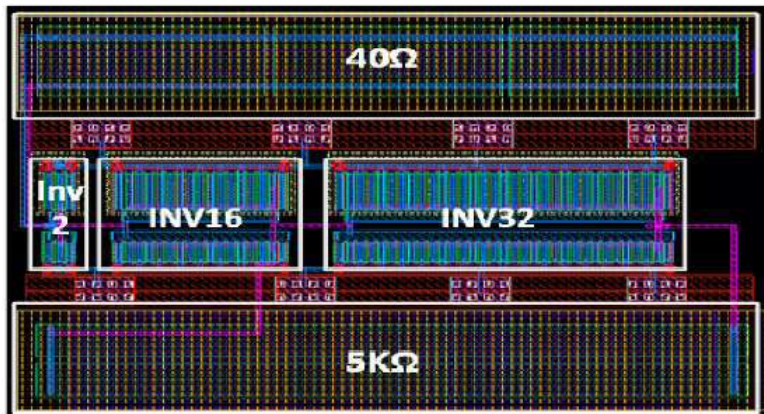
도면3



도면4

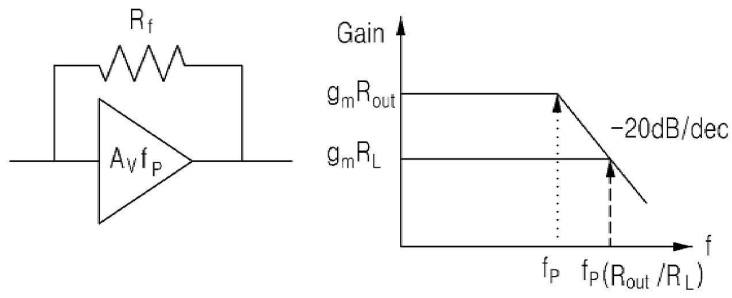


(a)

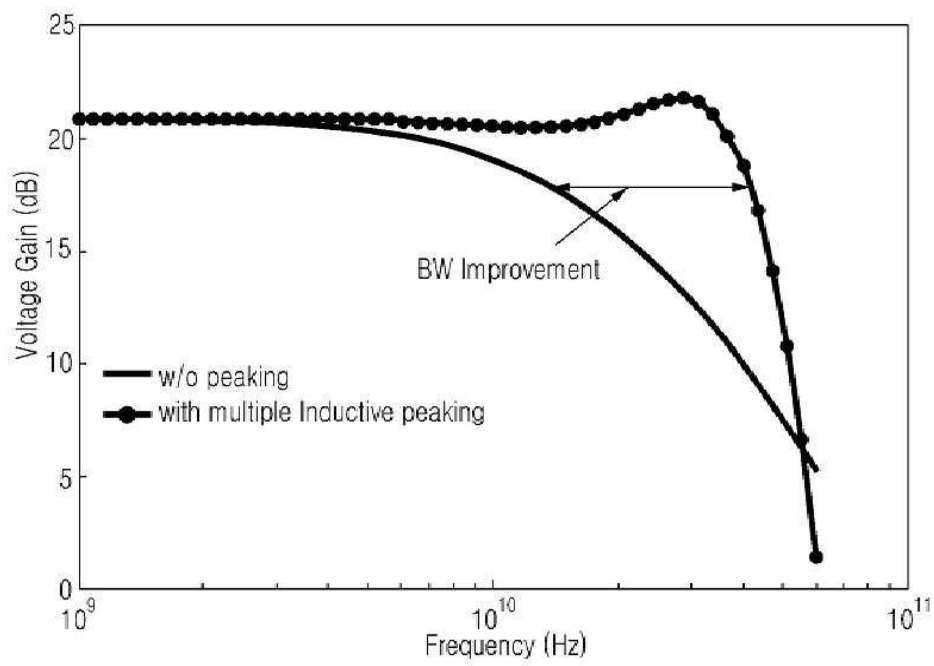


(b)

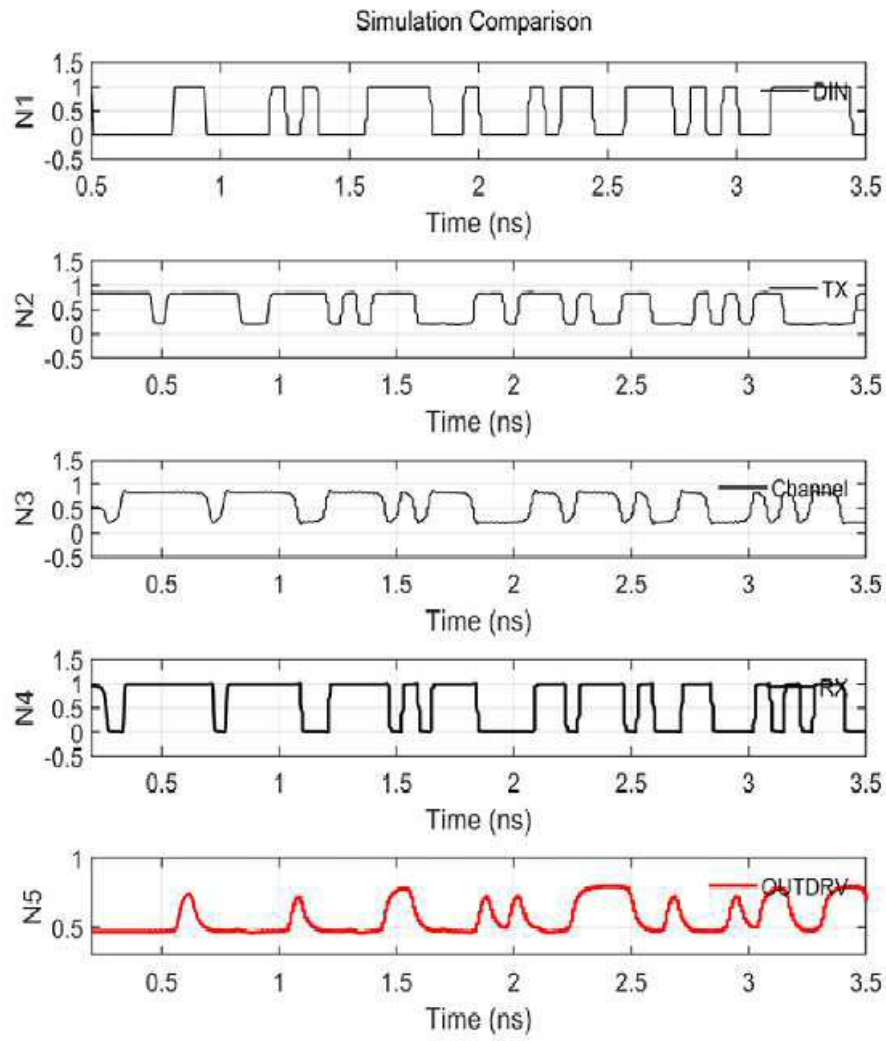
도면5a



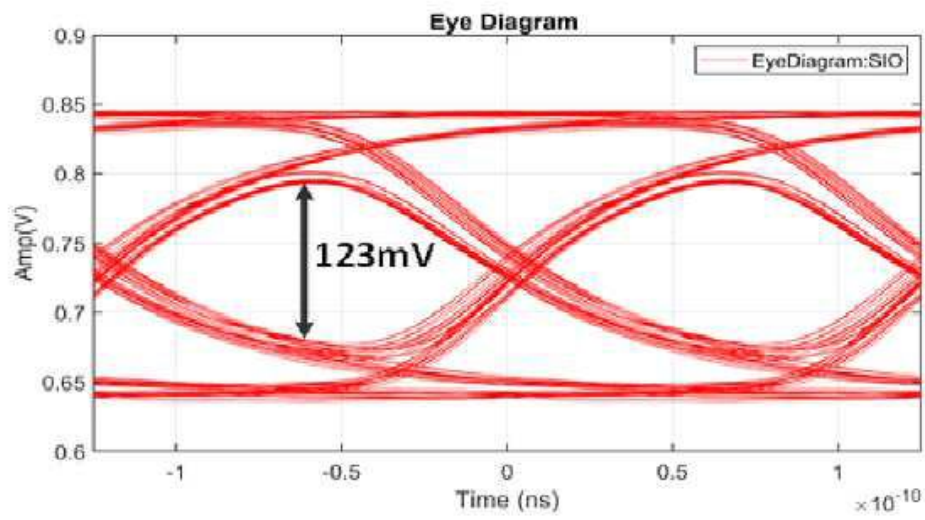
도면5b



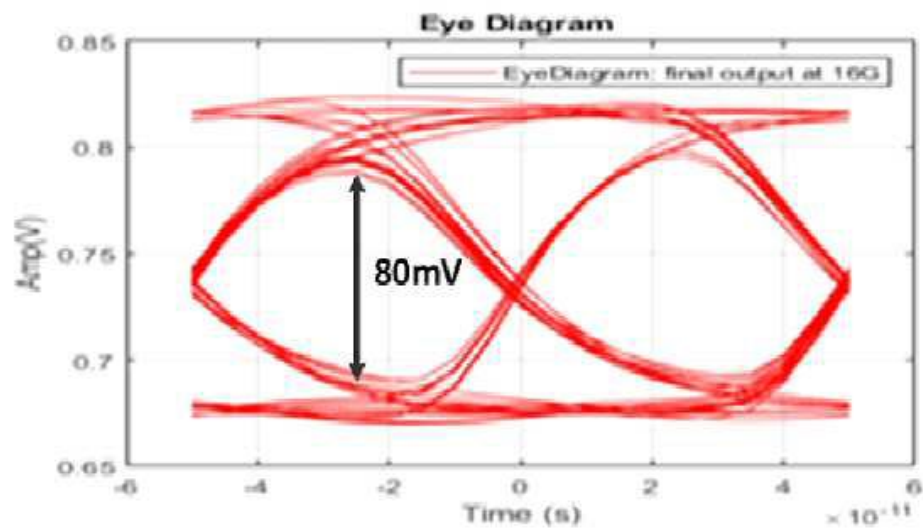
도면6



도면7



(a)



(b)