



(12) 发明专利申请

(10) 申请公布号 CN 102708918 A

(43) 申请公布日 2012. 10. 03

(21) 申请号 201210212874. 4

(22) 申请日 2012. 06. 26

(71) 申请人 苏州兆芯半导体科技有限公司
地址 215021 江苏省苏州市工业园区创意产业园 11-103 单元

(72) 发明人 王林 郑坚斌 吴守道

(74) 专利代理机构 苏州慧通知识产权代理事务
所(普通合伙) 32239

代理人 安纪平

(51) Int. Cl.

G11C 11/417(2006. 01)

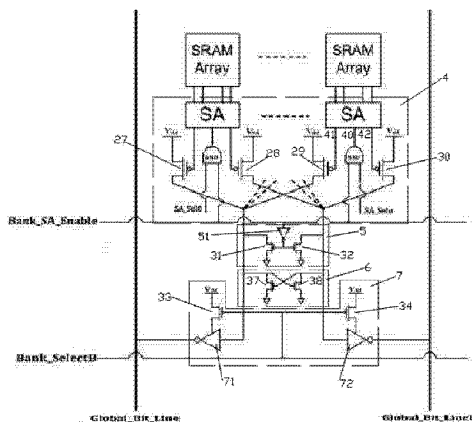
权利要求书 1 页 说明书 4 页 附图 4 页

(54) 发明名称

SRAM 的读出电路

(57) 摘要

本发明揭示了一种 SRAM 的读出电路,其包括放大电路模块,钳位电路模块,推挽电路模块,选择输出电路模块,输出电路模块;所述放大电路模块放大并输出 SRAM 阵列块中数据,包括灵敏放大器,灵敏放大器的 SA 输入端接灵敏放大器使能控制信号和灵敏放大器选择信号,两个 SA 输出端所在的第一 PMOS 管和第二 PMOS 管的漏极分别共接于第一、第二输出接点,所述钳位电路模块在有效信号来之前将第一、第二输出接点的电位拉伸至低电平,所述推挽电路模块将第一、第二输出接点的电位进行取相反的处理后选择输出;本发明 SRAM 的读出电路提高了电路的读取速度及电路的稳定性,缩小了电路的版图面积。



1. 一种 SRAM 的读出电路,其特征在于:包括:
放大电路模块,用于分别对复数 SRAM 存储阵列块中的数据进行放大并输出至第一输出接点和第二输出接点;
钳位电路模块,对所述第一输出接点和第二输出接点的电位在有效信号来之前拉伸至低电平;
推挽电路模块,将所述第一输出接点和第二输出接点的电位进行取相反的处理;
选择输出电路模块,选择将所述第一输出接点和第二输出接点的数据分别传送至全局位线上;
输出电路模块,将全局位线上的数据进行选择输出;以及
复数控制信号,控制所述模块的开启与断开,包括放大器选择信号,阵列放大器使能信号和阵列选择信号。
2. 根据权利要求 1 所述的 SRAM 的读出电路,其特征在于:所述放大电路模块包括复数灵敏放大器,所述每一灵敏放大器具有 SA 输入端和 SA 输出端,所述 SA 输入端接由所述放大器选择信号和阵列放大器使能信号通过逻辑运算的输出信号。
3. 根据权利要求 1 或 2 所述的 SRAM 的读出电路,其特征在于:所述放大器选择信号为灵敏放大器选择信号,所述阵列放大器使能信号为阵列放大器使能信号。
4. 根据权利要求 2 所述的 SRAM 的读出电路,其特征在于:所述 SA 输出端包括第一 SA 输出端和第二 SA 输出端。
5. 根据权利要求 4 所述的 SRAM 的读出电路,其特征在于:所述每一第一 SA 输出端和第二 SA 输出端分别接第一 PMOS 管的栅极和第二 PMOS 管的栅极,其中所有第一 PMOS 管的漏极共接于所述第一输出接点,所有第二 PMOS 管的漏极共接于所述第二输出接点。
6. 根据权利要求 1 所述的 SRAM 的读出电路,其特征在于:所述钳位电路模块包括栅极共接于阵列放大器使能信号的第一 NMOS 管和第二 NMOS 管,所述第一 NMOS 管和第二 NMOS 管的源极分别接所述第一输出接点和第二输出接点,其漏极接地。
7. 根据权利要求 1 所述的 SRAM 的读出电路,其特征在于:所述推挽电路模块包括第三 NMOS 管和第四 NMOS 管,所述第三 NMOS 管的源极和第四 NMOS 管的栅极共同接于所述第一输出接点,所述第四 NMOS 管的源极和第三 NMOS 管的栅极共同接于所述第二输出接点,所述第三 NMOS 管和第四 NMOS 管的漏极接地。
8. 根据权利要求 1 所述的 SRAM 的读出电路,其特征在于:所述选择输出电路模块包括第一 CMOS 反相器和第二 CMOS 反相器,所述第一输出接点和第二输出接点分别作为所述第一 CMOS 反相器和第二 CMOS 反相器的输入端,第一 CMOS 反相器和第二 CMOS 反相器的输出端分别接信号取反的全局位线。
9. 根据权利要求 8 所述的 SRAM 的读出电路,其特征在于:所述第一 CMOS 反相器和第二 CMOS 反相器还包括开启端,所述开启端分别接第三 PMOS 管和第四 PMOS 管的漏极,第三 PMOS 管和第四 PMOS 管的栅极共接阵列选择信号,源极接工作电压。
10. 根据权利要求 1 或 8 所述的 SRAM 的读出电路,其特征在于:所述输出电路模块为 RS 触发器电路,其两输入端分别接信号取反的全局位线。

SRAM 的读出电路

技术领域

[0001] 本发明涉及静态随机存取存储器 (SRAM) 单元电路, 尤其涉及对 SRAM 储存单元中的数据进行读取的读出电路。

背景技术

[0002] SRAM 作为半导体存储器中重要的一种, 其具有很高的传输速度和较低的功耗, 因此被广泛地应用于各种集成电路中。整体上, SRAM 单元包括单元阵列和外围电路两部分, 其中单元阵列是 SRAM 单元的核心, 其由 SRAM 存储单元按照行和列排列而成; 而外围电路包括输入输出电路、时序产生电路、行译码电路以及放大读出电路等, 其中放大读出电路将指定单元中的存储数据进行采样放大后, 将其传送至输出缓冲器中。

[0003] 如图 1 所示为一种现有的 SRAM 的读出电路, 其包括多数个存储阵列块, 图中只显示出两个存储阵列块 11、12, 其电路行为相同, 每一存储阵列块 11 包括复数个 SRAM 存储单元, 灵敏放大器 SA 电路模块, 以及锁存电路模块 13、14, 所述灵敏放大器 SA 对对应的存储阵列中的单元数据进行采集放大并将数据锁存, 并通过区域使能信号 Bank_SA_Enable 对其进行选择输出, 通过全局位线 Global_Bit_Line 将数据传至输出电路 15 进行输出。

[0004] 然由于区域使能信号 Bank_SA_Enable 只有一个有效, 因此电路结构在 A、B 处存在数据读出的竞争, 因而降低了电路的读出速度, 同时也降低了电路的稳定性。

[0005] 图 2 所示为另一种现有的 SRAM 的读出电路, 其中电路 16、17 为同一组输出电路中不同的列, 其电路功能相同; 电路 18、19 为同一列中不同的存储阵列块, 其通过阵列灵敏放大器使能信号 Bank_SA_Enable 和阵列选择信号 Bank_SelectB 对其进行选择控制, 其中, 阵列灵敏放大器使能信号 Bank_SA_Enable 选择开启相应存储器阵列块的灵敏放大器 SA, 阵列选择信号 Bank_SelectB 信号将 PMOS 管 20、21 开启, 使反相器 22、23 能够正常工作; 通过灵敏放大器 SA 采集放大后的信号通过反相器 22、23 分别传送至取反的全局位线 Global_Bit_Line 和 Global_Bit_LineB, 经由输出电路 24 将数据送至输出端。

[0006] 然该电路结构使得单个输出电路的布线复杂, 增大了版图面积, 且电路在 C 处仍然存在数据读取输出的竞争, 同样降低了电路的读出速度及电路的稳定性。

发明内容

[0007] 本发明的目的在于克服现有技术的缺陷, 提供一种能提高电路读出速度的 SRAM 的读出电路, 以消除锁存电路模块的竞争, 提高电路的读取速度和稳定性, 同时缩小电路的版图面积。

[0008] 为实现上述目的, 本发明提出如下技术方案: 一种 SRAM 的读出电路, 包括:

[0009] 放大电路模块, 用于分别对复数 SRAM 存储阵列块中的数据进行放大并输出至第一输出接点和第二输出接点;

[0010] 钳位电路模块, 对所述第一输出接点和第二输出接点的电位在有效信号来之前拉伸至低电平;

- [0011] 推挽电路模块,将所述第一输出接点和第二输出接点的电位进行取相反的处理;
- [0012] 选择输出电路模块,选择将所述第一输出接点和第二输出接点的数据分别传送至全局位线上;
- [0013] 输出电路模块,将全局位线上的数据进行选择输出;以及
- [0014] 复数控制信号,控制所述模块的开启与断开,包括放大器选择信号,阵列放大器使能信号和阵列选择信号。
- [0015] 更进一步地,所述放大电路模块包括复数灵敏放大器,所述每一灵敏放大器具有 SA 输入端和 SA 输出端,所述 SA 输入端接由所述放大器选择信号和阵列放大器使能信号通过逻辑运算的输出信号。
- [0016] 所述放大器选择信号为灵敏放大器选择信号,所述阵列放大器使能信号为阵列放大器使能信号。
- [0017] 所述灵敏放大器的 SA 输出端包括第一 SA 输出端和第二 SA 输出端。
- [0018] 所述每一第一 SA 输出端和第二 SA 输出端分别接第一 PMOS 管的栅极和第二 PMOS 管的栅极,其中所有第一 PMOS 管的漏极共接于所述第一输出接点,所有第二 PMOS 管的漏极共接于所述第二输出接点。
- [0019] 所述钳位电路模块包括栅极共接于阵列放大器使能信号的第一 NMOS 管和第二 NMOS 管,所述第一 NMOS 管和第二 NMOS 管的源极分别接所述第一输出接点和第二输出接点,其漏极接地。
- [0020] 所述推挽电路模块包括第三 NMOS 管和第四 NMOS 管,所述第三 NMOS 管的源极和第四 NMOS 管的栅极共同接于所述第一输出接点,所述第四 NMOS 管的源极和第三 NMOS 管的栅极共同接于所述第二输出接点,所述第三 NMOS 管和第四 NMOS 管的漏极接地。
- [0021] 所述选择输出电路模块包括第一 CMOS 反相器和第二 CMOS 反相器,所述第一输出接点和第二输出接点分别作为所述第一 CMOS 反相器和第二 CMOS 反相器的输入端,第一 CMOS 反相器和第二 CMOS 反相器的输出端分别接信号取反的全局位线。
- [0022] 所述第一 CMOS 反相器和第二 CMOS 反相器还包括开启端,所述开启端分别接第三 PMOS 管和第四 PMOS 管的漏极,第三 PMOS 管和第四 PMOS 管的栅极共接阵列选择信号,源极接工作电压。
- [0023] 所述输出电路模块为 RS 触发器电路,其两输入端分别接信号取反的全局位线。
- [0024] 与现有技术相比,本发明所揭示的 SRAM 的读出电路由于具有不存在锁存电路的竞争,因此,使得数据的读出速度及电路的稳定性得到了进一步的提高,由于只在输出电路模块中仅有一级锁存电路,使得易于信号走线,降低了版图布线的难度,进而缩小了电路的版图面积。

附图说明

- [0025] 图 1 是现有的 SRAM 的读出电路的电路示意图;
- [0026] 图 2 是另一现有的 SRAM 的读出电路的电路示意图;
- [0027] 图 3 是本发明 SRAM 的读出电路的电路示意图;
- [0028] 图 4 是图 3 中的一个 SRAM 存储阵列的电路示意图。

具体实施方式

[0029] 下面将结合本发明的附图,对本发明实施例的技术方案进行清楚、完整的描述。

[0030] 图3所示为本发明揭示的SRAM的读出电路较佳实施方式的电路示意图,图中只显示出一个SRAM列中的两个SRAM阵列块25、26加以说明,其他SRAM阵列块中的读出电路与图中25、26中的读出电路相同。

[0031] 结合图3、图4所示,所述SRAM的读出电路用于读取SRAM阵列块中的数据,其包括灵敏放大器电路模块4,输出信号的钳位电路模块5,推挽(Push-pull)电路模块6,选择输出电路模块7,输出电路模块8,以及复数控制所述模块电路开启工作及关断的控制信号,这些控制信号包括阵列灵敏放大器使能信号Bank_SA_Enable(以下简称使能信号BSE),灵敏放大器选择信号SA_Sel,以及阵列选择信号Bank_SelectB。

[0032] 所述灵敏放大器电路模块4用于分别对复数SRAM存储阵列块中的数据进行放大并输出至第一、二输出接点D、E,其中每一灵敏放大器SA具有一个SA输入端40和SA输出端41、42,所述SA输入端40接使能信号BSE和灵敏放大器选择信号SA_Sel逻辑与后的输出信号,所述灵敏放大器的SA输出端包括第一SA输出端41和第二SA输出端42,第一SA输出端41和第二SA输出端42分别接第一PMOS管27、29和第二PMOS管28、30的栅极,第一PMOS管和第二PMOS的源极接工作电压Vdd,所有第一PMOS管的漏极共接于第一输出接点D,所述第二PMOS管的漏极共接于第二输出接点E。

[0033] 在灵敏放大器电路模块4中,当使能信号BSE和灵敏放大器选择信号SA_Sel都为高电平时,才能开启灵敏放大器SA,而灵敏放大器选择信号SA_Sel(对应图3中的SA_Sel0...SA_SelN)在同一时间只有一个是高电平,因此,每组读出电路中对对应存储阵列块中的灵敏放大器SA同一时间只有一个被选中开启,其他则处于关闭状态,且被选中的灵敏放大器的第一、第二SA输出端分别输出低电平和高电平,而未被选中的灵敏放大器的第一、第二SA输出端输出都为高电平。

[0034] 所述钳位电路模块5包括与使能信号BSE相接的反相器51,接于反相器51输出端的下拉NMOS管31、32,其中NMOS管31、32的栅极共接于反相器的输出端,NMOS管31、32的源极分别接第一、第二输出接点D、E,漏极接地。这样在使能信号BSE为低电平时,反相器51的输出为高,下拉NMOS管31、32打开,由于NMOS管31、32的漏极接地,因此,D、E两点的电位被拉低;当使能信号BSE为高电平时,NMOS管31、32关断,不再下拉D、E点的电位,保证了每次使能信号BSE的高电平来之前,第一、第二输出接点D、E都保存在低电平的状态。

[0035] 所述推挽电路模块6包括下拉NMOS管37、38,其源极分别接入第一、第二输出接点D、E,漏极接地,栅极交叉接另一NMOS管38、37的源极,确保了当D、E点中的其中之一为高电位时,另一端则置于低电位的状态。

[0036] 所述选择输出电路模块7包括CMOS反相器71、72,PMOS管33、34,其中PMOS管33、34的栅极共接于阵列选择信号Bank_SelectB上,所述PMOS管33、34的源极接工作电压Vdd,漏接分别接CMOS反相器71、72的开启端,所述第一、第二输出接点D、E分别接CMOS反相器71、72的输入端,当阵列选择信号Bank_SelectB为低电平(低电平有效)时,PMOS管33、34开启,CMOS反相器71、72处于开启状态,并将第一、第二输出接点D、E上的数据传送至取相反信号的全局位线Global_Bit_Line和Global_Bit_LineB上,由全局位线Global_Bit_Line和Global_Bit_LineB将数据通过输出电路模块8进行输出。反之,当阵列选择信

号 Bank_SelectB 无效时,所述 CMOS 反相器 71、72 关闭,该 SRAM 阵列块中的数据将不输出。

[0037] 更进一步地,本实施例中的输出电路 8 为 RS 触发器电路,其输入信号为取相反的全局位线 Global_Bit_Line 和 Global_Bit_LineB 上的数据信号,D00 为其输出端。

[0038] 本发明 SRAM 的读出电路的信号读出过程为:当阵列灵敏放大器使能信号 Bank_SA_Enable 为低电平时,钳位电路模块 5 中的 NMOS 管 31、32 打开,将第一、第二输出接点 D、E 两点的电位拉低到零;而当阵列灵敏放大器使能信号 Bank_SA_Enable 翻转为高电平时,灵敏放大器选择信号 SA_Sel 为高的灵敏放大器 SA 将被选择打开,为方便说明,假设灵敏放大器选择信号 SA_Sel0 为高,则灵敏放大器 SA1 被打开,且假设灵敏放大器 SA1 的 SA 输出端的中输出为零的一端对应 PMOS 管 27,则 PMOS 管 27 打开,PMOS 管 28、29、30 断开,第一输出接点 D 的电位被拉高,由于 D 点的电位为高,在推挽电路模块 6 中的 NMOS 管 37、38 的作用下,将第二输出接点 E 点的电位确保拉低为零,由此将选中的灵敏放大器 SA1 的输出数据传送至第一、第二输出接点 D、E,再在阵列选择信号 Bank_SelectB 为低信号时,使 CMOS 反相器 35、36 正常工作,从而将 D、E 上的数据传至全局位线 Global_Bit_Line 和 Global_Bit_LineB,并通过输出电路模块 8 中的 RS 触发器进行选择输出。

[0039] 本发明的技术内容及技术特征已揭示如上,然而熟悉本领域的技术人员仍可能基于本发明的教示及揭示而作种种不背离本发明精神的替换及修饰,因此,本发明保护范围应不限于实施例所揭示的内容,而应包括各种不背离本发明的替换及修饰,并为本专利申请权利要求所涵盖。

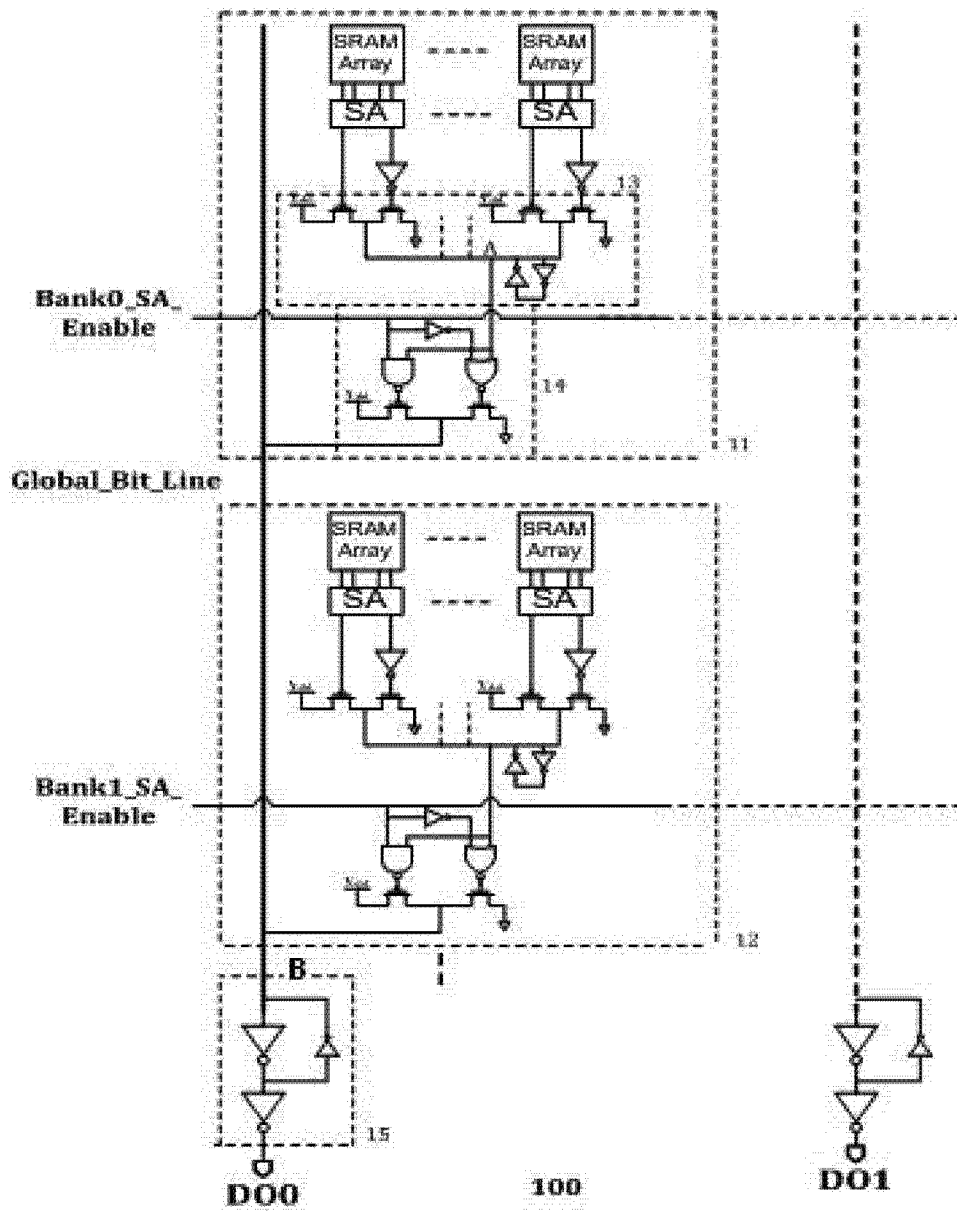


图 1

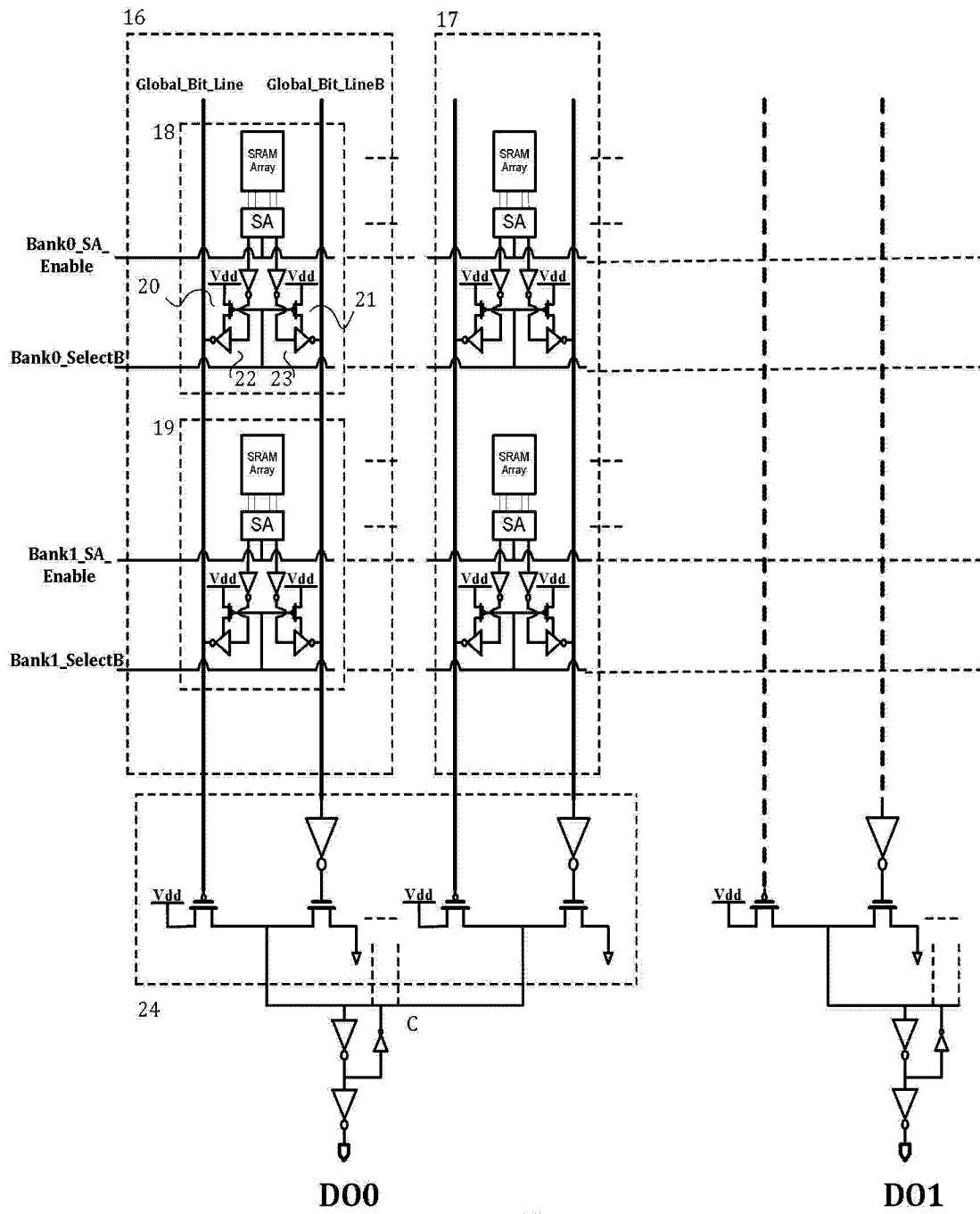
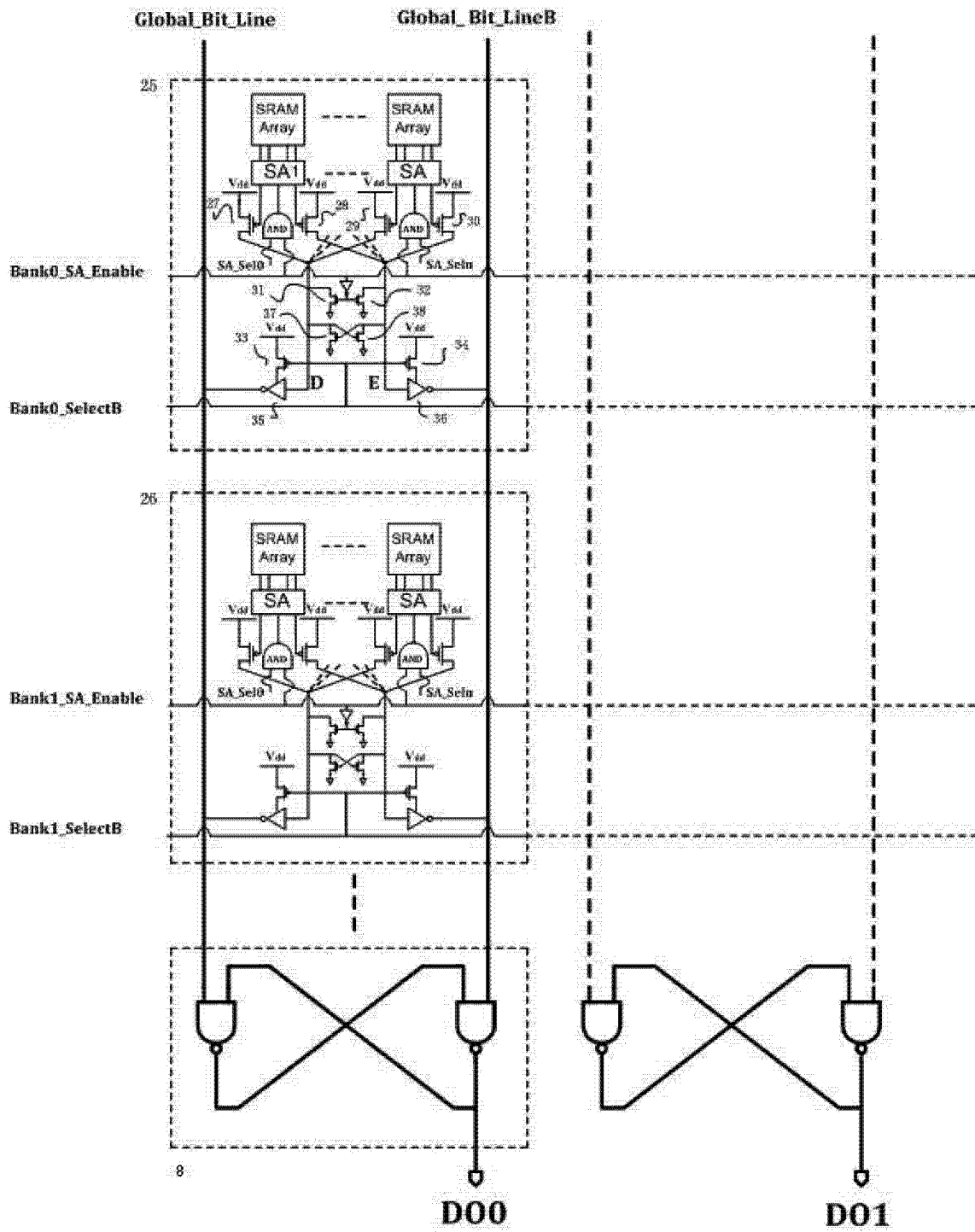


图 2



102

图 3

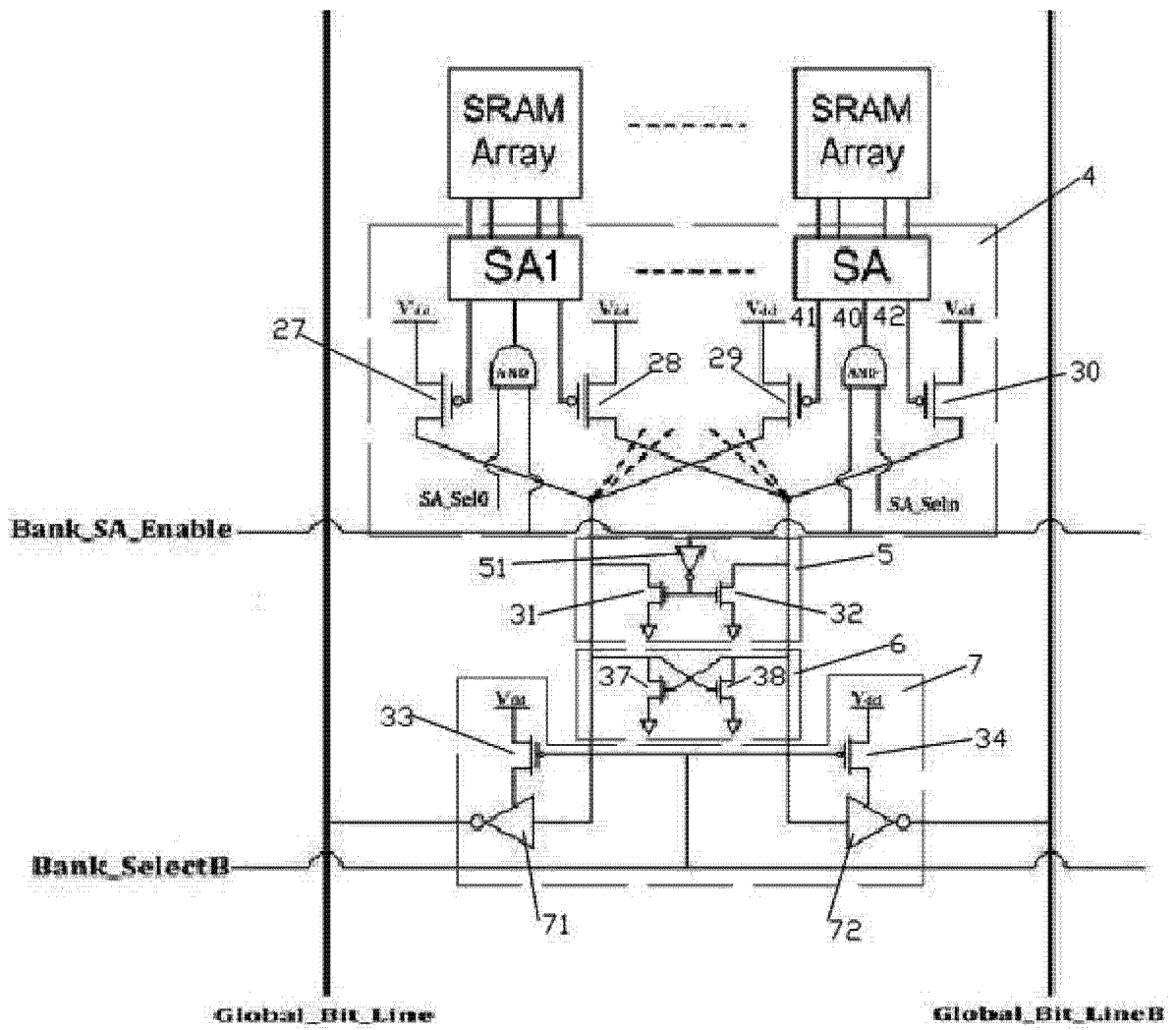


图 4