(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 11/407

(45) 공고일자 1999년12월15일
(11) 등록번호 10-0235144
(24) 등록일자 1999년09월21일

(21) 출원번호 10-1997-0006145
(22) 출원일자 1997년02월27일
(65) 공개번호 특1998-0023953
(43) 공개일자 1998년07월06일
(30) 우선권주장 96-244904 1996년09월17일 일본(JP)

(73) 특허권자 후지쓰 가부시끼가이샤 아끼구사 나오유끼
일본국 가나가와켄 가와사키시 나카하라꾸 가미고다나카 4초메 1-1
(72) 발명자 츠보이 히로노부
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고 후지쓰 가부시키가이샤 나이
오카지마 요시노리
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고 후지쓰 가부시키가이샤 나이
히구치 츠요시
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고 후지쓰 가부시키가이샤 나이
고가 마코토
일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4죠메 1반 1고 후지쓰 가부시키가이샤 나이
(74) 대리인 조태연

심사관 : 장현근

(54) 반도체 기억 장치

요약

본 발명은 칩면적을 증대시키지 않고 밴드폭을 증대시킬 수 있는 DRAM을 제공하는 것을 목적으로 한다. 반도체 기억 장치는 복수의 비트라인과, 복수의 비트라인의 각각에 접속되는 제 1 센스 증폭기와, 제 1 센스 증폭기 및 게이트를 통해 복수의 비트라인에 접속되고, 복수의 비트라인과 평행하게 배치되는 제 1 데이타 버스와, 제 1 데이타 버스와 비트라인을 접속하기 위해서 적어도 몇 개의 게이트를 도통시키는 비트라인에 직교하여 배치되는 열 선택라인을 포함하는 것을 특징으로 한다.

대표도

도1

명세서

도면의 간단한 설명

도 1은 본 발명의 원리에 의한 DRAM의 배치를 도시하는 도면.

도 2는 본 발명에 의한 DRAM의 전체 구성을 도시하는 도면.

도 3은 도 1의 글로벌 열 선택라인, 행 블록 선택부, 열 선택라인 및 행 블록 선택라인의 실시예를 도시하는 도면.

도 4는 도 1의 센스 증폭기 영역의 센스 증폭기, 열 선택라인 및 제 1 데이타 버스의 실시예를 도시하는 도면.

도 5는 도 1의 센스 증폭기 영역의 센스 증폭기, 데이타 전송 버퍼의 센스 증폭기, 제 2 데이타 버스, 입출력 래치 및 그 주변의 실시예를 도시하는 도면.

도 6은 데이타 독출시에 비트라인으로부터 제 2 데이타 버스에 데이타가 전송되는 상태를 도시하는 타이밍도.

도 7은 데이타 기록시에 제 2 데이타 버스로부터 비트라인에 데이타가 전송되는 상태를 도시하는 타이밍도.

도 8은 센스 증폭기를 구동하는 드라이버 트랜지스터를 열 용장의 단위마다 설치한 회로를 도시하는 도면.

도 9는 제 2 데이타 버스를 2계통 설치한 경우의 센스 증폭기 영역의 센스 증폭기, 데이타 전송 버퍼의 센스 증폭기, 제 2 데이타 버스, 입출력 래치 및 그 주변을 도시하는 도면.

도 10은 도 1의 DRAM에 있어서, 뱅크 상호 배치에 의해 데이타 독출을 고속으로 실행하는 동작을 설명하는 타이밍도.

도 11은 종래의 DRAM의 배치를 도시하는 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

10: 메모리 블록

11: 행 디코더

12: 열 디코더

13: 데이타 전송 버퍼

14: 입출력 래치

15, 15A: 제 2 데이타 버스

16, 16A, 16B: 센스 증폭기 영역

17: 로컬 워드 드라이버 영역

18: 셀블록

20: 글로벌 열 선택라인

21: 행 블록 선택부

22: 열 선택라인

23: 행 블록 선택라인

24: 제 1 데이타 버스

25: 글로벌 워드라인

30: 입출력라인

60: 센스 증폭기

70: 신호 생성 회로

94: 독출용 증폭기

95: 기록용 증폭기

130: 디코더

141: 입력 증폭기

142: 출력 증폭기

143: 출력 데이타 래치 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 일반적으로 DRAM(Dynamic Random Access Memory), 특히 DRAM의 메모리 코어의 배치에 관한 것이다.

도 11에는 메모리 코어주변의 구조를 설명하기 위한 종래의 DRAM의 구성도를 도시되어 있다. 도 11의 DRAM은 메모리 블록(300), 행 디코더(301), 열 디코더(302), 센스 증폭기(303), 입출력 래치(304), 데이타 버스(305), 센스 증폭기 영역(306), 로컬 워드 드라이버 영역(307), 셀블록(308), 글로벌 데이타 버스(310), 데이타 버스 스위치(311), 로컬 데이타 버스(312), 열 선택라인(313), 글로벌 워드라인(314), 입출력라인(320)을 포함한다. 도 11의 DRAM은 간략화하여 도시된 것으로, 주로 독출 및 기록 데이타 전송을 위한 데이타 신호라인의 배치와, 메모리 블록(300)내에서의 어드레스 지정을 행하는 어드레스 신호라인의 배치를 설명하기 위한 것이다.

하나의 메모리칩내에는 도 11의 메모리 블록(300)이 복수개 제공된다. 그 메모리칩에 대하여 어떤 어드레스가 지정되면, 복수의 메모리 블록(300)중에 하나의 메모리 블록만이 선택되고, 또 선택된 메모리 블록(300)내의 지정된 어드레스에 대하여 액세스가 행해진다. 메모리 블록(300)에는 종횡으로 배치된 복수의 셀블록(셀매트릭스)(308)이 설치된다. 하나의 셀블록(308)은 종횡으로 배치된 복수의 메모리셀(도시생략)을 포함하며, 각 메모리셀이 1비트의 데이타를 유지한다. 메모리 블록(300)내에서 특정한 어드레스의 메모리셀을 액세스하도록 행 디코더(301) 및 열 디코더(302)가 이용된다.

행 디코더(301)는 메모리 블록(300)내의 도면 종방향의 위치 선택을 행한다. 복수의 글로벌 워드라인

(314)내의 한개를 선택하여(도면에는 선택된 글로벌 워드라인만 도시한다), 종횡으로 배열된 셀블록(308)중의 하나의 행을 선택한다. 이 선택된 글로벌 워드라인(314)은 복수 비트의 워드 어드레스 신호를 공급한다. 각 열에 있어서, 셀블록(308)간에는 로컬 워드 드라이버 영역(307)이 설치되고, 이 영역에는 로컬 워드 드라이버의 행(도시 생략)이 배치된다. 글로벌 워드라인(314)의 워드 어드레스 신호에 의해, 일련의 로컬 워드 드라이버중에서 하나의 로컬 워드 드라이버를 선택하여, 거기에 접속된 1개의 워드라인을 활성화한다. 이것에 의해, 행에 대해 메모리셀의 선택이 이루어진다.

열에 대해 메모리셀의 선택이 이루어지면, 선택된 메모리셀로부터 데이타가 독출된다(혹은 기록된다). 데이타 독출을 예로 들어 설명하면, 먼저 선택된 메모리셀의 데이타가 열 선택라인(313)과 평행하게 배치된 비트라인(도시 생략)을 통해 센스 증폭기 영역(306)에 설치된 센스 증폭기의 행(도시 생략)에 판독된다. 이 센스 증폭기 영역(306)은 메모리 블록(300)내에 종횡으로 배치된 셀블록(308)의 각 열에 대하여, 각 셀블록(308) 사이에 설치된다.

열 디코더(302)는 메모리 블록(300)내의 도면 횡방향의 위치 선택을 행한다. 즉, 열 디코더(302)는 종방향으로 연장되는 복수의 열 선택라인(313)중의 1개를 선택하여, 이것을 활성화함으로써 열에 관하여 메모리셀의 선택을 행한다. 실제로는 열 선택라인(313)은 센스 증폭기 영역의 센스 증폭기 열에 접속되어 있고, 활성화된 열 선택라인(313)에 대응하는 센스 증폭기로부터, 데이타가 로컬 데이타 버스(312)로 독출된다.

로컬 데이타 버스(312)로 독출된 데이타는 셀블록 열간에 설치되는 데이타 버스 스위치(311)를 통해 글로벌 데이타 버스(310)에 전송된다. 글로벌 데이타 버스(310)의 데이타는 센스 증폭기(303)에 판독된다. 여기서 데이타 버스 스위치(311)는 선택되지 않은 로컬 데이타 버스(312)(로컬 데이타 버스(312)는 셀블록(308)내의 메모리 매트릭스의 각 행에 대하여 설치된다)의 배선 부하를 글로벌 데이타 버스(310)로부터 분리하기 위해서 이용된다.

도 11에 있어서, 글로벌 데이타 버스(310)의 각각은 예컨대 2비트의 정보를 전송한다. 이 경우 4개의 센스 증폭기(303)의 각각이, 1회의 데이타 독출로 2비트의 데이타를 대응하는 셀블록(308)의 열로부터 수취하게 된다. 즉, 메모리 블록(300)으로부터는 8비트의 데이타가 독출되게 된다. 이 8비트의 데이타가 메모리칩내의 데이타 버스(305)에 공급된다. 이 데이타 버스(305)는 메모리칩내의 복수의 메모리 블록(300)에 공통으로 배선되어 있다.

데이타 버스(305)에 공급된 데이타는 입출력 래치(304)에 있어서 래치되어, 입출력라인(320)을 통해 외부로 출력된다.

DRAM에 있어서는 그 데이타 독출/기록 능력을 나타내는 지표로서, 밴드폭이라는 개념이 종종 이용된다. 밴드폭이란 그 DRAM의 동작 주파수와 메모리칩에 대하여 판독/기록되는 데이타의 비트수와의 곱이다. 즉, 동작 주파수가 높고 데이타비트수가 많을수록 그 DRAM의 밴드폭은 커진다.

동작 주파수가 일정하다는 조건하에서는 밴드폭을 크게하기 위해서는 데이타비트수를 많게 할 필요가 있다. 예컨대, 메모리칩내의 복수의 메모리 블록중에, 1개이상의 메모리 블록을 선택 활성화하여 데이타를 독출하도록 하면, 데이타 비트수를 많게 할 수 있다. 도 11과 같이 하나의 메모리 블록으로부터 8비트의 데이타가 독출 가능하다고 하면, 4개의 메모리 블록을 활성화하여 32비트의 데이타가 독출 가능하게 된다. 그러나 복수의 메모리 블록을 선택 활성화하는 것은 소비전력의 증가에 연결되므로 바람직하지 못하다. 따라서, 하나의 메모리 블록으로 데이타 비트수를 크게 할 수 있는 것이 바람직하다.

도 11의 메모리 블록으로 데이타 비트수를 크게하고자 하면, 글로벌 데이타 버스(310)에 대하여, 버스 자체의 개수 혹은 각 버스를 구성하는 배선의 개수를 증가시킬 필요가 있다. 그러나 도 11의 메모리 블록의 배치에 있어서는 글로벌 데이타 버스(310)가 열 선택라인(313)에 평행하게 연재하므로, 글로벌 데이타 버스(310)는 로컬 워드 드라이버 영역(307)의 공간등에 배치할 수 밖에 없다. 즉 글로벌 데이타 버스(310)는 열 선택라인(313)이 점유하는 공간 이외의 남은 공간을 이용하여 배선할 수 밖에 없다. 이 남은 공간에 배치할 수 있는 신호라인 수에는 제한이 있으며, 신호라인 수를 많게 하기 위해서는 공간을 크게할 필요가 있지만, 이것은 칩면적의 증가에 관계되어 바람직하지 못하다.

즉, 도 11과 같은 배치에서는 밴드폭을 크게하고자 하면 칩면적의 증대를 수반하게 된다. 또한 반대로 말하면, 동일한 밴드폭을 유지하면서 칩면적을 작게 하는 것은 곤란하다는 것이 된다.

또한 DRAM의 소비전력 삭감이라는 것을 생각하면, 메모리칩을 분할하는 메모리 블록수를 증가시키고, 각 메모리 블록의 영역을 작게 하는 것이 바람직하다. 각 메모리 블록의 영역을 작게하는 것이 가능하면, 선택 활성화되는 영역이 작아져서, 소비전력의 감소로 연결되기 때문이다. 그러나 상술한 바와 같이, 동일한 밴드폭을 유지하면서 메모리 블록의 칩면적을 축소하는 것은 곤란하다. 따라서, 동일한 밴드폭을 유지한채로 메모리칩을 분할하는 메모리 블록수를 증가시키고자 하면, 메모리칩 전체에서는 칩면적이 커지게 된다.

발명이 이루고자 하는 기술적 과제

본 발명은 칩면적을 증대시키지 않고 밴드폭을 증대시킬 수 있는 DRAM을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

청구범위 제 1 항의 발명에 있어서의 반도체 기억 장치는 복수의 비트라인과, 해당 복수의 비트라인의 각각에 접속되는 제 1 센스 증폭기와, 해당 제 1 센스 증폭기 및 게이트를 통해 해당 복수의 비트라인에 접속되며, 해당 복수의 비트라인과 평행하게 배치되는 제 1 데이타 버스와, 해당 제 1 데이타 버스와 해당 비트라인을 접속하기 위해 해당 게이트의 적어도 몇개를 도통시키는 해당 비트라인에 직교하여 배치되는 열 선택라인을 포함하는 것을 특징으로 한다.

상기 발명에 있어서는 신호 전송용 제 1 데이타 버스가 비트라인에 평행하게 배치되고, 열 어드레스 선택

용 열 선택라인이 비트라인에 수직으로 배치된다. 이러한 구성으로 함으로써, 종래의 DRAM의 구성에 있어서 열 선택라인이 점유하고 있는 공간을 신호 전송용 제 1 데이타 버스의 배선에 이용할 수 있다. 따라서, 수많은 배선을 신호 전송용으로서 설치할 수 있다.

청구범위 제 2 항의 발명에 있어서의 청구범위 제 1 항 기재의 반도체 기억 장치는 상기 비트라인에 접속되는 셀로 이루어지고 해당 비트라인이 연재하는 방향 및 그것에 직교하는 방향에 종횡으로 배치되는 복수의 셀블록과, 해당 복수의 셀블록의 각 열에 대하여 상기 비트라인에 평행하여 배치되는 글로벌 열 선택라인과, 해당 복수의 셀블록의 각 행에 대하여 해당 비트라인에 직교하여 배치되는 블록 선택라인과, 해당 글로벌 열 선택라인과 해당 블록 선택라인과의 각 교점부근에 설치되어, 상기 열 선택라인과 해당 글로벌 열 선택라인을 접속하기 위한 접속부를 추가로 포함하고, 상기 제 1 센스 증폭기 및 해당 열 선택라인은 해당 복수의 셀블록 행을 설치되는 것을 특징으로 한다.

상기 발명에 있어서는 비트라인에 평행하여 배치된 글로벌 열 선택라인을 통해, 열 어드레스 신호를 열 선택라인에 공급할 수 있다.

청구범위 제 3 항의 발명에 있어서의 청구범위 제 2 항 기재의 반도체 기억 장치에 있어서, 상기 접속부는 상기 글로벌 열 선택라인의 신호 및 상기 블록 선택라인의 신호에 기초하여, 상기 열 선택라인을 선택하도록 구성되어 있는 것을 특징으로 한다.

상기 발명에 있어서는, 블록 선택라인의 1개를 선택함으로써 셀블록의 1개의 행을 선택하여, 이 1개의 행에 대응하는 열 선택라인을 선택 활성화할 수 있다.

청구범위 제 4 항의 발명에 있어서의 청구범위 제 1 항 기재의 반도체 기억 장치는 상기 제 1 센스 증폭기의 각각에 대하여 1개씩 설치된 상기 제 1 센스 증폭기를 구동하는 센스 증폭기 드라이버를 추가로 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 센스 증폭기 드라이버를 제 1 센스 증폭기의 각각에 대하여 1개씩 설치함으로써, 수많은 제 1 센스 증폭기에 대하여 공통의 센스 증폭기 드라이버를 설치한 경우에 생기는 소스 전위의 변동을 억제할 수 있다.

청구범위 제 5 항의 발명에 있어서의 청구범위 제 1 항 기재의 반도체 기억 장치는 상기 제 1 데이타 버스의 각 쌍에 대하여 1개씩 설치된 해당 제 1 센스 증폭기를 구동하는 센스 증폭기 드라이버를 추가로 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 센스 증폭기의 소스 전위의 변동을 억제할 수 있는 동시에, 열 용장에 의해 제 1 데이타 버스의 각 쌍을 대체할 때의 처리가 간략화된다.

청구범위 제 6 항의 발명에 있어서의 청구범위 제 1 항 기재의 반도체 기억 장치는, 열 용장으로 전환하는 단위마다 1개씩 설치된 상기 제 1 센스 증폭기를 구동하는 센스 증폭기 드라이버를 추가로 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 센스 증폭기의 소스 전위의 변동을 억제할 수 있는 동시에, 열 용장에 의해 제 1 데이타 버스의 각 쌍을 대체할 때의 처리가 간략화된다.

청구범위 제 7 항의 발명에 있어서의 청구범위 제 1 항 기재의 반도체 기억 장치는 상기 제 1 데이타 버스에 평행하게 배치되고, 해당 제 1 데이타 버스의 각 쌍을 서로 시일드하는 전원라인을 추가로 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 제 1 데이타 버스의 각 쌍사이에서 크로스토크 잡음을 감소시킬 수 있다.

청구범위 제 8 항의 발명에 있어서의 청구범위 제 2 항 기재의 반도체 기억 장치는 상기 제 1 데이타 버스에 접속된 제 2 센스 증폭기와, 해당 제 2 센스 증폭기를 통해 해당 제 1 데이타 버스에 접속된 제 2 데이타 버스와, 해당 제 2 센스 증폭기를 선택적으로 구동함으로써 상기 셀블록 열의 적어도 1개를 선택하는 디코더를 추가로 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 제 1 데이타 버스로부터 제 2 데이타 버스에 데이타를 전송할 때, 제 1 데이타 버스상의 데이타를 선택하여 데이타 비트수를 감소시킬 수 있다. 따라서, 충분히 다수의 비트를 취출할 수 있는 커패시티를 제 1 데이타 버스에 준비해 두는 동시에, 제 2 데이타 버스에서 필요한 비트수에 따라서 비트수의 감소를 행할 수 있다.

청구범위 제 9 항의 발명에 있어서의 청구범위 제 8 항 기재의 반도체 기억 장치에 있어서, 상기 제 1 데이타 버스의 쌍이 전송되는 신호의 진폭은 해당 신호의 최대 가능 진폭보다도 작은 것을 특징으로 한다.

상기 발명에 있어서는, 소진폭의 신호를 이용함으로써 소비전력의 삭감을 도모할 수 있다.

청구범위 제 10의 발명에 있어서의 청구범위 제 8 항 또는 제 9 항 기재의 반도체 기억 장치에 있어서, 상기 제 2 데이타 버스의 쌍이 전송되는 신호의 진폭은 해당 신호의 최대 가능 진폭보다도 작은 것을 특징으로 한다.

상기 발명에 있어서는, 소진폭의 신호를 이용함으로써 소비전력의 삭감을 도모할 수 있다.

청구범위 제 11 항의 발명에 있어서의 청구범위 제 8 항 내지 제 10 항중 어느 한 항 기재의 반도체 기억 장치에 있어서, 상기 제 2 데이타 버스는 데이타 독출용 데이타 버스와, 데이타 기록용 데이타 버스를 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 데이타 독출용 데이타 버스와 데이타 기록용 데이타 버스를 따로따로 설치함으로써, 독출/기록의 전환사이에서 프리차지 동작분의 시간을 단축할 수 있다.

청구범위 제 12 항의 발명에 있어서의 뱅크 상호 배치 동작 가능한 반도체 기억 장치는 복수의 비트라인과, 해당 복수의 비트라인의 각각에 접속되는 제 1 센스 증폭기와, 해당 제 1 센스 증폭기 및 게이트를

통해 해당 복수의 비트라인에 접속되며, 해당 복수의 비트라인과 평행하게 배치되는 제 1 데이타 버스와, 해당 제 1 데이타 버스와 해당 비트라인을 접속하기 위해 해당 게이트의 적어도 몇개를 도통시키는 해당 비트라인에 직교하여 배치되는 열 선택라인을 포함하는 것을 특징으로 한다.

상기 발명에 있어서는, 신호 전송용 제 1 데이타 버스가 비트라인에 평행하게 배치되고, 열 어드레스 선택용 열 어드레스 신호라인이 비트라인에 수직으로 배치된다. 이러한 구성으로, 종래의 DRAM의 구성에 있어서 열 어드레스 신호라인이 점유하고 있는 공간을 신호 전송용 제 1 데이타 버스의 배선에 이용할 수 있다. 따라서, 수많은 배선을 신호 전송용으로서 설치할 수 있다.

청구범위 제 13 항의 발명에 있어서의 청구범위 제 12 항 기재의 반도체 기억 장치는 상기 비트라인에 접속되는 셀로 이루어지고 해당 비트라인이 연재하는 방향 및 그것에 직교하는 방향에 종횡으로 배치되는 복수의 셀블록과, 해당 복수의 셀블록의 각 열에 대하여 상기 비트라인에 평행하여 배치되는 글로벌 열 선택라인과, 해당 복수의 셀블록의 각 행에 대하여 해당 비트라인에 직교하여 배치되는 블록 선택라인과, 해당 글로벌 열 선택라인과 해당 블록 선택라인과의 각 교점부근에 설치되고, 해당 글로벌 열 선택라인의 신호 및 해당 블록 선택라인의 신호에 기초하여 상기 열 선택라인의 선택을 행하는 접속부를 추가로 포함하며, 상기 제 1 센스 증폭기 및 해당 열 선택라인은 해당 복수의 셀블록의 행을 따라서 설치되는 것을 특징으로 한다.

상기 발명에 있어서는, 비트라인에 평행하여 배치된 글로벌 열 선택라인을 통해 열 어드레스 신호를 열 선택라인에 공급할 수 있다.

청구범위 제 14의 발명에 있어서의 청구범위 제 13 항 기재의 반도체 기억 장치는 상기 블록 선택라인의 1개를 순차적으로 선택함으로써 상기 복수의 셀블록의 각 행을 뱅크로서 뱅크 상호 배치 동작을 가능하게 하는 행 디코더를 추가로 포함하고, 상기 접속부는 해당 블록 선택라인의 해당 1개에 대응하는 상기 열 선택라인과 상기 글로벌 열 선택라인을 접속하는 것을 특징으로 한다.

상기 발명에 있어서는, 행 디코더에 의해서 블록 선택라인의 1개를 선택함으로써 셀블록의 1개의 행을 선택하여, 이 1개의 행에 대응하는 열 선택라인을 활성화할 수 있다.

청구범위 제 15 항의 발명에 있어서의 청구범위 제 1 항 기재의 반도체 기억 장치에 있어서, 상기 제 1 데이타 버스는 상기 복수의 비트라인에 접속되어 있는 메모리셀이 배치되어 있는 셀블록 영역상에 연재하고 있는 것을 특징으로 한다.

청구범위 제 16 항의 발명에 있어서의 청구범위 제 2 항 기재의 반도체 기억 장치에 있어서, 상기 글로벌 열 선택라인은 상기 셀블록의 열간에 배치되어 있는 것을 특징으로 한다.

이하에 본 발명의 원리와 실시예를 첨부의 도면을 이용하여 설명한다.

도 1은 본 발명의 원리에 기초하는 DRAM의 메모리 코어주변의 구성을 나타낸다. 본 발명에 따르면, 메모리 블록내에서 열 선택라인과 데이타 버스를 직교하여 배치함으로써, 충분한 공간을 데이타 버스 배선을 위해 확보할 수 있다.

도 1의 DRAM은 메모리 블록(10), 행 디코더(11), 열 디코더(12), 데이타 전송 버퍼(13), 입출력 래치(14), 제 2 데이타 버스(15), 센스 증폭기 영역(16), 로컬 워드 드라이버 영역(17), 셀블록(셀매트릭스)(18), 글로벌 열 선택라인(20), 행 블록 선택부(21), 열 선택라인(22), 행 블록 선택라인(23), 제 1 데이타 버스(24), 글로벌 워드라인(25), 입출력라인(30)을 포함한다.

1개의 메모리칩내에는 도 1의 메모리 블록(10)이 복수개 준비되어 있다. 그 메모리칩에 대해서 어떤 어드레스가 지정되면, 복수의 메모리 블록(10)중에 1개의 메모리 블록만이 선택 활성화되고, 또 선택된 메모리 블록(10)내의 지정된 어드레스에 대하여 액세스가 행해진다. 메모리 블록(10)에는 종횡으로 배치된 복수의 셀블록(셀매트릭스)(18)이 설치된다. 하나의 셀블록(18)은 종횡으로 배치된 복수의 메모리셀(도시 생략)을 포함하고, 각 메모리셀이 1비트의 데이타를 유지한다. 메모리 블록(10)내에서 특정한 어드레스의 메모리셀을 액세스하기 위해, 행 디코더(11) 및 열 디코더(12)가 이용된다.

도 1의 본 발명의 DRAM에 있어서, 글로벌 워드라인 및 로컬 워드 드라이버 영역에 배치된 로컬 워드 드라이버 열을 이용하여 행 선택을 행하는 것은 도 11의 종래 기술의 DRAM과 같다. 즉 행 디코더(11)는 복수의 글로벌 워드라인(25)내의 1개를 선택하여(도면에는 선택된 글로벌 워드라인만 도시한다), 종횡으로 배열된 셀블록(18)중의 1개의 행을 선택한다. 이 선택된 글로벌 워드라인(25)은 복수 비트의 워드 어드레스 신호를 공급한다. 각 열에 있어서, 셀블록(18)간에는 로컬 워드 드라이버 영역(17)이 설치되고, 이 영역에는 로컬 워드 드라이버의 열(도시 생략)이 배치된다. 글로벌 워드라인(25)의 워드 어드레스 신호에 의해, 일련의 로컬 워드 드라이버중부터 1개의 로컬 워드 드라이버를 선택하여, 거기에 접속된 한개의 워드라인을 활성화한다. 이것에 의해서, 행에 대해 메모리셀의 선택이 이루어진다.

셀블록(18)의 각 셀에 접속된 비트라인은 제 1 데이타 버스(24)에 평행하게 연재하고, 센스 증폭기 영역(16)의 센스 증폭기 열(도시 생략)에 게이트(도시 생략)를 통해 접속된다. 또한 열 디코더(12)로부터 제 1 데이타 버스(24)에 평행하게 연장되는 글로벌 열 선택라인(20)은 각 셀블록(18)사이(로컬 워드 드라이버 영역)에 배치된다. 이 글로벌 열 선택라인(20)은 복수 비트의 열 어드레스 신호를 공급한다. 행 디코더(11)에 의해, 액세스하는 셀블록(18)에 대응하는 행 블록 선택라인(23)이 선택되고(도면에서는 선택된 행 블록 선택라인만이 표시된다), 글로벌 열 선택라인(20)에 직교하는 열 선택라인(22)에 행 블록 선택부(21)를 통해 복수 비트의 열 어드레스 신호가 공급된다. 열 선택라인(22)에 공급된 열 어드레스 신호는 센스 증폭기 열에 접속된 게이트를 선택적으로 도통시킴으로써, 선택된 센스 증폭기를 제 1 데이타 버스(24)에 접속한다. 이것에 의해서 선택된 센스 증폭기로부터 제 1 데이타 버스(24)에 데이타가 독출되어 데이타 전송 버퍼(13)에 공급된다. 데이타 기록의 경우는 이와 반대로, 데이타 전송 버퍼(13)로부터 제 1 데이타 버스(24)를 통해 선택된 센스 증폭기에 데이타가 기록된다.

데이타 독출의 경우, 데이타 전송 버퍼(13)에 공급된 데이타는 제 2 데이타 버스(15)에 출력된다. 데이타 버스(15)상의 데이타는 입출력 래치(14)에 있어서 래치되어 입출력라인(30)을 통해 외부에 출력된다. 데

이타 기록의 경우는 입출력라인(30)으로부터 입출력 래치(14)에 공급된 데이타가 데이타 버스(15)에 출력되어, 데이타 버스(15)로부터 데이타 전송 버퍼(13)에 기록된다.

이와 같이 본 발명의 원리에 의한 DRAM에 있어서는, 메모리 블록(10)내에서 신호 전송용 제 1 데이타 버스(24)가 비트라인에 평행하게 또한 셀블록(18) 상에 배치되며, 열 어드레스 선택용 열 선택라인(22)이 비트라인에 수직으로 배치된다. 이러한 구성으로, 종래의 도 11의 DRAM의 구성에 있어서 열 선택라인(313)이 점유하고 있는 공간을 신호 전송용 제 1 데이타 버스(24)의 배선에 이용할 수 있다. 따라서, 일렬의 셀블록(18)에 대하여 수많은 신호 전송용 배선을 설치할 수 있다.

또 도 1의 구성에 있어서는, 한개의 글로벌 열 선택라인(20)은 그 양 사이드 2열의 셀블록(18)에 대하여, 각 열의 반씩인 제 1 데이타 버스(24)를 담당하도록 되어 있다. 그러나 이것은 본질적인 특징이 아니라, 도 11의 구성과 유사하며, 한 개의 글로벌 열 선택라인(20)이 그 한쪽 일련의 셀블록에 대하여, 셀블록 전체에 대응하는 제 1 데이타 버스(24)를 담당하도록 하여도 좋다. 단지, 도 1과 같은 구성으로 한 경우에는 열 선택라인(22)이 행 블록 선택부(21)로부터 연장되는 길이를 짧게 설정할 수 있다고 하는 특징이 있다.

도 2는 본 발명의 원리에 기초하는 DRAM의 전체구성을 나타내는 개략도이다. 도 2의 DRAM에 있어서, 커멘드/어드레스 입력 단자(36)와 데이타 입출력 단자(37)는 본딩와이어등에 의해서 칩(32)의 노드(34)에 접속된다. 노드(34)중 데이타 입출력에 관한 것은 도 1의 입출력 래치(14) 및 제 2 데이타 버스(15)를 통해, 데이타 전송 버퍼(13)에 접속된다. 또 입출력 래치(14) 및 제 2 데이타 버스(15)는 도면의 간략화를 위해 도 2에서는 생략되어 있다. 노드(34)중 어드레스 입력에 관한 것은 행 디코더(11) 및 열 디코더(12)에 접속된다. 이들 행 디코더(11) 및 열 디코더(12)가 복수의 셀블록(18)으로 이루어지는 메모리 블록(10)인데 대하여 행 및 열의 어드레스 선택을 행하는 것은 도 1에 참조하여 설명한 바와 같다.

도 3은 도 1의 글로벌 열 선택라인(20), 행 블록 선택부(21), 열 선택라인(22), 및 행 블록 선택라인(23)의 실시예를 도시하는 도면이다. 도 3에 있어서, 도 1과 동일한 구성 요소는 동일한 번호로 참조된다. 또한 동일번호를 갖는 복수의 구성 요소를 구별하기 위해, 괄호내의 번호가 이용된다.

도 3에 있어서, 종으로 4개 나란히 도시되어 있는 행 블록 선택부(21)(1) 내지 (21)(4)중에, 행 블록 선택부(21)(1) 및 (21)(2)가, 셀블록(18)(1) 및 (18)(2)에 대한 열 선택을 행하기 위한 것으로, 행 블록 선택부(21)(3) 및 (21)(4)가, 셀블록(18)(3) 및 (18)(4)에 대한 열 선택을 행하기 위한 것이다. 따라서 예컨대, 동일행의 셀블록(18)(1) 및 (18)(2)를 선택할 때에는 행 블록 선택라인(23)(1) 및 (23)(2)의 양쪽이 선택되게 된다. 도 1에 있어서는 셀블록(18)의 1행을 선택하기 위해서 한개의 행 블록 선택라인(23)을 이용하도록 도시하였지만, 도 3의 실시예에 있어서는, 어떤 행을 사이에 끼우는 2개의 행 블록 선택라인(23)을 선택함으로써 그 행을 선택하도록 구성되어 있다.

열 디코더(12)는 NAND 회로(45 내지 52)를 포함한다. NAND 회로(45 내지 52)는 열 어드레스를 나타내는 Y0, Y1, Y2, Y3, Y4, Y5의 6비트중의 3비트를 디코드한 열 선택 신호 Y0Y1Y2～/Y0/YI/Y2를 한쪽의 입력으로 하고, 셀블록 열 선택 신호를 다른 한쪽의 입력으로 한다. 따라서, 셀블록열 선택 신호가 하이(high)일 때, 열 선택 신호 Y0Y1Y2～/Y0/YI/Y2의 반전 신호가 글로벌 열 선택라인(20)에 출력된다. 따라서, 8개의 글로벌 열 선택라인(20)중에, 1개만이 로우(low)가 된다.

예컨대, 행 블록 선택부(21)(3)는 NOR 회로(41 내지 44)를 포함하며, NOR 회로(41 내지 44)는 행 블록 선택라인(23)(3)을 한쪽의 입력으로 하고, 열 선택 신호 Y0Y1Y2～/Y0/Y1Y2에 대응하는 4개의 글로벌 열 선택라인(20)을 다른쪽 입력으로 한다. 다른 행 블록 선택부 (21)(1), (21)(2), 및 (21)(4)도 동일하게 NOR 회로로 구성된다.

이하, 셀블록(18)(3) 및 (18)(4)을 선택하는 경우를 예로 들어 설명한다. 셀블록(18)(3) 및 (18)(4)을 선택하는 경우, 행 블록 선택라인(23)(3) 및 (23)(4)의 양쪽이 로우로 된다. 다른 행 블록 선택라인(23)은 하이이다. 예컨대, 열 선택 신호 Y0, Y1 ,Y2에 대응하는 글로벌 열 선택라인(20)이 행인 경우, NOR 회로(41)의 2개의 입력은 양쪽 모두 로우이다. 따라서 NOR 회로(41)의 출력은 하이가 된다. 다른 NOR 회로(42 내지 44)의 출력은 로우이다. 따라서 이 경우, 4개의 열 선택라인(22)(3)의 1개만이 하이가 되게 된다. 다른 열 선택라인(22)(1), 22(2), 및 (22)(4)는 모두 로우이다.

이렇게 하여, 열 디코더(12)로부터 출력된 열 선택 신호를 행 블록 선택라인(23)에 의해서 선택된 열 선택라인(22)에 공급할 수 있다. 즉, 선택된 1행의 셀블록(18)에 대응하는 8개의 열 선택라인(22)중에 1개만을 선택하여 하이로 할 수 있다.

또 도 3의 예에 있어서는 글로벌 열 선택라인(20)은 디코드된 열 선택 신호 Y0Y1Y2～/Y0/Y1/Y2를 전송하는 8개의 배선으로서 표시되었지만, 디코드전의 열 어드레스 신호 Y0, Y1, 및 Y2를 전송하는 3개의 배선이라도 좋다. 이 경우, 행 블록 선택부(21)는 열 어드레스 신호 Y0, Y1, 및 Y2를 디코드하는 디코더의 기능을 구비하면 좋다.

도 1을 참조하여 설명한 바와 같이, 열 선택라인(22)을 통해 공급된 열 어드레스 신호(열 선택 신호)는 센스 증폭기 영역의 센스 증폭기열에 접속된 게이트를 선택적으로 도통시킴으로써, 선택된 센스 증폭기를 제 1 데이타 버스(24)에 접속한다. 도 3에 있어서, 예컨대 데이타 독출시에는 제 1 데이타 버스(24)에 독출된 데이타는 데이타 전송 버퍼(13)의 센스 증폭기(13-1 내지 13-64)에 공급된다. 이와 같이 본 예에서는 제 1 데이타 버스(24)는 64비트를 전송한다(64쌍의 신호라인으로 된다).

이하, 센스 증폭기 영역의 선택된 센스 증폭기를 제 1 데이타 버스(24)에 접속하는 회로에 대해서 설명한다.

도 4는 센스 증폭기 영역의 센스 증폭기, 열 선택라인(22), 제 1 데이타 버스(24)의 실시예를 도시하는 도면이다. 도 4에 도시된 열 선택라인(22)은 예컨대 도 3의 열 선택라인(22)(3)에 대응한다. 즉 도 4는 예컨대 도 3의 센스 증폭기 영역(16A)의 부분을 도시하는 것이며, 열 선택라인(22)은 열 선택 신호 Y0Y1Y2～/Y0/Y1Y2를 전달한다. 또 도 4에 있어서는 열 선택 신호 Y0Y1Y2*BLK～/Y0/Y1Y2*BLK로서 도시되어

있지만, 이것은 이 열 선택 신호가 행 블록 선택라인(23)의 신호 BLK에 의해 선택된 것을 도시한다.

도 4에 있어서, 센스 증폭기 영역의 센스 증폭기열은 NMOS 트랜지스터(62-1 내지62-16) 및 PMOS 트랜지스터(63-1 내지 63-16)로 이루어지고, 예컨대, NMOS 트랜지스터(62-1 및 62-2)와 PMOS 트랜지스터(63-1 및 63-2)가 1개의 센스 증폭기를 구성한다. 또한 예컨대, NMOS 트랜지스터(62-3 및 62-4)와 PMOS 트랜지스터(63-3 및 63-4)가 1개의 센스 증폭기를 구성하며, 이하 동일하다. 따라서 도 4에는 8개의 센스 증폭기가 도시되게 된다. NMOS 트랜지스터(64-1 내지 64-8)는 센스 증폭기열을 구동하는 트랜지스터이다. 신호 NSA-d가 하이일 때, 이들 NMOS 트랜지스터(64-1 내지 64-8)는 도통이 되어, 센스 증폭기에 전류가 흐른다. 또한 이 때 신호 PSA-d도 하이가 되어, 센스 증폭기에 흐르는 전류를 공급한다. 또 센스 증폭기의 전류는 저전위 Vss를 향해 흐른다.

각 센스 증폭기에는 비트라인의 쌍이 접속된다. 예컨대, 비트라인 BL0 및 /BL0의 쌍은 NMOS 트랜지스터(62-1 및 62-2)와 PMOS 트랜지스터(63-1 및 63-2)로 이루어지는 센스 증폭기에 접속된다. 도 4에는 8쌍의 비트라인 BL0 및 /BL0 내지 BL7 및 /BL7이 도시된다. 이들 8쌍의 비트라인이 상기 8개의 센스 증폭기에 접속된다.

NMOS 트랜지스터(61-1 내지 61-24)는 비트라인을 프리차지 및 단락시키기 위해서 설치된다. 프리차지 신호(PC1)가 하이일 때, NMOS 트랜지스터(61-1 내지 61-24)는 모두 도통이 된다. 이것에 의해 모든 비트라인쌍이 전압 Vpr의 전위로 되는 동시에, 각 비트라인쌍에 있어서 서로의 비트라인이 단락되어 동일 전위가 되는 것을 확실하게 한다. 예컨대, 프리차지 신호(PC1)가 하이일 때, NMOS 트랜지스터(61-1 및 61-3)가 도통이 되고, 비트라인 BL0 및 /BL0이 전압 Vpr의 전위로 되는 동시에, NMOS 트랜지스터(61-2)가 도통이 되어, 비트라인 BL0 및 /BL0이 서로 단락되어 동일 전위가 되는 것을 확실하게 한다.

NMOS 트랜지스터(65-1 내지 65-16)는 열 선택라인(22)의 열 선택 신호에 의해서 선택된 센스 증폭기를 제 1 데이타 버스(24)에 접속하기 위해서 설치된다. 도 4에는 2쌍의 제 1 데이타 버스 DB0 및 /DB0과 DB1 및 /DB1이 도시된다. 예컨대, 열 선택 신호 Y0Y1Y2*BLK가 하이일 경우, NMOS 트랜지스터(65-1 및 65-2)가 도통된다. 이것에 의해서, 비트라인 BL0이 제 1 데이타 버스 DB0에 접속되는 동시에, 비트라인/BL0이 제 1 데이타 버스/DB0에 접속된다. 따라서, 센스 증폭기에 의해서 증폭된 비트라인 BL0 및 /BL0의 데이타가 제 1 데이타 버스 DB0 및 /DB0에 공급되게 된다.

이렇게 하여, 제 1 데이타 버스 DB0 및 /DB0은 4쌍의 비트라인 BL0 및 /BL0 내지BL3 및 /BL3중의 1쌍과 접속된다. 또한 제 1 데이타 버스 DB1 및 /DB1은 4쌍의 비트라인 BL4 및 /BL4 내지 BL7 및 /BL7중의 1쌍과 접속된다. 이 비트라인쌍의 선택은 상술과 같이 열 선택라인(22)의 열 선택 신호 Y0Y1Y2*BLK～/Y0/Y1Y2*BLK에 의해서 행해진다. 즉 도 4에 있어서는 4쌍의 비트라인으로부터 1쌍이 선택되어, 제 1 데이타 버스(24)로 접속되게 된다.

도 4의 센스 증폭기 영역은 도 3에 도시된 센스 증폭기 영역(16A)에 대응한다. 이 센스 증폭기 영역(16A)에 공급되는 열 선택 신호는 8비트중의 4비트이다. 나머지 4비트는 도 3의 센스 증폭기 영역(16B)에 공급된다. 센스 증폭기 영역(16B)에 있어서도 센스 증폭기 영역(16A)와 같이, 4비트의 열 선택 신호중 1비트가 하이가 되면, 4쌍의 비트라인으로부터 1쌍을 선택하여 제 1 데이타 버스(24)에 접속한다. 단지 선택 대상이 되는 4쌍의 비트라인은 센스 증폭기 영역(16A)과 센스 증폭기 영역(16B)에서는 다르다. 그리고, 이 예에서는 4비트의 열 선택라인(22)(3)중 1비트가 선택되어 있을 때, 4비트의 열 선택라인(22)(4)은 모두 비선택이다. 따라서, 도 3 및 도 4의 구성에 있어서는, 8쌍의 비트라인으로부터 1쌍을 선택하여 제 1 데이타 버스(24)에 접속하게 된다.

또한 도 4에 있어서는, 제 1 데이타 버스(24)(DB0 및 /DB0과 DB1 및 /DB1)에 평행하여 시일드라인(SH1 내지 SH3)이 설치된다. 이 시일드라인(SH1 내지 SH3)은 전원전압 Vss에 접속되어 있다. 이것에 의해, 제 1 데이타 버스(24)의 쌍과 쌍사이의 크로스토크등의 잡음을 억제할 수 있다.

또한 도 4에 있어서는, 센스 증폭기를 구동하는 드라이버 트랜지스터인 NMOS 트랜지스터(64-1 내지 64-8)는 각 센스 증폭기에 대하여 설치된다. 이 드라이버 트랜지스터는 몇개의 센스 증폭기에 대하여 공통인 것을 설치하여도 좋다. 그러나 예컨대 도 4의 모든 센스 증폭기에 대하여 1개의 드라이버 트랜지스터를 설치하고, 예컨대 도 4의 전원 Vss의 전원라인의 위치에 드라이버 트랜지스터와 각 센스 증폭기를 접속하는 공통의 배선을 설치하면, 이 배선이 길어짐에 따라 배선 저항이 커진다. 더구나 이 배선에는 대량의 전류가 흐르게 되므로, 큰 배선 저항과 대량의 전류에 의해, 센스 증폭기의 위치에 있어서의 전위가 높아져 버린다. 이 현상을 피하기 위해서, 1개의 드라이버 트랜지스터에 대해서는 되도록이면 적은 수의 센스 증폭기를 접속하는 쪽이 바람직하다.

도 5는 센스 증폭기 영역의 센스 증폭기, 데이타 전송 버퍼(13)의 센스 증폭기, 제 2 데이타 버스(15), 입출력 래치(14), 및 그 주변의 실시예를 도시하는 도면이다. 도 5에 있어서, 도 1, 도 3, 및 도 4와 동일한 구성 요소는 동일한 부호로 참조되며, 그 설명은 생략된다.

도 5의 상부에는 도 3의 센스 증폭기 영역(16A)의 일부, 즉, 도 4의 회로의 제 1 데이타 버스(24)의 1쌍 DB0 및 /DB0, 그것에 도통되는 비트라인 BL0 및 /BL0, 및 그 주변의 회로가 도시된다. 도 5에 있어서는 도 4의 PMOS 트랜지스터(63-1 및 63-2)와 NMOS 트랜지스터(62-1 및 62-2)에 의해 구성되는 센스 증폭기가 참조번호 60에 의해서 도시된다.

PMOS 트랜지스터(66), NMOS 트랜지스터(67), 인버터(68, 69)로 이루어진 회로는 도 4을 참조하여 설명된 센스 증폭기의 구동 신호 PSA-d 및 NSAd를 생성한다. 즉, 신호 Sense Enable이 하이일 때, 신호 PSA-d 및 NSA-d는 모두 하이가 된다.

센스 증폭기 영역(16A)으로부터 연장되는 제 1 데이타 버스의 1쌍 DB0 및 /DB0은 도 3의 데이타 전송 버퍼(13)의 센스 증폭기(13-1)에 입력된다. 도 5에 도시된 바와 같이, 센스 증폭기(13-1)는 NMOS 트랜지스터(91 내지 93), 독출용 증폭기(94), 및 기록용 증폭기(95)를 포함한다. NMOS 트랜지스터(91 내지 93)는 제 1 데이타 버스의 1쌍 DB0 및 /DB0에 대하여, 프리차지 및 단락 동작을 행하기 위한 것이다. 즉, 프리차지 신호(PC2)가 하이일 때, NMOS 트랜지스터(91 내지 93)가 도통되어, DB0 및 /DB0이 전위 Vpr에 차지

되는 동시에 서로 단락된다.

독출용 증폭기(94)에는 증폭기 구동 신호(S1 및 S2)가 공급되고, 기록용 증폭기(95)에는 증폭기 구동 신호(S3 및 S4)가 공급된다. 이들 증폭기 구동 신호(S1 내지 S4) 및 상기 프리차지 신호(PC2)는 신호 생성 회로(70)에 의해서 생성된다. 이 신호 생성 회로(70)는 데이타 전송 버퍼(13)의 복수의 센스 증폭기(13-1 내지 13-64)(도 3)중에 센스 증폭기(13-1)가 선택된 경우만 동작한다.

이 센스 증폭기의 선택은 디코더(130)에 의해서 행해진다. 디코더(130)는 NAND 회로(131) 및 인버터(132)를 포함하며, 열 어드레스를 나타내는 Y0, Y1, Y2, Y3, Y4, Y5의 6비트중의 Y3, Y4, Y5의 3비트를 디코드한다. 도 5의 예에 있어서, Y3, Y4, Y5가 모두 하이일 때(부논리라도 상관없다), 디코더(130)는 하이를 출력한다.

독출 동작의 경우, 디코더(130)의 출력 신호 및 독출 신호(Read-2)가 모두 하이이므로, NAND 회로(134)는 로우를 출력하고, 인버터(136)의 출력은 하이가 된다. 이 때 기록 신호(Write-2)는 행이므로, 인버터(135)의 출력은 로우이다.

기록 동작의 경우, 디코더(130)의 출력 신호 및 독출 신호(Write-2)가 모두 하이이므로, NAND 회로(133)는 로우를 출력하며, 인버터(135)의 출력은 하이가 된다. 이 때 기록 신호(Read-2)는 로우이므로, 인버터(136)의 출력은 로우이다.

프리차지 동작의 경우, 기록 신호(Write-2) 및 독출 신호(Read-2)가 모두 로우이므로, 인버터(135 및 136)의 출력은 모두 로우이다.

이 인버터(135 및 136)의 출력이 증폭기 구동 신호 생성 회로(70)에 공급된다. 증폭기 구동 신호 생성 회로(70)는 NMOS 트랜지스터(71 내지 77) 및 PMOS 트랜지스터(78 내지 84)를 포함한다.

NMOS 트랜지스터(76 및 77)와 PMOS 트랜지스터(83 및 84)로 이루어진 회로는 2단의 인버터를 구성하고, 인버터(135)의 출력이 하이일 때, 증폭기 구동 신호(S3 및 S4)를 하이로 한다. 반대로 인버터(135)의 출력이 로우일 때에는 증폭기 구동 신호(S3 및 S4)를 로우로 한다. 인버터(135)의 출력은 기록 동작의 경우만 하이가 되므로, 증폭기 구동 신호(S3 및 S4)는 기록 동작의 경우만 하이가 된다.

NMOS 트랜지스터(74 및 75)와 PMOS 트랜지스터(81 및 82)로 이루어진 회로는 2단의 인버터를 구성하며, 인버터(136)의 출력이 하이일 때, 증폭기 구동 신호(S1 및 S2)를 하이로 한다. 반대로 인버터(136)의 출력이 로우일 때에는 증폭기 구동 신호(S1 및 S2)를 로우로 한다. 인버터(136)의 출력은 독출 동작의 경우만 하이가 되므로, 증폭기 구동 신호(S1 및 S2)는 독출 동작의 경우만 하이가 된다.

NMOS 트랜지스터(71 내지 73) 및 PMOS 트랜지스터(78 내지 80)으로 이루어진 회로는 AND 회로(NAND 회로와 인버터의 직렬 접속)를 구성하고, 2개의 입력이 하이일 때만 프리차지 신호(PC2)를 하이로 한다. 이 2개의 입력은 기록 신호(Write-2) 및 독출 신호(Read-2)의 반전 신호이므로, 프리차지 신호(PC2)는 기록 동작이라도 독출 동작도 아닌 경우에 하이가 된다.

독출용 증폭기(94)는 증폭기 구동 신호(S1 및 S2)가 모두 하이일 때 동작하고, 데이타 버스 DB0 및 /DB0의 데이타를 증폭하여, 제 2 데이타 버스(15)에 공급한다. 독출용 증폭기(94)는 NMOS 트랜지스터(101 내지 105)와 PMOS 트랜지스터(106 내지 111)를 포함한다. 여기서 NMOS 트랜지스터(101)는 증폭기 구동용 트랜지스터이고, 증폭기 구동 신호(S1)가 하이일 때 도통하여 증폭기를 구동한다. 또한 PMOS 트랜지스터(108 및 109)는 증폭기 구동 신호(S2)가 로우일 경우, 즉 독출 동작이외일 때, 증폭기 출력을 제 2 데이타 버스(15)에 공급하는 PMOS 트랜지스터(110 및 111)를 오프하기 위해 설치된다. 그 이외의 구성은 공지의 증폭기이므로 설명을 생략한다.

기록용 증폭기(95)는 증폭기 구동 신호(S3 및 S4)가 모두 하이일 때 동작하고, 제 2 데이타 버스(15)의 데이타를 증폭하여, 데이타 버스 DB0 및 /DB0에 공급한다. 기록용 증폭기(95)는 독출용 증폭기(94)의 데이타 출력용 PMOS 트랜지스터(110 및 111)가 PMOS 트랜지스터(102 및 113)와 NMOS 트랜지스터(114 내지 117)로 대체되고 있는 이외에는 독출용 증폭기(94)와 동일하므로 설명을 생략한다.

도 5에 있어서, 입출력 래치(14)는 입력 증폭기(141), 출력 증폭기(142), 출력 데이타 래치 회로(143), NOR 회로(146), 및 인버터(147)를 포함한다.

입력 증폭기(141)는 데이타 입력 단자 Din 및 /Din으로부터 데이타를 수취하고, 이것을 증폭하여 제 2 데이타 버스(15)에 공급한다. 입력 증폭기(141)의 구성은 독출용 증폭기(94)의 구성과 동일하므로 설명을 생략한다.

출력 증폭기(142)는 제 2 데이타 버스(15)로부터 데이타를 수취하고, 이것을 증폭하여 출력 데이타 래치 회로(143)에 공급한다. 출력 증폭기(142)는 공지의 증폭기이므로 설명을 생략한다.

출력 데이타 래치 회로(143)는 NAND 회로(144 및 145)를 포함하며, 플립플롭을 구성한다. 이 출력 데이타 래치 회로(143)는 출력 증폭기(142)로부터 공급된 데이타를 유지하여, 데이타 출력 단자 Dout 및 /Dout에 공급한다.

상기 입력 증폭기(141)는 기록 신호(Write-1)가 하이일 때 동작하며, 출력 증폭기(142)는 독출 신호(Read-1)가 하이일 때 동작한다. 또한 기록 신호(Write-1) 및 독출 신호(Read-1)의 논리화가 NOR 회로(146) 및 인버터(147)에 의해서 요청되며, 프리차지 회로(120)에 공급된다.

프리차지 회로(120)는 제 2 데이타 버스(15)를 프리차지 및 단락하기 위한 것이다. 프리차지 회로(120)는 PMOS 트랜지스터(121 내지 123)를 포함하고, 입출력 래치(14)로부터 공급되는 기록 신호(Write-1) 및 독출 신호(Read-1)의 논리화가 로우일 때, 제 2 데이타 버스(15)를 프리차지 및 단락한다. 즉, 기록 동작도 독출 동작도 아닐 때, 프리차지 동작을 행하게 된다.

이와 같이, 도 3에 나타낸 구성에 의해 열 선택라인(22)을 선택하여 도 4에 나타낸 구성에 의해 선택된 열의 비트라인을 제 1 데이타 버스(24)에 접속하고, 도 5에 나타낸 구성에 의해 데이타 전송 버퍼(13)의

센스 증폭기를 선택하여 제 1 데이타 버스(24)의 선택된 것을 제 2 데이타 버스(15)에 접속한다. 이것에 의해서, 비트라인으로부터 제 2 데이타 버스(15)에까지 데이타를 독출하거나, 제 2 데이타 버스(15)로부터 비트라인에 데이타를 기록하거나 할 수 있다. 즉, 도 3, 도 4, 및 도 5의 구성을 이용하면, 도 1의 본 발명의 원리에 의한 DRAM을 실현할 수 있다.

상술한 설명으로부터 알 수 있는 바와 같이, 8쌍의 비트라인으로부터 열 어드레스 Y0, Y1, Y2의 3비트에 의해 1쌍이 선택되어 제 1 데이타 버스(24)에 접속되고, 또한 8쌍의 제 1 데이타 버스(24)로부터 열 어드레스 Y3, Y4, Y5의 3비트에 의해 1쌍이 선택되어 제 2 데이타 버스(15)에 접속된다. 따라서, 비트라인이 2048비트인 경우에는 데이타 전송 버퍼(13)로부터의 출력은 32비트(2048/64)가 된다. 물론 제 1 데이타 버스(24)는 256비트(2048/8)분만 준비되어 있으므로, 데이타 전송 버퍼(13)에 있어서의 센스 증폭기의 선택율을 조정하면, 256비트까지의 데이타를 제 2 데이타 버스에 공급할 수 있다.

도 6은 데이타 독출시에 비트라인으로부터 제 2 데이타 버스에 데이타가 전송되는 상태를 도시하는 타이밍도이다. 도 6은 도 3 및 도 5에 대응하여, 센스 증폭기 구동용 신호 Sense Enable, 비트라인 신호, 행 블록 선택라인(23)의 신호, 글로벌 열 선택라인(20)의 신호, 제 1 데이타 버스(24)의 신호, 독출 신호(Read-2), 독출용 증폭기(94)의 출력 신호, 제 2 데이타 버스(15)의 신호, 독출 신호(Read-1), 및 출력 증폭기(142)의 출력 신호를 나타낸다.

행 블록 선택라인(23)의 신호, 글로벌 열 선택라인(20)의 신호, 제 1 데이타 버스(24)의 신호 및 제 2 데이타 버스(15)의 신호에는 선택되는 열에 의해서 약간의 신호 타이밍차가 생긴다. 도 6에 있어서, 신호 상승 및 하강 부분에 보이는 복수의 라인은 이 신호의 타이밍차를 나타내는 것이다.

도 6에 도시된 바와 같이, 신호 Sense Enable에 의해서 센스 증폭기(60)가 구동되고, 동시에 비트라인에 신호가 나타난다. 다음에 행 블록 선택라인(23)과 글로벌 열 선택라인(20)이 동시에 활성화되고, 선택된 비트라인의 신호가 제 1 데이타 버스(24)에 데이타로서 나타난다. 제 1 데이타 버스(24)의 데이타는 독출 신호(Read- 2)의 타이밍으로 독출용 증폭기(94)에 공급된다. 이것에 반응하여, 독출용 증폭기(94)의 출력에 데이타가 나타나고, 그 데이타가 제 2 데이타 버스(15)에 전파된다. 제 2 데이타 버스(15)의 데이타는 독출 신호(Read-1)의 타이밍으로 출력 증폭기(142)에 공급된다. 이것에 반응하여, 출력 증폭기(142)의 출력에 데이타가 나타난다.

도 7은 데이타 기록시에 제 2 데이타 버스로부터 비트라인에 데이타가 전송되는 상태를 도시하는 타이밍도이다. 도 7은 도 3 및 도 5에 대응하여, 기록 신호(Write-1), 제 2 데이타 버스(15)의 신호, 기록용 증폭기(95)의 입력 신호, 기록 신호(Write-2), 글로벌 열 선택라인(20)의 신호, 행 블록 선택라인(23)의 신호, 비트라인 신호, 및 센스 증폭기 구동용 신호 Sense Enable을 나타낸다.

도 7에 있어서도 도 6과 같이, 신호 상승 및 하강부분에 보이는 복수의 라인은 신호의 타이밍차를 나타낸 것이다.

도 7에 도시된 바와 같이, 기록 신호(Write-1)의 타이밍으로 제 2 데이타 버스(15)에 데이타가 출력된다. 제 2 데이타 버스(15)의 데이타는 기록용 증폭기(95)의 입력 신호가 되며, 기록 신호(Write-2)의 타이밍으로 기록용 증폭기(95)가 작동하여, 제 1 데이타 버스에 데이타가 출력된다. 글로벌 열 선택라인(20) 및 행 블록 선택라인(23)이 동시에 활성화되고, 제 1 데이타 버스의 데이타는 선택된 비트라인에 비트라인 신호로서 나타난다. 그 후, 신호 Sense Enable에 의해서 센스 증폭기를 구동하여 비트라인 신호를 증폭한다.

상술의 실시예에 대해서는 여러가지 변형이 가능하다.

예컨대 도 5의 구성에서는 다수 비트 데이타를 전송하기 위한 전력 소비량이 커지므로, 제 1 데이타 버스(24) 및/혹은 제 2 데이타 버스(15)상의 데이타 신호의 진폭을 억제함으로써, 전력 소비량을 삭감하는 것을 생각할 수 있다. 이것을 실현하기 위해서는 센스 증폭기등으로부터 데이타 버스에 신호를 출력하는 트랜지스터에, 게이트폭이 좁은 것을 이용하면 좋다. 구체적으로는 도 5에 있어서, 데이타 독출시에 제 1 데이타 버스(24)에 신호를 출력하는 NMOS 트랜지스터(65-1 및 65-2)의 게이트폭을 좁게 한다. 데이타 독출시에 제 2 데이타 버스(15)에 신호를 출력하는 PMOS 트랜지스터(110 및 111)의 게이트폭을 좁게 한다. 데이타 기록시에 제 1 데이타 버스(24)에 신호를 출력하는 PMOS 트랜지스터(112 및 113)와 NMOS 트랜지스터(114 내지 117)중에 직렬로 접속되어 있는 3개의 트랜지스터중 적어도 하나의 게이트폭을 좁게 한다. 데이타 기록시에 제 2 데이타 버스(15)에 신호를 출력하는 출력 증폭기(111)의 출력용 PMOS 트랜지스터의 게이트폭을 좁게 한다.

이와 같이 게이트폭을 좁게 하면, 트랜지스터의 출력 전류 및 출력 전압이 급속히 변화하지는 않게 된다. 클록에 동기한 신호의 변화가 트랜지스터의 출력 전류 및 출력 전압의 변화보다 상대적으로 고속이면, 신호가 최대 진폭에 도달하기 전에 프리차지 동작 및 단락 동작이 실행되므로, 신호 진폭은 결과로서 작은 것이 된다.

데이타 독출시에는 비트라인 쌍의 배선간의 전위차는 200mV 정도이다. 통상 이것을 증폭하여 데이타 버스에 공급하지만, 이 변형예에 있어서는 예컨대, 제 1 데이타 버스(24) 쌍의 배선간의 전위차로서 200mV 정도, 제 2 데이타 버스(15) 쌍의 배선간의 전위차로서 400mV 정도를 이용할 수 있다.

또한 데이타 기록시에는 입력 증폭기(141)로의 입력은 쌍의 배선간의 전위차를 3.3V 정도로 하고, 예컨대, 제 2 데이타 버스(15) 쌍의 배선간의 전위차를 400mV 정도, 제 1 데이타 버스(24) 쌍의 배선간에서 전위차를 3.3V로 되돌린다는 것이 가능하다. 혹은 제 1 데이타 버스(24)에 있어서도 데이타 기록시의 신호를 억제된 신호 진폭으로 하여도 좋다.

이와 같이 DRAM의 내부 버스에 있어서 소진폭의 신호를 이용하면, 수많은 데이타 버스를 액티브로 하여 대량의 비트수의 데이타를 판독/기록하여도, 필요이상의 전력소비를 피할 수 있으므로 바람직하다.

또한 다른 변형예로서, 센스 증폭기 영역의 회로(도 4)에 있어서, 센스 증폭기를 구동하는 드라이버 트랜지스터를 열 용장의 단위마다 설치할 수 있다. 열 용장이란, 데이타 버스(제 1 데이타 버스(24))가 있는

한 쌍이 제조불량에 의해 정상동이 불가능한 경우, 제품 출하전에 퓨즈등의 전환에 의해, 불량 데이타 버스쌍의 어드레스에 대하여 다른 데이타 버스 부분을 할당하는 것을 의미한다. 이 열 용장을 행함으로써, 이용자측은 모든 어드레스에 대한 액세스를 정상으로 행할 수 있다.

도 8은 센스 증폭기를 구동하는 드라이버 트랜지스터를 열 용장의 단위마다 설치한 회로의 일례를 도시한다. 도 8에 있어서, 도 4와 동일한 구성 요소는 동일한 부호로 참조되며, 그 설명은 생략된다. 도 8에 있어서는 드라이버 트랜지스터(64A)가 1쌍의 데이타 버스 DB0 및 /DB0에 접속되는 센스 증폭기에 대하여 설치되고, 드라이버 트랜지스터(64B)가 1쌍의 데이타 버스 DB1 및 /DB1에 접속되는 센스 증폭기에 대하여 설치된다. 이 예에서는 열 용장은 데이타 버스 1쌍마다 행해진다.

이와 같이 DRAM의 열 용장을 고려하면, 드라이버 트랜지스터는 열 용장의 단위마다 설치되는 것이 바람직하다. 이와 같이 하면, 불량 부분을 다른 부분으로 대체할 필요가 생겼을 때, 불량 부분의 드라이버 트랜지스터를 절단하여, 대체 부분의 드라이버 트랜지스터를 접속하는 처리를 용이하게 행할 수 있다. 또한 열 용장은 반드시 데이타 버스 1쌍의 단위로 행할 필요는 없고, 보다 크거나 혹은 작은 단위로 행해도 좋다. 그 경우에는 드라이버 트랜지스터도 데이타 버스 1쌍에 대해서가 아니라, 열 용장의 단위마다 할당되는 것이 바람직하다.

또한 다른 변형예로서, 제 2 데이타 버스(15)를 데이타 독출용과 데이타 기록용으로 2계통 설치할 수 있다. 도 9는 제 2 데이타 버스(15)를 2계통 설치한 경우의 센스 증폭기 영역의 센스 증폭기, 데이타 전송 버퍼(13)의 센스 증폭기, 제 2 데이타 버스(15), 입출력 래치(14) 및 그 주변을 도시하는 도면이다. 도 9에 있어서, 도 5와 동일한 구성 요소는 동일한 부호로 참조되며, 그 설명은 생략된다.

도 9의 제 2 데이타 버스(15A)는 독출용 버스(15A-1) 및 기록용 버스(15A-2)를 포함한다. 독출용 버스(15A-1)는 독출용 증폭기(94)와 출력 증폭기(142)에 접속되고, 기록용 버스(15A-2)는 입력 증폭기(141)와 기록용 증폭기(95)에 접속되어 있다. 독출용 버스(15A-1) 및 기록용 버스(15A-2)에 따로따로 접속되어 있는 이외에, 이들 증폭기(94,95,141,142)는 도 5의 것과 동일하다.

이와 같이 독출용과 기록용으로 2계통의 버스를 제 2 데이타 버스(15A)에 설치하면, 예컨대 독출 동작으로부터 기록 동작으로 전환하는 경우에, 기록용 버스(15A-2)의 프리차지를 독출 동작중에 행하여 기록 데이타 전송의 준비를 해둠으로써, 프리차지 동작분의 시간을 단축할 수 있다. 따라서, 2계통의 버스를 설치함으로써 고속의 데이타 전송이 가능해진다. 또한 2계통의 버스를 제 1 데이타 버스에 설치함으로써, 동일하게 고속의 데이타 전송이 가능해지는 것은 물론이다.

상기 실시예의 설명에 있어서는 행 디코더(11)의 동작 및 행 블록 선택라인(23)의 행 블록 선택 신호의 타이밍에 대해서는 특별히 언급하지 않았다. 이 행 블록 선택라인(23)은 전술한 바와 같이, 글로벌 워드라인(25)이 셀블록(18)의 1행을 선택했을 때, 그 행에 대응하는 열 선택라인(22)을 글로벌 열 선택라인(20)에 접속하기 위한 것이다. 따라서, 종래의 DRAM과 같은 타이밍으로 데이타 독출을 행할 수도 있다. 그러나 행 블록 선택라인(23)에 의한 행 블록(메모리셀(18)의 1행) 선택을 뱅크를 전환하는 뱅크 상호 배치 동작과 같이 실행하여, 메모리 독출 속도를 향상시킬 수도 있다.

도 10은 도 1의 본 발명의 DRAM에 있어서, 뱅크 상호 배치에 의해서 데이타 독출을 고속으로 실행하는 동작을 설명하는 타이밍도이다. 도 10의 타이밍도는 워드라인 선택 신호(글로벌 워드라인(25)의 선택 신호), 센스 증폭기 영역의 센스 증폭기를 구동하는 신호 Sense Enable, 행 블록 선택라인(23)의 행 블록 선택 신호, 글로벌 열 선택라인(20)의 열 선택 신호 및 제 1 데이타 버스(24)의 데이타를 나타낸다. 이들 신호를 1세트로 하여, 순서대로 액세스되는 행 블록인 뱅크 1 내지 뱅크 5에 대하여, 5세트의 신호가 표시된다. 또 도 10의 상부에는 클록 신호 및 클록 신호에 동기하여 공급되는 커멘드/어드레스 신호를 도시하고, 도 10의 최하부에는 뱅크 1 내지 뱅크 5의 5개의 행 블록로부터 독출된 제 1 데이타 버스(24)상의 데이타를 도시한다.

도 10에 있어서, 커멘드/어드레스 입력의 어드레스 입력 A, B, C, D, 및 E는 각각, 뱅크 1 내지 뱅크 5내의 데이타를 독출하기 위한 어드레스 입력이다. 도면에 도시된 바와 같이, 어드레스 입력은 예컨대, 클록 2사이클마다 행해진다.

뱅크 1의 어드레스 A가 입력되면, 뱅크 1에 대하여 워드라인 선택 신호가 공급되며, 워드라인이 선택된다. 이것에 의해 선택된 워드라인에 대응하는 메모리셀의 데이타가 비트라인에 공급된다. 또 센스 증폭기 구동 신호 Sense Enable이 공급되고, 비트라인의 데이타가 센스 증폭기에 의해서 증폭된다. 센스 증폭기에 의해서 비트라인의 데이타가 증폭되면, 행 블록 선택라인(23)의 행 블록 선택 신호가 뱅크 1을 선택하는 동시에, 글로벌 열 선택라인(20)의 열 선택 신호가 공급된다. 이것에 의해서, 비트라인의 데이타가 제 1 데이타 버스(24)에 전송된다.

뱅크 1의 어드레스 B가 입력되면, 뱅크 2에 대하여 워드라인 선택 신호가 공급되며, 워드라인이 선택된다. 이것에 의해 선택된 워드라인에 대응하는 메모리셀의 데이타가 비트라인에 공급된다. 또 센스 증폭기 구동 신호 SenseEnable이 공급되고, 비트라인의 데이타가 센스 증폭기에 의해서 증폭된다. 센스 증폭기에 의해서 비트라인의 데이타가 증폭되면, 행 블록 선택라인(23)의 행 블록 선택 신호가 뱅크 2를 선택하는 동시에, 글로벌 열 선택라인(20)의 열 선택 신호가 공급된다. 이것에 의해, 비트라인의 데이타가 제 1 데이타 버스(24)에 전송된다.

이 뱅크 1에 대한 동작 및 뱅크 2에 대한 동작을 비교하면 알 수 있는 바와 같이, 워드라인 선택 신호, 센스 증폭기 구동 신호 및 비트라인 데이타는 뱅크 1 및 뱅크 2사이에서 타이밍적으로 전후가 겹치고 있다. 즉, 예컨대 뱅크 2의 비트라인 데이타는 뱅크 1의 비트라인 데이타가 어드레스 A의 데이타 독출후 프리차지 동작으로 들어가기 전에, 이미 프리차지 동작을 종료하여 어드레스 B의 데이타 독출을 행하고 있다. 이와 같이, 뱅크 1 및 뱅크 2사이에서 뱅크 상호 배치 동작을 행함으로써, 뱅크 1의 어드레스 A 및 뱅크 2의 어드레스 B의 데이타를 연속적으로 제 1 데이타 버스(24)에 전송할 수 있다.

동일하게, 뱅크 3의 어드레스 C 뱅크 4의 어드레스 D, 및 뱅크 5의 어드레스 E가 순차적으로 입력되면, 제 1 데이타 버스(24)상에 각각의 어드레스 데이타가 연속적으로 독출된다. 따라서, 뱅크 상호 배치 동작

에 의해 5개의 뱅크에 연속적으로 액세스한 경우에는, 제 1 데이타 버스(24)에는 어드레스 A 내지 E의 데이타가 연속적으로 독출된다.

이와 같이 도 1의 본 발명의 DRAM에 있어서는 각 행 블록(셀블록(18)의 각 행)에 대한 워드라인 선택과 센스 증폭기 구동을 타이밍을 겹치게 하여 연속적으로 행하고, 또 행 블록 선택라인(23)에 의해서 각 뱅크(행 블록)를 선택하여 비트라인으로부터 제 1 데이타 버스(24)에 데이타를 전송해감으로써, 뱅크 상호 배치 동작을 실현할 수 있다. 이것에 의해, 고속의 데이타 독출이 가능해진다. 또한 데이타 기록의 경우에 대해서도 동일한 것은 명백하다.

본 발명은 실시예 및 변형예를 이용하여 설명되었지만, 상술한 실시예 혹은 변형예에 한정되지 않고, 특허청구의 범위내에서, 여러가지 수정 및 변경이 가능하다.

발명의 효과

청구범위 제 1 항, 제 12 항, 및 제 15 항 발명에 있어서는, 신호 전송용 제 1 데이타 버스가 비트라인에 평행하게 배치되고, 열 어드레스 선택용 열 선택라인이 비트라인에 수직으로 배치된다. 이러한 구성으로 함으로써, 종래의 DRAM의 구성에 있어서 열 선택라인이 점유하고 있는 공간을 신호 전송용 제 1 데이타 버스의 배선에 이용 할 수 있다. 따라서, 수많은 배선을 신호 전송용으로서 설치할 수 있다.

청구범위 제 2 항, 제 13 항, 및 제 16 항의 발명에 있어서는, 비트라인에 평행하여 배치된 글로벌 열 선택라인을 통해, 열 어드레스 신호를 열 선택라인에 공급할 수 있다.

청구범위 제 3 항 및 제 14 항의 발명에 있어서는, 행 디코더에 의해서 블록 선택라인의 1개를 선택함으로써 셀블록의 1행을 선택하여, 이 1행에 대응하는 열 선택라인을 활성화할 수 있다.

청구범위 제 4 항의 발명에 있어서는, 센스 증폭기 드라이버를 제 1 센스 증폭기의 각각에 대하여 1개씩 설치함으로써, 수많은 제 1 센스 증폭기에 대하여 공통의 센스 증폭기 드라이버를 설치한 경우에 생기는 소스 전위의 변동을 억제할 수 있다.

청구범위 제 5 항의 발명에 있어서는, 센스 증폭기의 소스 전위의 변동을 억제 할 수 있는 동시에, 열 용장에 의해 제 1 데이타 버스의 각 쌍을 대체할 때의 처치가 간략화된다.

청구범위 제 6 항의 발명에 있어서는, 센스 증폭기의 소스 전위의 변동을 억제 할 수 있는 동시에, 열 용장에 의해 제 1 데이타 버스의 각 쌍을 대체할 때의 처치가 간략화된다.

청구범위 제 7 항의 발명에 있어서는, 제 1 데이타 버스의 각 쌍의 사이에서 크로스토크 잡음을 감소시킬 수 있다.

청구범위 제 8 항의 발명에 있어서는, 제 1 데이타 버스로부터 제 2 데이타 버스에 데이타를 전송할 때 제 1 데이타 버스상의 데이타를 선택하여 데이타 비트수를 삭감할 수 있다. 따라서, 충분히 다수의 비트를 취출할 수 있는 커패시티를 제 1 데이타 버스에 준비해 두는 동시에, 제 2 데이타 버스에서 필요한 비트수에 따라서 비트수의 삭감을 행할 수 있다.

청구범위 제 9 항의 발명에 있어서는, 소진폭의 신호를 이용함으로써 소비전력의 삭감을 도모할 수 있다.

청구범위 제 10 항의 발명에 있어서는, 소진폭의 신호를 이용함으로써 소비전력의 삭감을 도모할 수 있다.

청구범위 제 11 항의 발명에 있어서는, 데이타 독출용 데이타 버스와 데이타 기록용 데이타 버스를 따로 따로 설치함으로써, 독출/기록의 전환 사이에서 프리차지 동작분의 시간을 단축할 수 있다.

(57) 청구의 범위

청구항 1

복수의 비트라인과,

해당 복수의 비트라인의 각각에 접속되는 제 1 센스 증폭기와,

해당 제 1 센스 증폭기 및 게이트를 통해 해당 복수의 비트라인에 접속되고, 해당 복수의 비트라인과 평행하게 배치되는 제 1 데이타 버스와,

해당 제 1 데이타 버스와 해당 비트라인이 접속되도록 적어도 몇 개의 게이트의를 도통시키는 해당 비트라인에 직교하여 배치되는 열 선택라인을 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 2

제 1 항에 있어서, 상기 비트라인에 접속되는 셀로 이루어지고, 해당 비트라인이 연재하는 방향 및 그것에 직교하는 방향에 종횡으로 배치되는 복수의 셀블록과,

해당 복수의 셀블록의 각 열에 대하여 상기 비트라인에 평행하여 배치되는 글로벌 열 선택라인과,

해당 복수의 셀블록의 각 행에 대하여 해당 비트라인에 직교하여 배치되는 블록 선택라인과,

해당 글로벌 열 선택라인과 해당 블록 선택라인과의 각 교점부근에 설치되어, 상기 열 선택라인과 해당 글로벌 열 선택라인을 접속하기 위한 접속부를 추가로 포함하고,

상기 제 1 센스 증폭기 및 해당 열 선택라인은 해당 복수의 셀블록의 행을 따라서 설치되는 것을 특징으로 하는 반도체 기억 장치

청구항 3

제 2 항에 있어서, 상기 접속부는 상기 글로벌 열 선택라인의 신호 및 상기 블록 선택라인의 신호에 기초하여, 상기 열 선택라인을 선택하도록 구성되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 4

제 1 항에 있어서, 상기 제 1 센스 증폭기의 각각에 대하여 한 개씩 설치되어 상기 제 1 센스 증폭기를 구동하는 센스 증폭기 드라이버를 추가로 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 5

제 1 항에 있어서, 상기 제 1 데이타 버스의 각 쌍에 대하여 1개씩 설치되어 해당 제 1 센스 증폭기를 구동하는 센스 증폭기 드라이버를 추가로 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제 1 항에 있어서, 열 용장으로 전환하는 단위마다 한 개씩 설치되어 상기 제 1 센스 증폭기를 구동하는 센스 증폭기 드라이버를 추가로 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제 1 항에 있어서, 상기 제 1 데이타 버스에 평행하게 배치되고, 해당 제 1 데이타 버스의 각 쌍을 서로 시일드하는 전원라인을 추가로 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제 2 항에 있어서, 상기 제 1 데이타 버스에 접속된 제 2 의 센스 증폭기와,

해당 제 2 의 센스 증폭기를 통해 해당 제 1 데이타 버스에 접속된 제 2 의 데이타 버스와,

해당 제 2 센스 증폭기를 선택적으로 구동함으로써 상기 셀블록 열의 적어도 한개를 선택하는 디코더를 추가로 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제 8 항에 있어서, 상기 제 1 데이타 버스의 쌍이 전송되는 신호 진폭은 해당 신호의 최대가능 진폭보다도 작은 것을 특징으로 반도체 기억 장치.

청구항 10

제 8 항 또는 제 9 항에 있어서, 상기 제 2 데이타 버스의 쌍이 전송되는 신호 진폭은 해당 신호의 최대가능 진폭보다도 작은 것을 특징으로 하는 반도체 기억 장치.

청구항 11

제 8 항에 있어서, 상기 제 2 데이타 버스는 데이타 독출용의 데이타 버스와, 데이타 기록용의 데이타 버스를 포함하는 것을 특징으로 하는 반도체 기억 장치.

청구항 12

복수의 비트라인과,

해당 복수의 비트라인의 각각에 접속되는 제 1 센스 증폭기와,

해당 제 1 센스 증폭기 및 게이트를 통해 해당 복수의 비트라인에 접속되고, 해당 복수의 비트라인과 평행하게 배치되는 제 1 데이타 버스와,

해당 제 1 데이타 버스와 해당 비트라인이 접속되도록 적어도 몇개의 게이트를 도통시키는 해당 비트라인에 직교하여 배치되는 열 선택라인을 포함하는 것을 특징으로 하는 뱅크 상호 배치 동작 가능한 반도체 기억 장치.

청구항 13

제 12 항에 있어서, 상기 비트라인에 접속되는 셀로 이루어지고, 해당 비트라인이 연재하는 방향 및 그것에 직교하는 방향에 종횡으로 배치되는 복수의 셀블록과,

해당 복수의 셀블록의 각 열에 대하여 상기 비트라인에 평행하여 배치되는 글로벌 열 선택라인과,

해당 복수의 셀블록의 각 행에 대하여 해당 비트라인에 직교하여 배치되는 블록 선택라인과,

해당 글로벌 열 선택라인과 해당 블록 선택라인과의 각 교점부근에 설치되고, 해당 글로벌 열 선택라인의 신호 및 해당 블록 선택라인의 신호에 기초하여, 상기 열 선택라인의 선택을 행하는 접속부를 추가로 포함하며,

상기 제 1 센스 증폭기 및 해당 열 선택라인은 해당 복수의 셀블록의 행을 따라서 설치되는 것을 특징으로 하는 반도체 기억 장치.

청구항 14

제 13 항에 있어서, 상기 블록 선택라인의 한개를 순차적으로 선택함으로써 상기 복수의 셀블록의 각 행을 뱅크로서 뱅크 상호 배치 동작을 가능하게 하는 행 디코더를 추가로 포함하며,

상기 접속부는 해당 블록 선택라인의 해당 한개에 대응하는 상기 열 선택라인과 상기 글로벌 열 선택라인을 접속하는 것을 특징으로 하는 반도체 기억 장치.

청구항 15

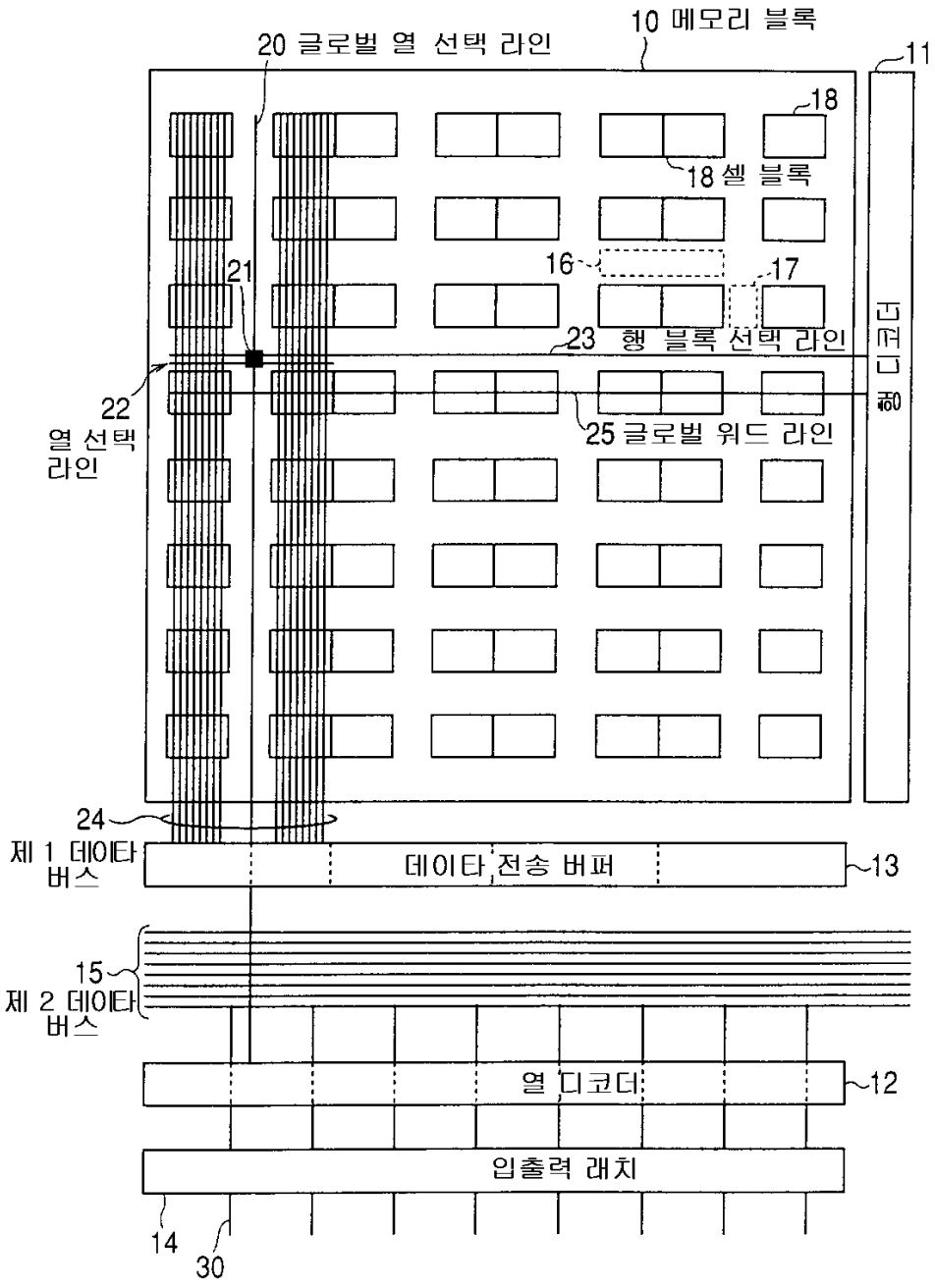
제 1 항에 있어서, 상기 제 1 데이타 버스는 상기 복수의 비트라인에 접속되어 있는 메모리셀이 배치되어 있는 셀블록 영역상에 연재하고 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 16

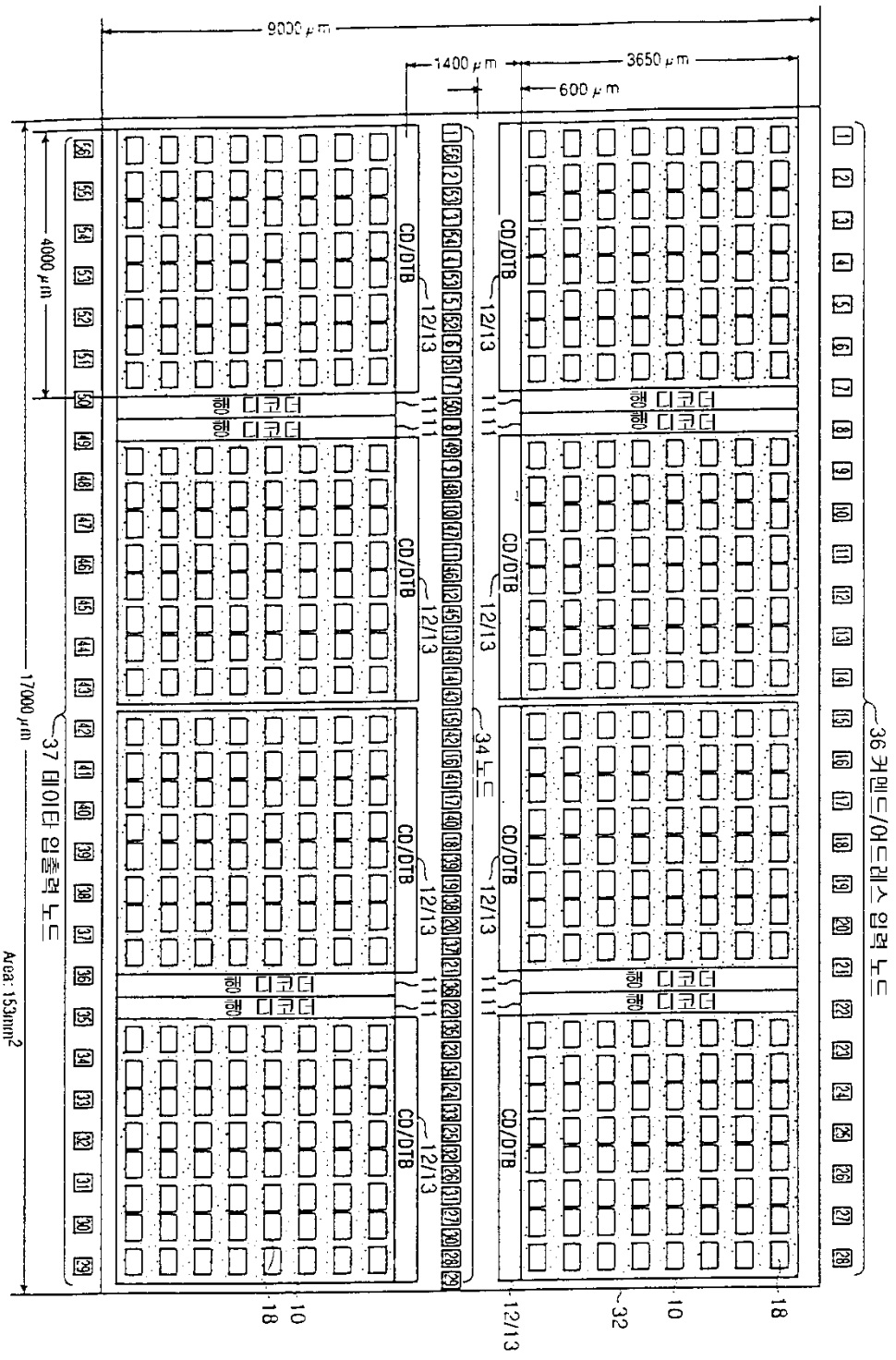
제 2 항에 있어서, 상기 글로벌 열 선택라인은 상기 셀블록의 열사이에 배치되어 있는 것을 특징으로 하는 반도체 기억 장치.

도면

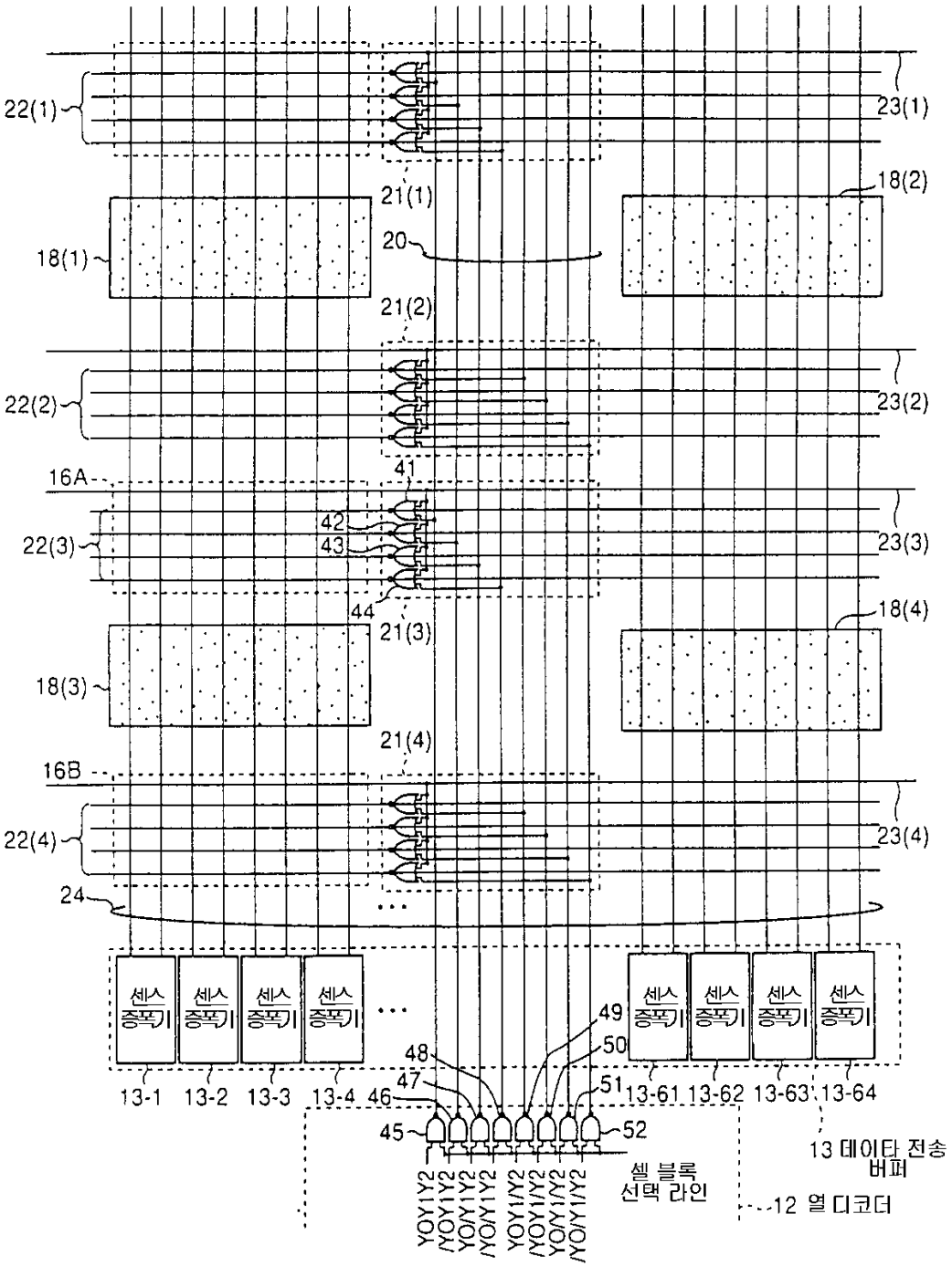
도면1



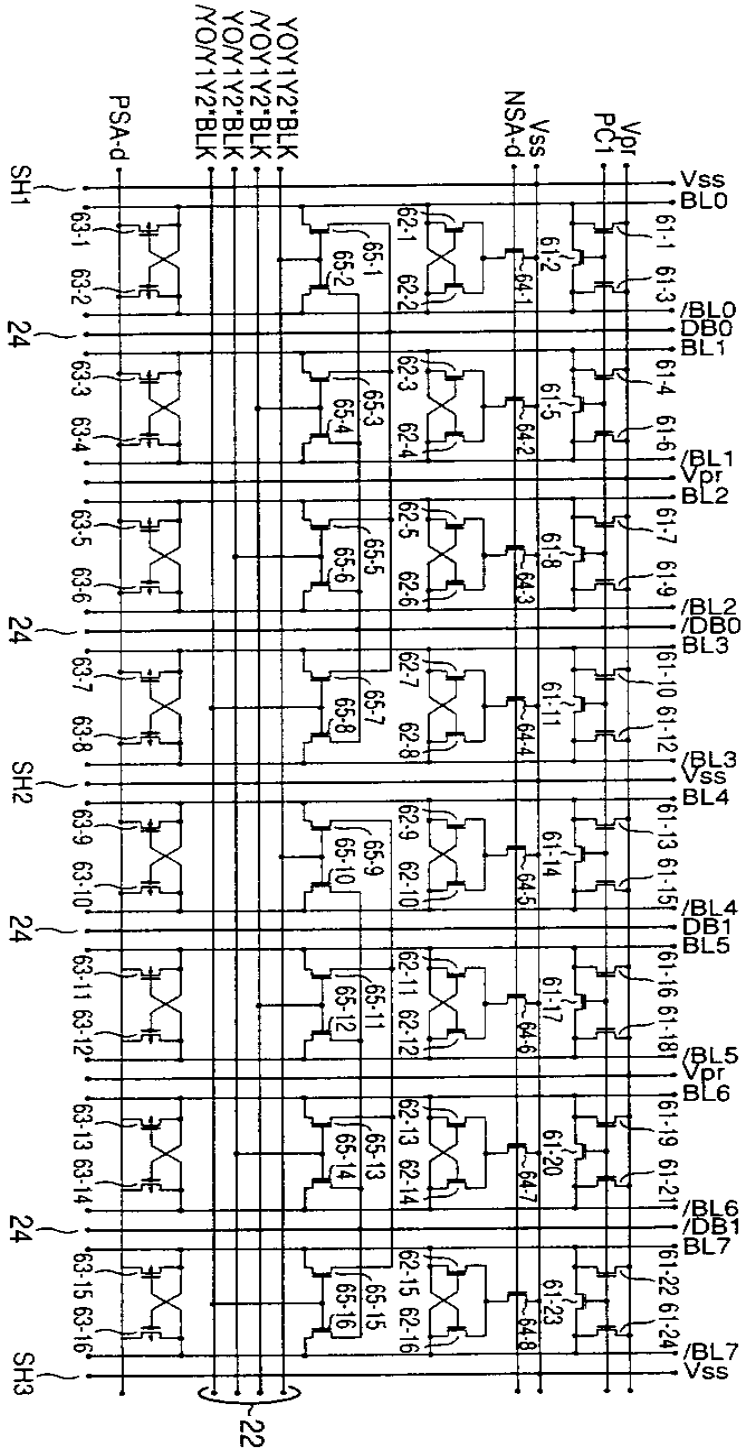
도면2


9000 μm
1400 μm
3650 μm
600 μm
4000 μm
17000 μm
Area: 153mm²
36 커맨드/어드레스 입력 노드
37 데이타 입출력 노드
34 노드
CD/DTB
12/13
1111
행 디코더
행 디코더
18
10
32
10
18
12/13

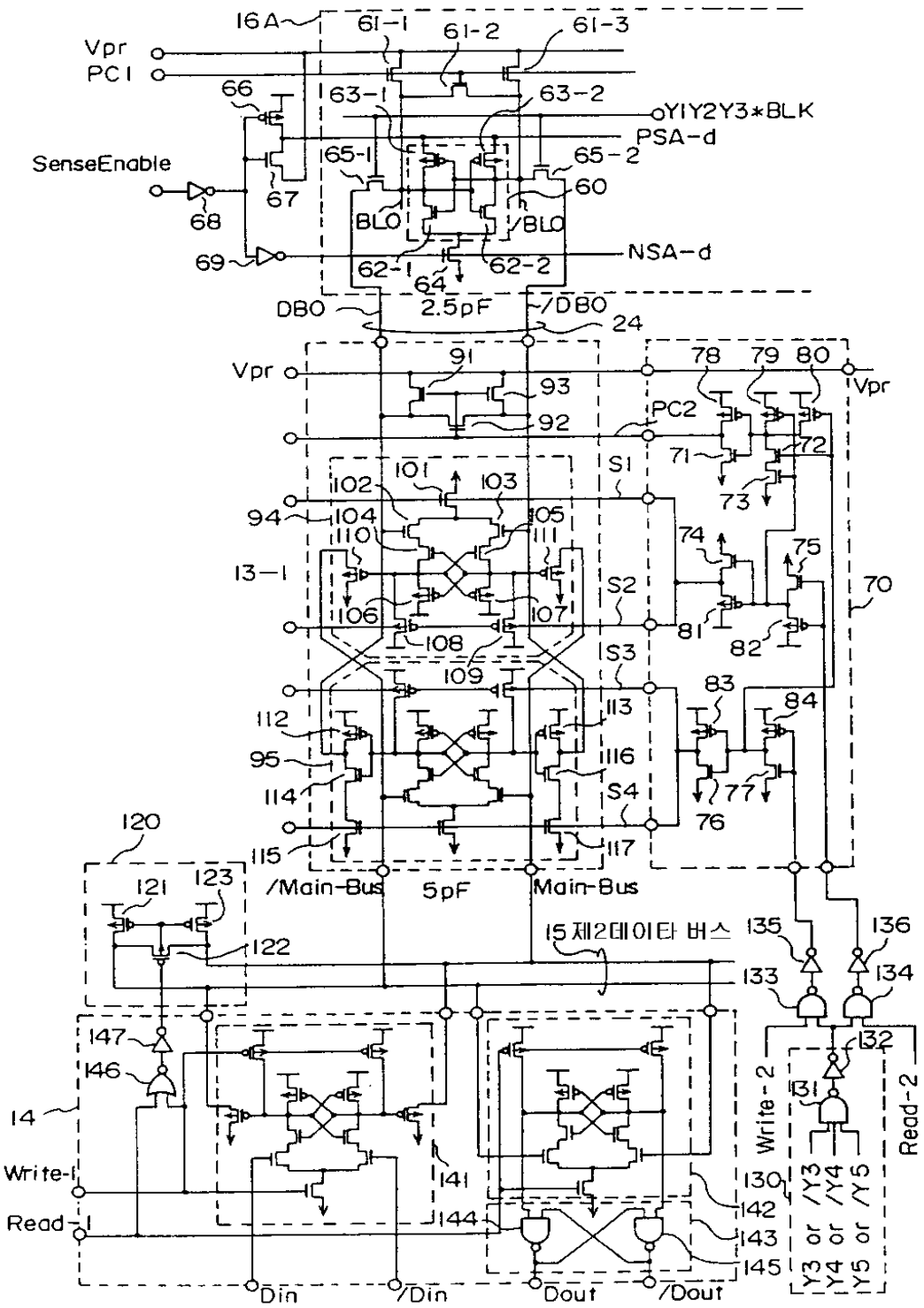
도면3


22(1)
23(1)
21(1)
18(2)
18(1)
20
21(2)
22(2)
23(2)
41
16A
22(3)
42
43
23(3)
44
21(3)
18(4)
18(3)
21(4)
16B
22(4)
23(4)
24
센스 증폭기
49
48
50
47
51
13-1
13-2
13-3
13-4
46
13-61
13-62
13-63
13-64
45
52
13 데이타 전송 버퍼
셀 블록 선택 라인
12 열 디코더
YOY1Y2
/YOY1Y2
YO/Y1Y2
/YO/Y1Y2
YOY1/Y2
/YOY1/Y2
YO/Y1/Y2
/YO/Y1/Y2

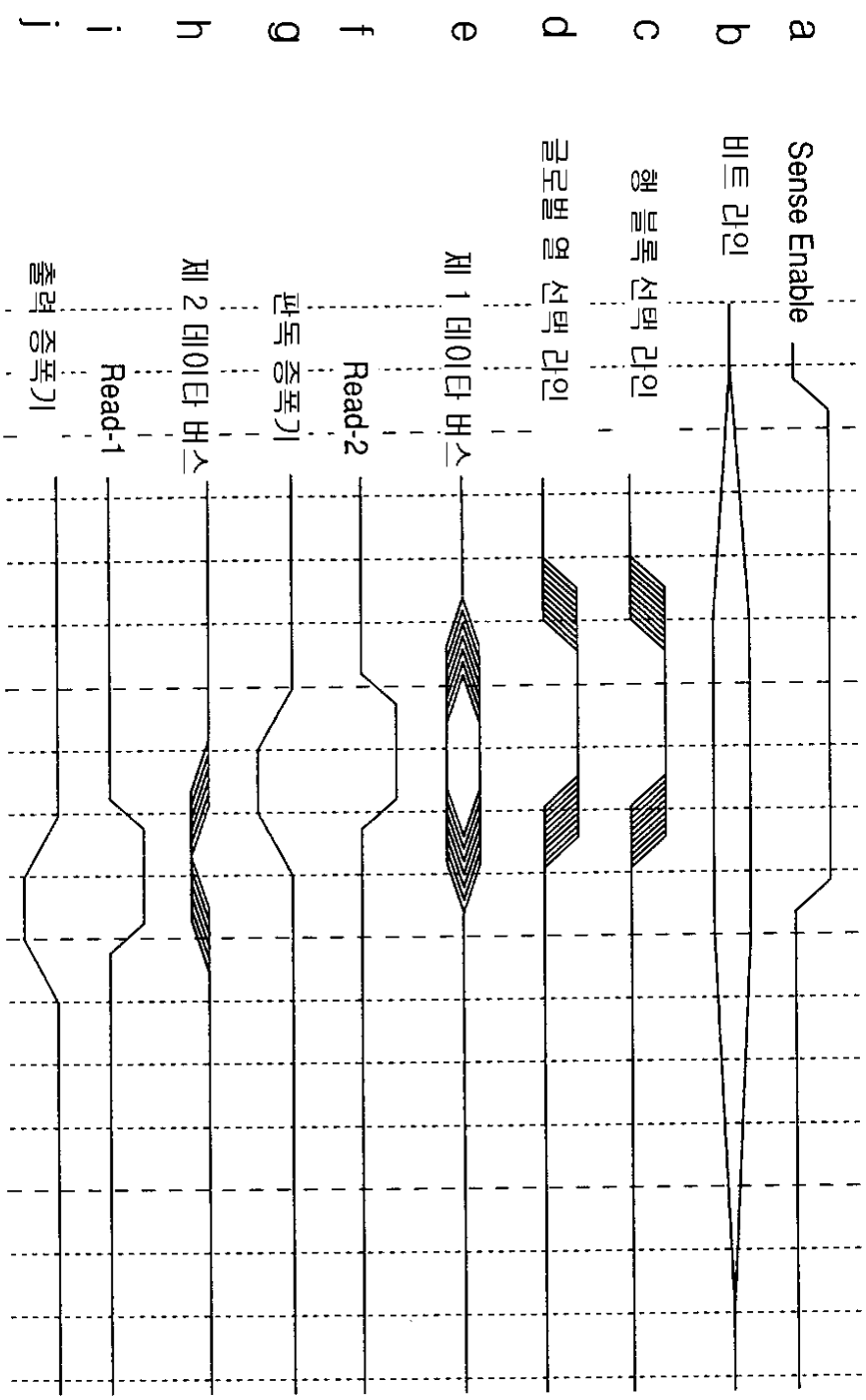
도면4


YOY1Y2'BLK
/YOY1Y2'BLK
YO/Y1Y2'BLK
/YO/Y1Y2'BLK
PSA-d
Vss
NSA-d
Vpr
PC1
SH1
SH2
SH3
24
22
Vss
BL0
/BL0
DB0
BL1
/BL1
Vpr
BL2
/BL2
/DB0
BL3
/BL3
Vss
BL4
/BL4
DB1
BL5
/BL5
Vpr
BL6
/BL6
/DB1
BL7
/BL7
Vss

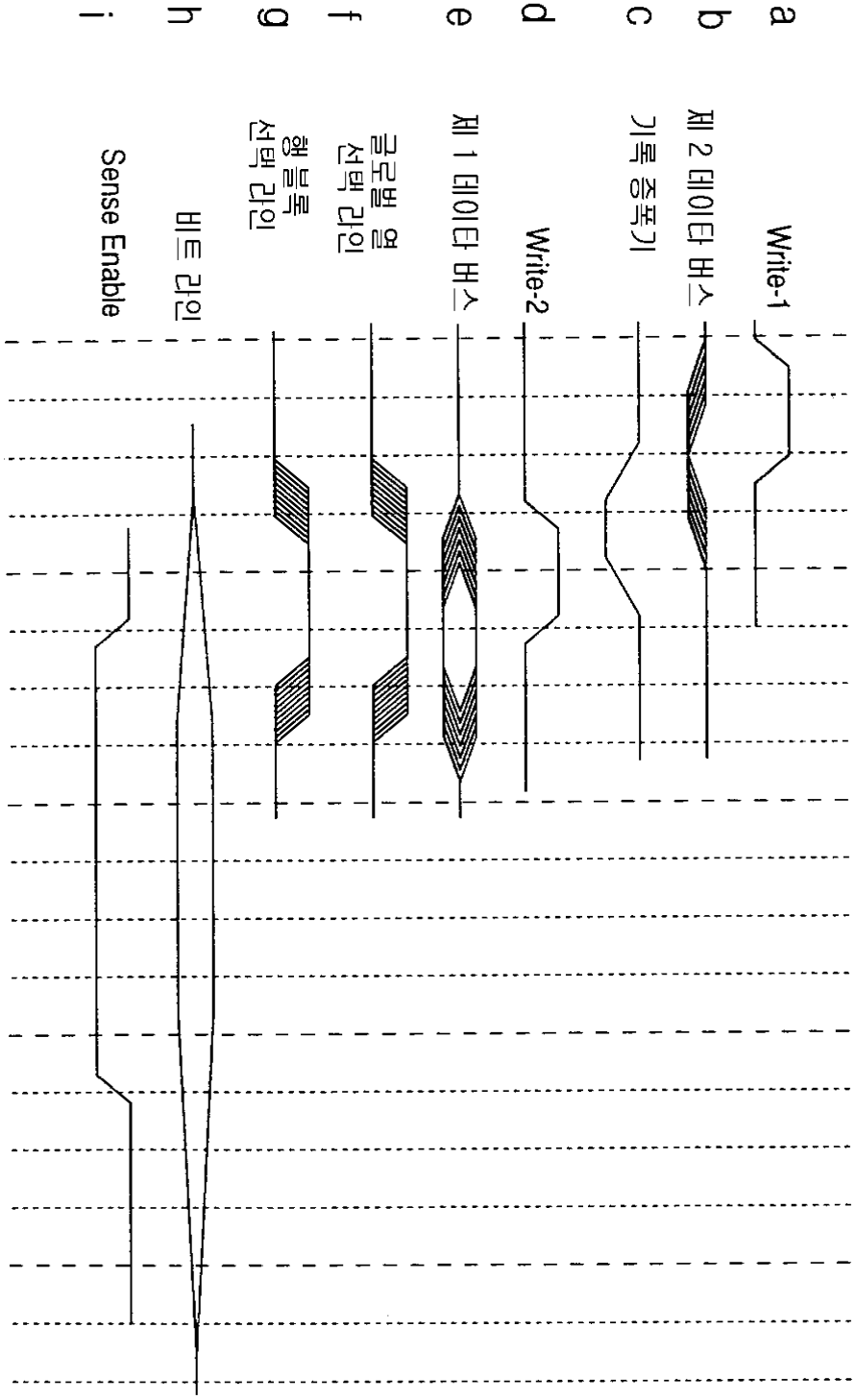
도면5


16A
61-1
61-2
61-3
Vpr
PC1
66
63-1
63-2
Y1Y2Y3*BLK
PSA-d
SenseEnable
65-1
65-2
60
67
68
BLO
/BLO
69
NSA-d
62-1
62-2
64
DBO
2.5pF
/DBO
24
Vpr
91
93
92
78
79
80
Vpr
PC2
71
72
73
S1
101
102
103
94
104
105
110
111
74
75
13-1
S2
70
106
107
81
82
108
109
S3
83
84
112
113
95
116
114
S4
77
76
120
115
117
121
123
/Main-Bus
5pF
Main-Bus
122
15 제2데이타 버스
135
136
133
134
147
146
132
131
14
Write-2
Read-2
Write-1
141
130
142
Read-1
144
143
145
Y3 or /Y3
Y4 or /Y4
Y5 or /Y5
Din
/Din
Dout
/Dout

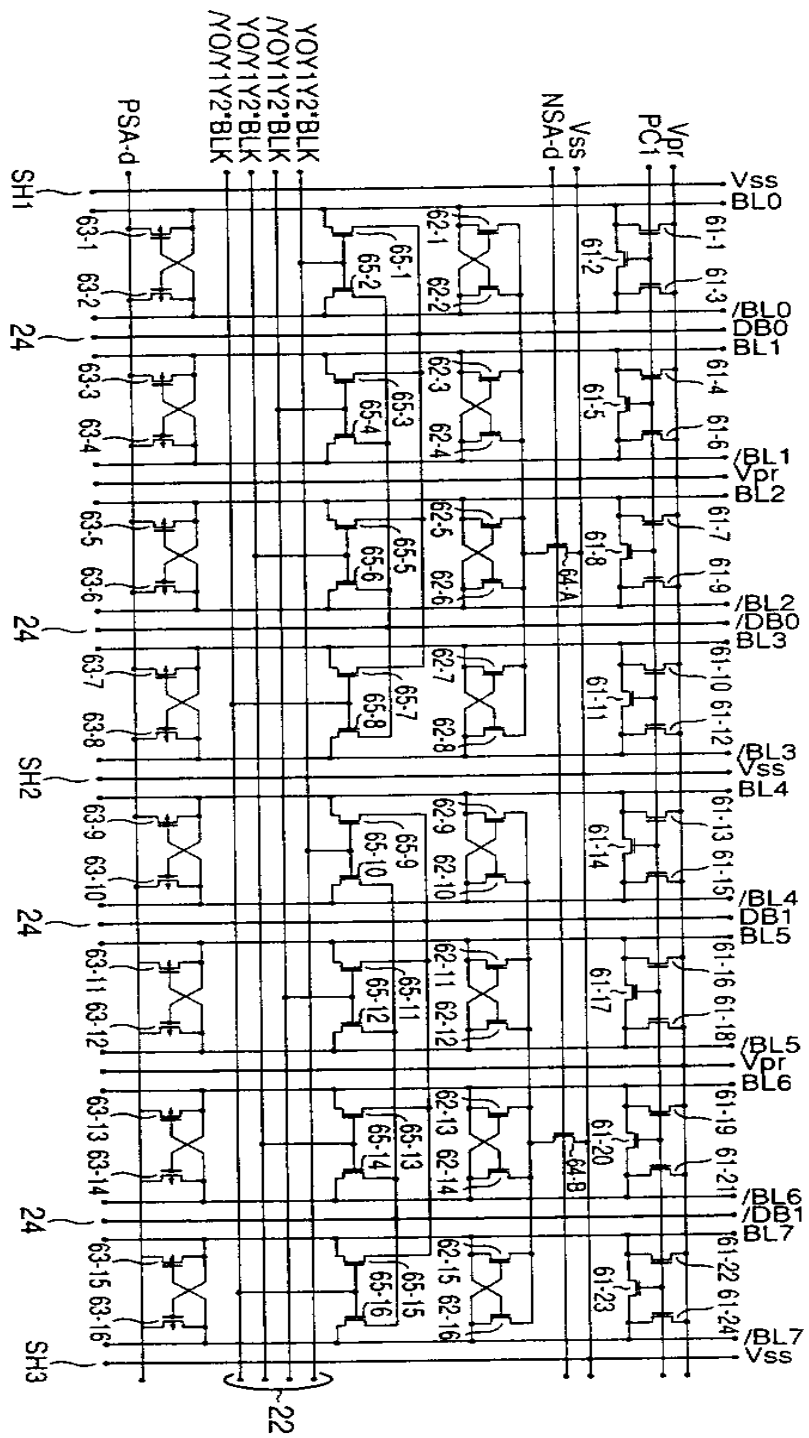
도면6


a
b
c
d
e
f
g
h
i
j
Sense Enable
비트 라인
행 블록 선택 라인
글로벌 열 선택 라인
제 1 데이타 버스
Read-2
판독 증폭기
제 2 데이타 버스
Read-1
출력 증폭기

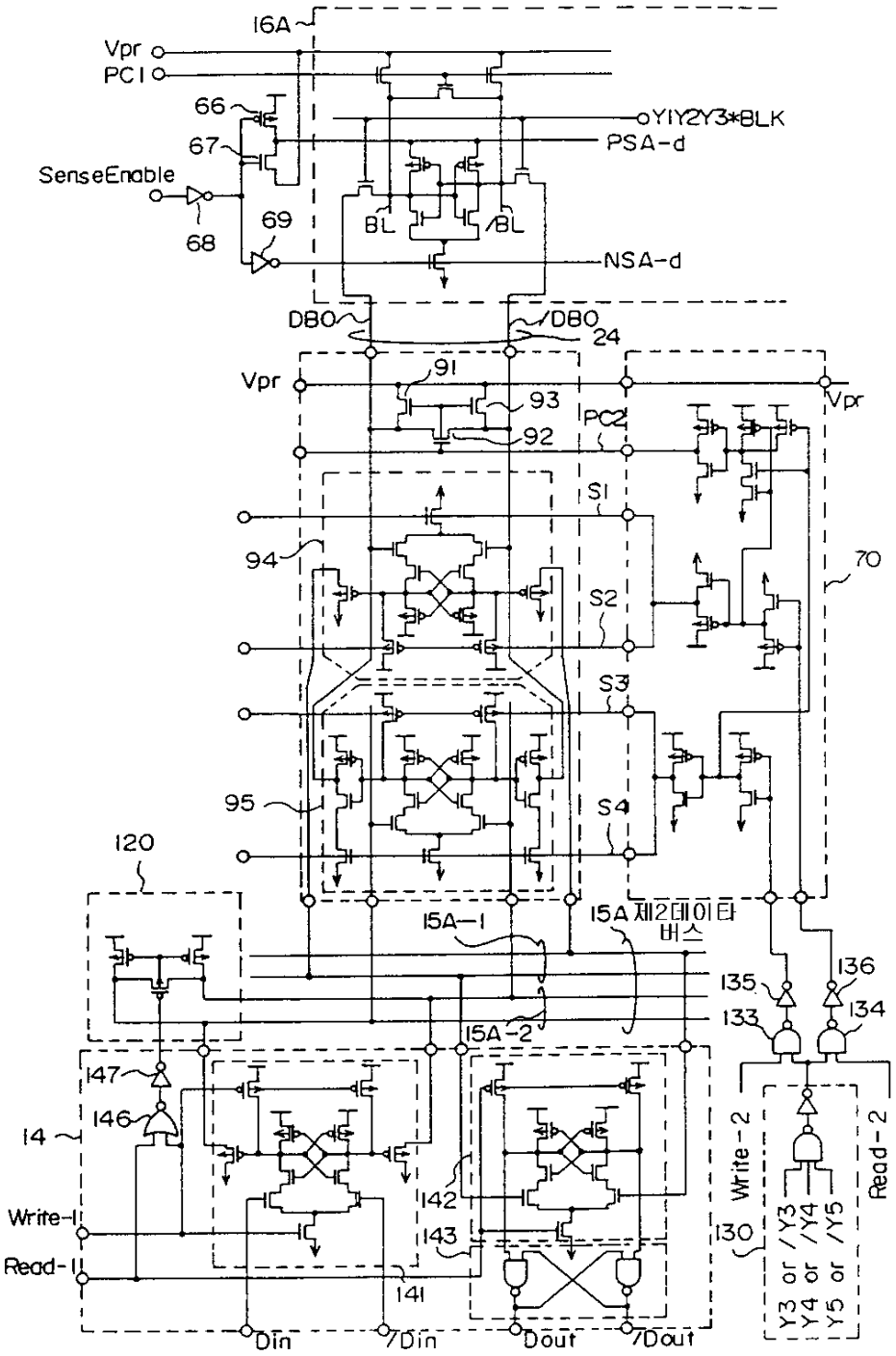
도면7


a
b
c
d
e
f
g
h
i
Write-1
제 2 데이타 버스
기록 증폭기
Write-2
제 1 데이타 버스
글로벌 열
선택 라인
행 블록
선택 라인
비트 라인
Sense Enable

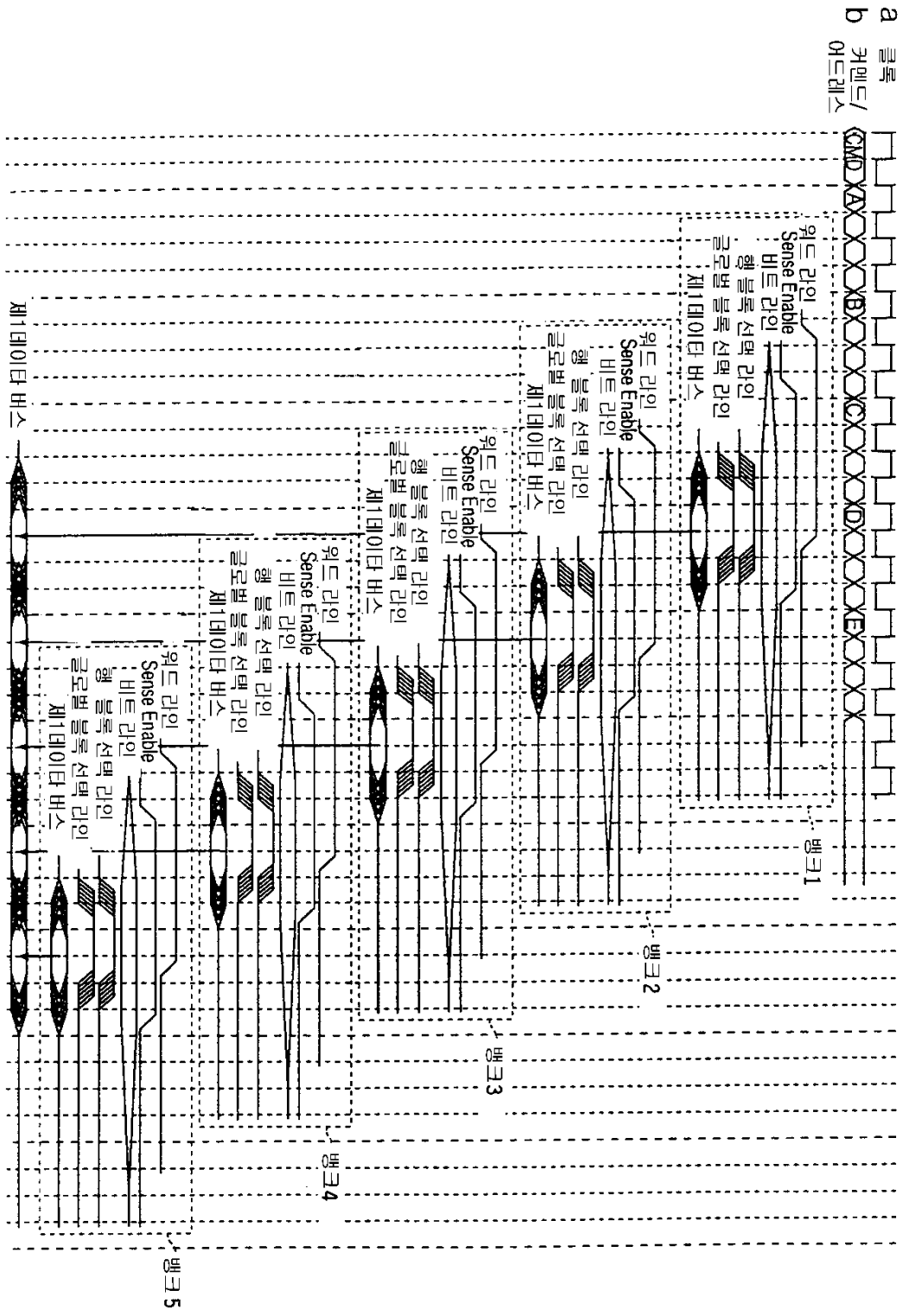
도면8


YOY1Y2'BLK
/YOY1Y2'BLK
YO/Y1Y2'BLK
/YO/Y1Y2'BLK
PSA-d
Vss
NSA-d
Vpr
PC1
SH1
SH2
SH3
24
22
Vss
BL0
/BL0
DB0
BL1
/BL1
Vpr
BL2
/BL2
/DB0
BL3
/BL3
Vss
BL4
/BL4
DB1
BL5
/BL5
Vpr
BL6
/BL6
/DB1
BL7
/BL7
Vss

도면9

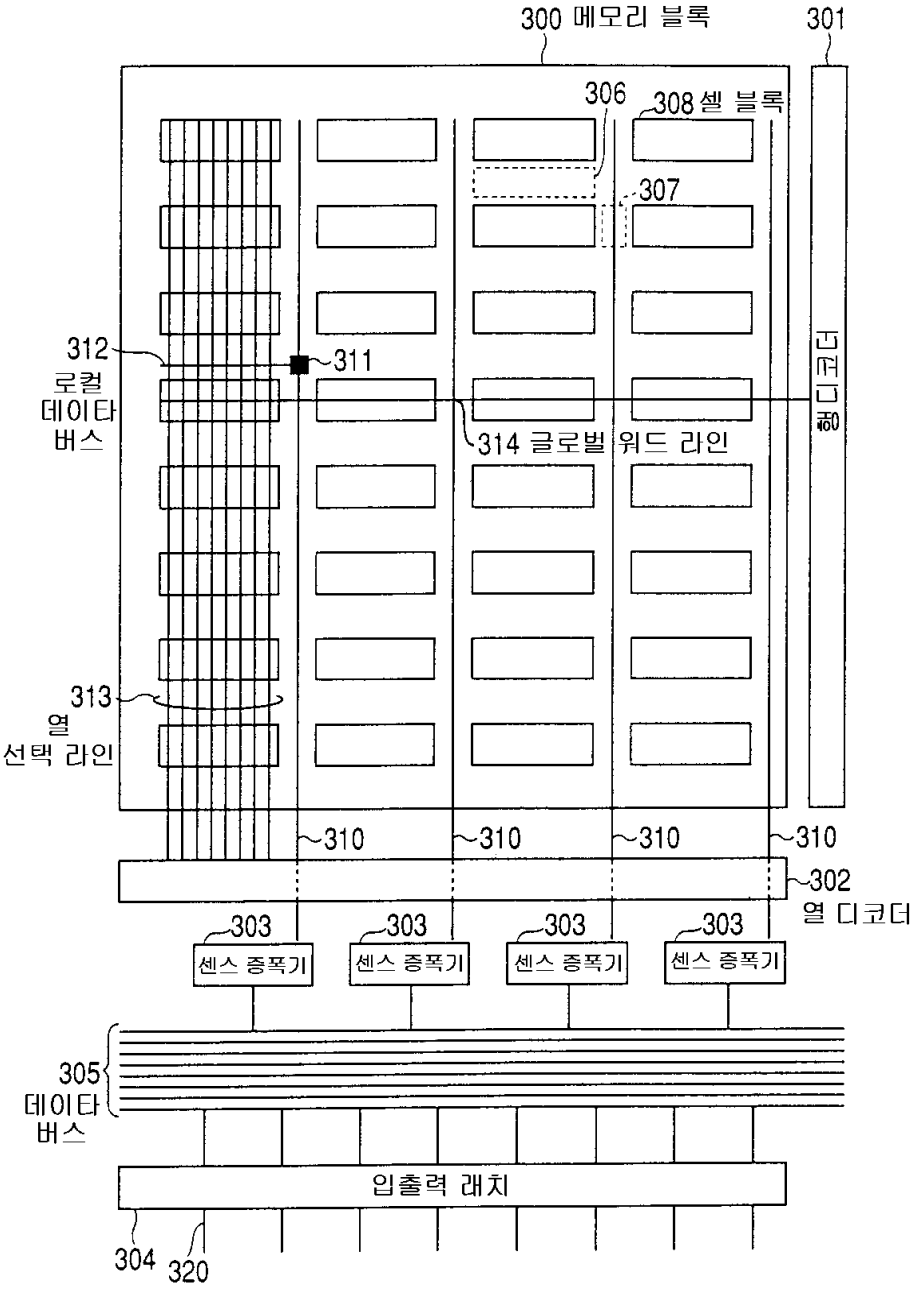

16A
Vpr
PC1
66
67
SenseEnable
68
69
BL
/BL
Y1Y2Y3*BLK
PSA-d
NSA-d
DBO
/DBO
24
91
93
92
PC2
Vpr
S1
S2
S3
S4
94
95
70
120
15A-1
15A 제2데이타 버스
15A-2
135
136
133
134
147
146
14
142
143
141
130
Write-1
Read-1
Write-2
Read-2
Y3 or /Y3
Y4 or /Y4
Y5 or /Y5
Din
/Din
Dout
/Dout

도면10


a
b
클록
커맨드/
어드레스
CMD
A
B
C
D
E
워드 라인
Sense Enable
비트 라인
행 블록 선택 라인
글로벌 블록 선택 라인
제1데이타 버스
뱅크1
뱅크2
뱅크3
뱅크4
뱅크5

도면11

(종래 기술)


300 메모리 블록
301
306
308 셀 블록
307
312
로컬
데이타
버스
311
314 글로벌 워드 라인
행 디코더
313
열
선택 라인
310
310
310
310
302
열 디코더
303
303
303
303
센스 증폭기
센스 증폭기
센스 증폭기
센스 증폭기
305
데이타
버스
입출력 래치
304
320