

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6337099号
(P6337099)

(45) 発行日 平成30年6月6日(2018.6.6)

(24) 登録日 平成30年5月11日(2018.5.11)

(51) Int.Cl.

F I

GO 1 R 31/28 (2006.01)
HO 1 L 21/822 (2006.01)
HO 1 L 27/04 (2006.01)
HO 3 K 17/00 (2006.01)
HO 3 K 17/693 (2006.01)

GO 1 R 31/28 M
HO 1 L 27/04 T
HO 3 K 17/00 E
HO 3 K 17/693 A
HO 3 K 19/00

請求項の数 15 (全 17 頁) 最終頁に続く

(21) 出願番号 特願2016-516796 (P2016-516796)
(86) (22) 出願日 平成26年5月28日(2014.5.28)
(65) 公表番号 特表2016-531275 (P2016-531275A)
(43) 公表日 平成28年10月6日(2016.10.6)
(86) 国際出願番号 PCT/US2014/039856
(87) 国際公開番号 W02014/193998
(87) 国際公開日 平成26年12月4日(2014.12.4)
審査請求日 平成29年5月25日(2017.5.25)
審査番号 不服2018-810 (P2018-810/J1)
審査請求日 平成30年1月22日(2018.1.22)
(31) 優先権主張番号 13/905,060
(32) 優先日 平成25年5月29日(2013.5.29)
(33) 優先権主張国 米国(US)

早期審査対象出願

(73) 特許権者 595020643
クゥアルコム・インコーポレイテッド
QUALCOMM INCORPORATED
アメリカ合衆国、カリフォルニア州 92
121-1714、サン・ディエゴ、モア
ハウス・ドライブ 5775
(74) 代理人 100108855
弁理士 蔵田 昌俊
(74) 代理人 100109830
弁理士 福原 淑弘
(74) 代理人 100158805
弁理士 井関 守三
(74) 代理人 100112807
弁理士 岡田 貴志

最終頁に続く

(54) 【発明の名称】 フロップトレイエリアおよび電力最適化のための回路およびレイアウト技法

(57) 【特許請求の範囲】

【請求項1】

フロップトレイのための走査回路であって、
通常モードで入力データ信号を反転させ、前記反転したデータ信号をフリップフロップの入力に出力することと、走査モードで前記フロップトレイの前記フリップフロップの前記入力から前記データ信号を遮断することとを行うように構成されたトライステート回路と、
ここに於いて、前記トライステート回路は、第1のp形トランジスタと、第2のp形トランジスタと、第1のn形トランジスタと、第2のn形トランジスタとを備え、ここに於いて、前記第1のp形トランジスタのソースは電源に結合され、前記第2のp形トランジスタのソースは前記第1のp形トランジスタのドレインに結合され、前記第2のn形トランジスタのドレインは前記第2のp形トランジスタのドレインに結合され、前記第1のn形トランジスタのドレインは前記第2のn形トランジスタのソースに結合され、前記第1のn形トランジスタのソースは接地に結合され、前記走査モードで前記第1のp形トランジスタと前記第1のn形トランジスタは両方ともオフにされ、前記データ信号が遮断される、

前記走査モードで走査信号を前記フリップフロップの前記入力にパスすることと、前記通常モードで前記フリップフロップの前記入力から前記走査信号を遮断することとを行うように構成されたパスゲートとを備える、走査回路。

【請求項2】

前記パスゲートは、

n 形トランジスタと、

前記 n 形トランジスタと並列に結合された p 形トランジスタと、ここにおいて、前記 p 形トランジスタおよび前記 n 形トランジスタが、前記走査モードでオンになり、前記通常モードでオフになるように構成された、を備える、請求項 1 に記載の走査回路。

【請求項 3】

前記フロップトレイの走査入力と前記パスゲートとの間に結合されたインバータをさらに備える、請求項 1 に記載の走査回路。

【請求項 4】

前記パスゲートが前記フロップトレイの他のフリップフロップの出力と前記フリップフロップの前記入力との間に結合された、請求項 1 に記載の走査回路。

10

【請求項 5】

前記他のフリップフロップの前記出力と前記パスゲートとの間にインバータがない、請求項 4 に記載の走査回路。

【請求項 6】

前記通常モードで第 2 のデータ信号を反転させ、前記反転した第 2 のデータ信号を前記フロップトレイの第 2 のフリップフロップの入力に出力することと、前記走査モードで前記第 2 のフリップフロップの前記入力から前記第 2 のデータ信号を遮断することとを行うように構成された第 2 のトライステート回路と、

前記走査モードで前記フリップフロップの出力からの前記走査信号を前記第 2 のフリップフロップの前記入力にパスすることと、および前記通常モードで前記第 2 のフリップフロップの前記入力から前記フリップフロップの前記出力からの前記走査信号を遮断することとを行うように構成された第 2 のパスゲートとを更に備える、請求項 1 に記載の走査回路。

20

【請求項 7】

前記フリップフロップの前記出力と前記第 2 のパスゲートとの間にインバータがない、請求項 6 に記載の走査回路。

【請求項 8】

前記フロップトレイの走査入力と前記パスゲートとの間に結合されたインバータをさらに備える、請求項 6 に記載の走査回路。

【請求項 9】

前記フリップフロップの前記出力と前記第 2 のパスゲートとの間にインバータがない、請求項 8 に記載の走査回路。

30

【請求項 10】

前記第 2 のパスゲートは、

n 形トランジスタと、

前記 n 形トランジスタと並列に結合された p 形トランジスタと、ここにおいて、前記 p 形トランジスタおよび前記 n 形トランジスタが、前記走査モードでオンになり、前記通常モードでオフになるように構成された、を備える、請求項 9 に記載の走査回路。

【請求項 11】

フロップトレイを走査するための方法であって、

40

トライステート回路を使用して通常モードで入力データ信号を反転させ、前記反転したデータ信号を前記フロップトレイのフリップフロップの入力に出力することと、

前記トライステート回路を使用して走査モードで前記フリップフロップの前記入力から前記データ信号を遮断することと、ここにおいて、前記トライステート回路は、第 1 の p 形トランジスタと、第 2 の p 形トランジスタと、第 1 の n 形トランジスタと、第 2 の n 形トランジスタとを備え、ここにおいて、前記第 1 の p 形トランジスタのソースは電源に結合され、前記第 2 の p 形トランジスタのソースは前記第 1 の p 形トランジスタのドレインに結合され、前記第 2 の n 形トランジスタのドレインは前記第 2 の p 形トランジスタのドレインに結合され、前記第 1 の n 形トランジスタのドレインは前記第 2 の n 形トランジスタのソースに結合され、前記第 1 の n 形トランジスタのソースは接地に結合され、前記走

50

査モードで前記第 1 の p 形トランジスタと前記第 1 の n 形トランジスタは両方ともオフにされ、前記データ信号が遮断される、

パスゲートを使用して前記走査モードで前記フリップフロップの前記入力に走査信号をパスすることと、

前記パスゲートを使用して前記通常モードで前記フリップフロップの前記入力から前記走査信号を遮断することとを備える、方法。

【請求項 1 2】

他のパスゲートを使用して前記走査モードで前記フリップフロップから出力された前記走査信号を前記フロップトレイの他のフリップフロップの入力にパスすることをさらに備える、請求項 1 1 に記載の方法。

【請求項 1 3】

前記フリップフロップから出力された前記走査信号が、前記フリップフロップから出力された前記走査信号を反転させることなしに前記他のフリップフロップの前記入力にパスされる、請求項 1 2 に記載の方法。

【請求項 1 4】

前記パスゲートを使用して前記フリップフロップの前記入力に前記走査信号をパスすることより前に、前記走査信号を反転させることをさらに備える、請求項 1 1 に記載の方法。

【請求項 1 5】

他のパスゲートを使用して前記走査モードで前記フリップフロップから出力された前記走査信号を前記フロップトレイの他のフリップフロップの入力にパスすることをさらに備え、ここにおいて、前記フリップフロップから出力された前記走査信号が、前記フリップフロップから出力された前記走査信号を反転させることなしに前記他のフリップフロップの前記入力にパスされる、請求項 1 4 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

[0001]本開示の態様は、一般に走査可能フロップトレイ (flop tray) に関し、より詳細には、走査可能フロップトレイの走査オーバーヘッドを低減することに関する。

【背景技術】

【0002】

[0002]フリップフロップは、システムの様々な構成要素による処理のために 1 つまたは複数のデータ信号からデータ値をキャプチャ (ラッチ) するためにシステムにおいて使用され得る。システムは、フリップフロップがテスト中に正しく機能していることを検証するための走査回路を含み得る。これを行うために、走査回路は、既知のテストパターンを有する走査信号を受信し、フリップフロップを通して走査信号を走査する。走査信号がフリップフロップを通して走査された後、出力走査信号は、フリップフロップが正しく機能しているかどうかを決定するために、予想される出力走査信号と比較される。予想される出力走査信号は、入力走査信号の既知のテストパターンと、フリップフロップの予想される機能とに基づき得る。走査回路は、走査回路によって消費されるチップ面積および / 電力により、システムにオーバーヘッドを追加する。

【発明の概要】

【0003】

[0003]以下で、1 つまたは複数の実施形態の基本的理解を与えるために、そのような実施形態の簡略化された概要を提示する。この概要は、すべての企図された実施形態の包括的な概観ではなく、すべての実施形態の主要または重要な要素を識別するものでも、いずれかまたはすべての実施形態の範囲を定めるものでもない。その唯一の目的は、後で提示するより詳細な説明の導入として、1 つまたは複数の実施形態のいくつかの概念を簡略化された形で提示することである。

【0004】

[0004]一態様によれば、フロップトレイのための走査回路が提供される。本走査回路は、通常モードで入力データ信号を反転させ、反転したデータ信号をフロップトレイのフリップフロップの入力に出力することと、走査モードでデータ信号をフリップフロップの入力から遮断することとを行うように構成されたトライステート回路 (tri-state circuit) を備える。本走査回路はまた、走査モードで走査信号をフリップフロップの入力にパスすることと、通常モードで走査信号をフリップフロップの入力から遮断することとを行うように構成されたパスゲート (pass gate) を備える。

【 0 0 0 5 】

[0005]第2の態様はフロップトレイのための走査回路に関する。本走査回路は、通常モードで第1のデータ信号を反転させ、反転した第1のデータ信号をフロップトレイの第1のフリップフロップの入力に出力することと、走査モードで第1のデータ信号を第1のフリップフロップの入力から遮断することとを行うように構成された第1のトライステート回路を備える。本走査回路はまた、走査モードで走査信号を第1のフリップフロップの入力にパスすることと、通常モードで走査信号を第1のフリップフロップの入力から遮断することとを行うように構成された第1のパスゲートを備える。本走査回路はまた、通常モードで第2のデータ信号を反転させ、反転した第2のデータ信号をフロップトレイの第2のフリップフロップの入力に出力することと、走査モードで第2のデータ信号を第2のフリップフロップの入力から遮断することとを行うように構成された第2のトライステート回路を備える。本回路は、さらに、走査モードで第1のフリップフロップの出力からの走査信号を第2のフリップフロップの入力にパスすることと、通常モードで第1のフリップフロップの出力からの走査信号を第2のフリップフロップの入力から遮断することとを行うように構成された第2のパスゲートを備える。

【 0 0 0 6 】

[0006]第3の態様は、フロップトレイを走査するための方法に関する。本方法は、トライステート回路を使用して通常モードで入力データ信号を反転させ、反転したデータ信号をフロップトレイのフリップフロップの入力に出力することと、トライステート回路を使用して走査モードでデータ信号をフリップフロップの入力から遮断することとを備える。本方法はまた、パスゲートを使用して走査モードで走査信号をフリップフロップの入力にパスすることと、パスゲートを使用して通常モードで走査信号をフリップフロップの入力から遮断することとを備える。

【 0 0 0 7 】

[0007]第4の態様は、フロップトレイを走査するための装置に関する。本装置は、通常モードで入力データ信号を反転させ、反転したデータ信号をフロップトレイのフリップフロップの入力に出力するための手段と、走査モードでデータ信号をフリップフロップの入力から遮断するための手段とを備える。本装置はまた、走査モードで走査信号をフリップフロップの入力にパスするための手段と、通常モードで走査信号をフリップフロップの入力から遮断するための手段とを備える。

【 0 0 0 8 】

[0008]上記および関連する目的を達成するために、1つまたは複数の実施形態は、以下で十分に説明し、特許請求の範囲で具体的に指摘する特徴を備える。以下の説明および添付の図面に、1つまたは複数の実施形態のいくつかの例示的な態様を詳細に示す。ただし、これらの態様は、様々な実施形態の原理が採用され得る様々な方法のほんのいくつかを示すものであり、説明する実施形態は、すべてのそのような態様およびそれらの均等物を含むものとする。

【図面の簡単な説明】

【 0 0 0 9 】

【図1】[0009]走査可能フロップトレイの一例を示す図。

【図2】[0010]マルチプレクサの一例を示す図。

【図3】[0011]本開示の一実施形態による、低減されたオーバーヘッドをもつ走査マルチプレクサ (scan multiplexer) を示す図。

【図 4】[0012]本開示の一実施形態による、1つのフリップフロップの出力と別のフリップフロップの入力との間に結合された走査マルチプレクサを示す図。

【図 5】[0013]本開示の一実施形態による、走査可能フロップトレイを示す図。

【図 6】[0014]本開示のいくつかの実施形態による、低減された走査オーバーヘッドをもつフロップトレイを走査するための方法を示すフローチャート。

【発明を実施するための形態】

【0010】

[0015]添付の図面に関して以下に記載する発明を実施するための形態は、様々な構成を説明するものであり、本明細書で説明する概念が実施され得る唯一の構成を表すものではない。発明を実施するための形態は、様々な概念の完全な理解を与えるための具体的な詳細を含む。ただし、これらの概念はこれらの具体的な詳細なしに実施され得ることが当業者には明らかであろう。いくつかの例では、そのような概念を曖昧にするのを回避するために、よく知られている構造および構成要素をブロック図の形態で示す。

【0011】

[0016]図 1 に、走査可能フロップトレイ 100 の一例を示す。フロップトレイ 100 は通常モードまたは走査モードで動作することができる。フロップトレイ 100 は、フロップトレイ 100 の正しい機能をテストするために、テスト中に走査モードで動作させられる。

【0012】

[0017]フロップトレイ 100 は、第 1 の D フリップフロップ 120 a と、第 2 の D フリップフロップ 120 b と、第 3 の D フリップフロップ 120 c と、第 4 の D フリップフロップ 120 d と、走査回路 115 とを備える。走査回路 115 は、以下でさらに説明するように、テスト中に走査モードでフロップトレイ 100 を動作させるために使用される。走査回路 115 は、第 1 の走査マルチプレクサ 110 a と、第 2 の走査マルチプレクサ 110 b と、第 3 の走査マルチプレクサ 110 c と、第 4 の走査マルチプレクサ 110 d と、反転極性 NAND ゲート 130 とを備える。各走査マルチプレクサ 110 a ~ 110 d は D フリップフロップ 120 a ~ 120 d の各々に結合され、ここにおいて、第 1 の走査マルチプレクサ 110 a は第 1 の D フリップフロップ 120 a の入力に結合され、第 2 の走査マルチプレクサ 110 b は第 2 の D フリップフロップ 120 b の入力に結合され、以下同様に結合される。走査回路 115 はフロップトレイ 100 の走査オーバーヘッドとなる。

【0013】

[0018]通常モードで、フロップトレイ 100 は複数のデータ信号 d0 ~ d3 を並列に受信する。各走査マルチプレクサ 110 a ~ 110 d は、(図 1 中で「0」と標示された) データ入力において並列データ信号 d0 ~ d3 のうちの 1 つを受信し、それぞれのデータ信号 d0 ~ d3 をそれぞれの D フリップフロップ 120 a ~ 120 d の入力にパスする。各 D フリップフロップ 120 a ~ 120 d は、クロック信号 clk の立上りまたは立下りエッジ上でそれぞれのデータ信号 d0 ~ d3 からデータ値(たとえば、ビット)をキャプチャし、キャプチャされたデータ値 q0 ~ q3 を出力する。したがって、各クロックサイクル中に、フロップトレイ 100 は、クロック信号 clk の立上りまたは立下りエッジ上でデータ信号 d0 ~ d3 から複数のデータ値(たとえば、ビット)を並列にキャプチャし、キャプチャされたデータ値 q0 ~ q3 を並列に出力する。図 1 は、4 つのフリップフロップを備える 4 ビットフロップトレイの例を示す。しかしながら、本開示はこの例に限定されず、任意の数のフリップフロップを備えるフロップトレイに適用され得ることを諒解されたい。

【0014】

[0019]走査モードで、第 1 の走査マルチプレクサ 110 a は、(図 1 中で「sin」と標示された)フロップトレイ 100 の走査入力を第 1 のフリップフロップ 120 a の入力に結合する。残りの走査マルチプレクサ 110 b ~ 110 d の各々は前の D フリップフロップの nq 出力をそれぞれの D フリップフロップの入力に結合する。たとえば、第 2 の走

10

20

30

40

50

査マルチプレクサ110bは第1のDフリップフロップ120aのnq出力を第2のDフリップフロップ120bの入力に結合し、第3のマルチプレクサ110cは第2のDフリップフロップ120bのnq出力を第3のDフリップフロップ120cの入力に結合し、以下同様に結合する。各マルチプレクサの走査入力とは図1中で「1」と標示されている。第4のDフリップフロップ120d(最後のフリップフロップ)のnq出力はNANDゲート130の反転入力に結合される。その結果、走査信号が走査入力(「sin」)においてフロップトレイ100に入力されたとき、走査信号はフロップトレイ100のDフリップフロップ120a~120dを通して連続的に伝搬する。走査信号は(「out」と標示された)NANDゲート130の出力において最終的に出力される。出力走査信号は、フロップトレイ100の走査入力(「sin」)から走査出力(「out」)までの走査経路における反転の回数に応じて、入力走査信号に対して反転または非反転であり得る。

10

【0015】

[0020]したがって、走査モードで、走査信号はフロップトレイ100のDフリップフロップ120a~120dを通して走査される。走査信号は既知のテストパターンを備え得、フロップトレイ100の機能は、フロップトレイ100からの出力走査信号を既知のテストパターンに基づく予想される出力走査信号と比較することによって評価され得る。

【0016】

[0021]図1に示された例では、フロップトレイ100の動作モードは、(図1中で「scan」と標示された)走査モード入力において受信された走査モード信号によって制御される。走査モード信号は、走査マルチプレクサがそれぞれのフリップフロップにそれぞれの入力データ信号を結合するのか走査信号を結合するのかを制御するために、各走査マルチプレクサ110a~110dに入力される。たとえば、走査モード信号が論理0であるとき、各走査マルチプレクサ110a~110dはそれぞれの入力データ信号をそれぞれのフリップフロップに結合する。したがって、フロップトレイは、走査モード信号が0であるとき、通常モードで動作する。走査モード信号が論理1であるとき、各走査マルチプレクサ110a~110dは走査信号をそれぞれのフリップフロップに結合する。したがって、フロップトレイは、走査モード信号が1であるとき、走査モードで動作する。走査モード信号はまた、図1に示されているように、NANDゲート130の非反転入力に結合され得る。走査モード信号が0であるとき(通常モード)、NANDゲート130の出力は1に固定される。

20

30

【0017】

[0022]図2に、第1の走査マルチプレクサ110aおよび第1のDフリップフロップ120aの例示的な実装形態を示す。第1の走査マルチプレクサ110aは第1のトライステート回路215と第2のトライステート回路220とを備え、ここにおいて、各トライステート回路は4つのトランジスタ(たとえば、金属酸化半導体(MOS)トランジスタ)を含む。第1のトライステート回路215および第2のトライステート回路220は、(図2中で「scan」と標示された)走査モード入力において受信された走査モード信号によって制御される。トライステート回路215および220は、走査モード信号が0であるとき、通常モードで動作し、走査モード信号が1であるとき、走査モードで動作する。

40

【0018】

[0023]走査モード信号が0であるとき、第1のトライステート回路215はそれぞれの入力データ信号を反転させ、第2のトライステート回路220は反転したデータ信号をそれぞれのDフリップフロップ120aの入力にパスする。図2中の例では、Dフリップフロップ120aはその入力とq出力との間に奇数個のインバータ(すなわち、インバータ232、234および236)を有する。奇数個のインバータは第1のトライステート回路215による論理反転を元に戻す。その結果、マルチプレクサ110aのデータ入力からDフリップフロップ120aのq出力まで論理反転がない。

【0019】

50

[0024] 走査モード信号が1であるとき、第1のトライステート回路215はそれぞれのデータ入力を遮断する。第2のトライステート回路220は、それぞれの入力走査信号を反転させ、反転した走査信号をそれぞれのDフリップフロップ120aに入力する。図2中の例では、Dフリップフロップ120aはその入力とnq出力との間に偶数個のインバータ(すなわち、インバータ232および234)を有する。その結果、マルチプレクサ110aの走査入力からDフリップフロップ120aのnq出力まで論理反転がある。

【0020】

[0025] したがって、通常モードで、図2中の走査マルチプレクサ110aは、データ信号をそれぞれのフリップフロップ120aに出力する前に、入力データ信号を反転させる。走査モードで、走査マルチプレクサ110aは、走査信号をそれぞれのフリップフロップ120aに出力する前に、入力走査信号を反転させる。したがって、図2中の走査マルチプレクサ110aは反転マルチプレクサの例である。

10

【0021】

[0026] フロップトレイ100中の残りの走査マルチプレクサ110b~110dの各々はまた、図2に示された回路を使用して実装され得る。残りの走査マルチプレクサ110b~110dの各々について、(図1中で「1」と標示された)マルチプレクサの走査入力は前のDフリップフロップ120a~120cのnq出力に結合される。

【0022】

[0027] 各走査マルチプレクサ110a~110dの第1のトライステート回路215および第2のトライステート回路220を構成するトランジスタは、チップ面積を占め、電力を消費する。したがって、走査回路115の面積および/または電力消費を低減するために、マルチプレクサ中のトランジスタの数を低減することが望ましい。

20

【0023】

[0028] 図3に、本開示の一実施形態による、走査マルチプレクサ310を示す。図3は、走査マルチプレクサ310が、フロップトレイの走査入力(「sin」)とフロップトレイの第1のフリップフロップ120aとの間に結合された、フロップトレイ中の第1の走査マルチプレクサを実装するために使用される例を示す。図3に示された走査マルチプレクサ310を使用して実装された走査マルチプレクサを含むフロップトレイの一例について、以下で図5に関して説明する。

【0024】

30

[0029] 走査マルチプレクサ310では、図2に示された走査マルチプレクサ110a中の第2のトライステート回路220はパスゲート320によって置き換えられる。パスゲート320は、第2のトライステート回路220のための4つのトランジスタと比較して2つのトランジスタを備え、走査マルチプレクサ310中の2つのトランジスタの低減を生じる。図3に示された例では、パスゲート320は、並列に結合されたn形トランジスタ322とp形トランジスタ324とを備え、ここにおいて、n形トランジスタ322のゲートは走査モード入力(「scan」)に結合され、p形トランジスタ324のゲートは走査モードインバータ360を通して走査モード入力(「scan」)に結合される。したがって、n形トランジスタ322のゲートは走査モード信号によって駆動され、p形トランジスタ324のゲートは走査モード信号の逆によって駆動される。トランジスタ322とトランジスタ324の両方は走査モードでオンにされ、トランジスタ322とトランジスタ324の両方は通常モードでオフにされる。

40

【0025】

[0030] 走査モード信号が0であるとき(通常モード)、第1のトライステート回路215は、入力データ信号を反転させ、反転したデータ信号をフロップトレイの第1のフリップフロップ120aの入力に出力する。第1のトライステート回路215について以下でより詳細に説明する。パスゲート320は入力走査信号を第1のDフリップフロップ120aの入力から遮断する。したがって、通常モードで、走査マルチプレクサ310は、図2に示された第1の走査マルチプレクサ110aと機能的に等価である。

【0026】

50

[0031]走査モード信号が1であるとき(走査モード)、第1のトライステート回路215は入力データ信号を第1のDフリップフロップ120aの入力から遮断する。パスゲート320は入力走査信号を第1のDフリップフロップ120aの入力にパスする。走査モードで、パスゲート320は、図2に示された第1のマルチプレクサ110a中の第2のトライステート回路220とは異なり、入力走査信号を反転させない。したがって、走査モードで、走査マルチプレクサ310は反転なしに走査信号を第1のフリップフロップ120aにパスする。

【0027】

[0032]一実施形態では、インバータ315は、走査マルチプレクサ310に入力されることより前に走査信号を反転させるために、フロップトレイの走査入力(「sin」)と走査マルチプレクサ310との間に結合され得る。したがって、インバータ315と走査マルチプレクサ310中のパスゲート320の組合せは、図2に示された第2のトライステート回路220と機能的に等価であり得る。

【0028】

[0033]フロップトレイ中の残りの走査マルチプレクサの各々はまた、図3に示されたマルチプレクサ310を使用して実装され得る。残りの走査マルチプレクサの各々について、パスゲート320の入力は介在インバータなしに前のDフリップフロップのnq出力に結合され得る。

【0029】

[0034]この点について、図4に、走査マルチプレクサ310が、フロップトレイ中の第2の走査マルチプレクサを実装するために使用される例を示す。この例では、パスゲート320は介在インバータなしに(図3に示された)第1のDフリップフロップ120aのnq出力に結合される。上記で説明したように、パスゲート320は図2に示された第2のトライステート回路220を置き換え、マルチプレクサ310中の2つのトランジスタの低減を生じる。

【0030】

[0035]走査モード信号が0であるとき(通常モード)、第1のトライステート回路215は、入力データ信号を反転させ、反転したデータ信号をフロップトレイの第2のDフリップフロップ120bの入力に出力する。パスゲート320は走査信号を第2のDフリップフロップ120bの入力から遮断する。

【0031】

[0036]走査モード信号が1であるとき(走査モード)、第1のトライステート回路215は入力データ信号を第2のDフリップフロップ120bの入力から遮断する。パスゲート320は走査信号を(図3に示された)第1のDフリップフロップ120aのnq出力から第2のDフリップフロップ120bの入力にパスする。第2のDフリップフロップ120bのnq出力からの走査信号はフロップトレイ中の第3の走査マルチプレクサに結合される。

【0032】

[0037]図5に、走査可能フロップトレイ500の例を示し、ここにおいて、図1中の走査回路115は、本開示の一実施形態による走査回路515によって置き換えられる。走査回路515は、第1の走査マルチプレクサ310aと、第2の走査マルチプレクサ310bと、第3の走査マルチプレクサ310cと、第4の走査マルチプレクサ310dとを備え、ここにおいて、走査マルチプレクサ310a~310dの各々は、図3に示された走査マルチプレクサ310を使用して実装される。走査回路515はまた、走査マルチプレクサ310a~310dによって共有される走査モードインバータ360を備える。走査モードインバータ360は各走査マルチプレクサ310a~310dに走査モード信号の逆を与える。フロップトレイ500はまた、フロップトレイ500の走査入力(「sin」)と第1の走査マルチプレクサ310aの(「1」と標示された)走査入力との間に結合されたインバータ315を備える。

【0033】

[0038]第1の走査マルチプレクサ310の(「1」と標示された)走査入力インバータ315に結合される。残りの走査マルチプレクサ310b~310dの各々の(「1」と標示された)走査入力は、介在インバータなしに前のDフリップフロップ120a~120cのnq出力に結合される。走査マルチプレクサ310a~310dの各々の(「0」と標示された)データ入力はそれぞれのデータ信号d0~d3に結合され、走査マルチプレクサ310a~310dの各々の出力はそれぞれのフリップフロップ120a~120dの入力に結合される。

【0034】

[0039]通常モードで、各走査マルチプレクサ310a~310dは、それぞれのトライステート回路215を使用してそれぞれのデータ信号d0~d3を反転させ、反転したデータ信号をそれぞれのDフリップフロップ120a~120dの入力に出力する。各Dフリップフロップ120a~120dは、クロック信号clkの立上りまたは立下りエッジ上でそれぞれのデータ信号d0~d3からデータ値(たとえば、ビット)をキャプチャし、キャプチャされたデータ値q0~q3を出力する。

【0035】

[0040]走査モードで、インバータ315は、反転した入力走査信号を生成するためにフロップトレイ500の走査入力(「sin」)において走査信号を反転させる。第1の走査マルチプレクサ310aは反転した入力走査信号を第1のDフリップフロップ120aの入力にパスする。残りの走査マルチプレクサ310b~310cの各々は、前のフリップフロップ120a~120cから出力された走査信号を反転なしにそれぞれのフリップフロップ120b~120dの入力に結合する。走査信号は(「sout」と標示された)NANDゲート130の出力において最終的に出力される。出力走査信号は、フロップトレイ500の走査入力(「sin」)から走査出力(「sout」)までの走査経路における反転の回数に応じて、入力走査信号に対して反転または非反転であり得る。

【0036】

[0041]したがって、走査モードで、走査信号はフロップトレイ500のDフリップフロップ120a~120dを通して走査される。走査信号は既知のテストパターンを備え得、フロップトレイ500の機能は、フロップトレイ500からの出力走査信号を既知のテストパターンに基づく予想される出力走査信号と比較することによって評価され得る。所与のテストパターンについて、図5中のフロップトレイ500の場合の予想される出力走査信号は、図1中のフロップトレイ100の場合の予想される出力走査信号とは異なり得る。これは、走査マルチプレクサ310a~310dが走査信号を反転させないという事実により、図5中のフロップトレイ500が走査経路における異なる回数の反転を有するからである。

【0037】

[0042]図3に示されたマルチプレクサ310を使用してフロップトレイ500の各走査マルチプレクサ310a~310dを実装することは、フロップトレイ500中のトランジスタの数の有意な低減をもたらす。フロップトレイ500中の第1の走査マルチプレクサ310aは、フロップトレイ500の走査入力(「sin」)と第1の走査マルチプレクサ310aとの間に結合されたインバータ315のために、トランジスタの数の低減に寄与しないことがある。しかしながら、フロップトレイ500中の残りの走査マルチプレクサ310b~310dの各々はトランジスタの数を2だけ低減する。これは、残りの走査マルチプレクサ310b~310dの各々のために、それぞれのパスゲート320は、図2に示された第2のトライステート回路220のための4つのトランジスタと比較して2つのトランジスタを使用するからである。たとえば、(その一例が図5に示された)4ビットフロップトレイの場合、これは図1中のフロップトレイ100と比較して6つのトランジスタの低減(3つの残りのマルチプレクサ310b~310dの各々について2つのトランジスタの低減)をもたらす。8つのDフリップフロップを備える8ビットフロップトレイの場合、これは14個のトランジスタの低減をもたらす、16個のDフリップフロップを備える16ビットフロップトレイの場合、これは30個のトランジスタの低

10

20

30

40

50

減をもたらす。走査回路 5 1 5 中のトランジスタの数の低減は、走査回路によって占められるチップ面積を低減し、電力消費を低減する。

【 0 0 3 8 】

[0043]各 D フリップフロップ 1 2 0 a ~ 1 2 0 d がその入力において信号（たとえば、それぞれのデータ信号 d 0 ~ d 3 または走査信号）から値を適切にキャプチャするために、値は（ホールド時間と呼ばれる）クロック c 1 k の立上りまたは立下りエッジの後のある時間期間の間安定必要がある。信号がホールド時間中に値を変更した場合、ホールド時間違反が起こり、フリップフロップは準安定状態に入り得る。通常モードでのホールド時間違反を防ぐために、フリップフロップへのデータ経路における遅延が、フリップフロップの入力において十分なホールド時間マージンを与えるために調整され得る。ホールド時間マージンは、クロック c 1 k の立上りまたは立下りエッジの後の信号の変化についての予想される時間とホールド時間との間の差であり得る。より大きいホールド時間マージンは、より大きいマージンをプロセスおよび動作変動に与えることによってフリップフロップのロバストネスを改善する。

【 0 0 3 9 】

[0044]走査モードで、図 5 中の第 2 のフリップフロップ 1 2 0 b、第 3 のフリップフロップ 1 2 0 c および第 4 のフリップフロップ 1 2 0 d の各々のためのホールド時間マージンは、図 1 中の第 2 のフリップフロップ 1 2 0 b、第 3 のフリップフロップ 1 2 0 c および第 4 のフリップフロップ 1 2 0 d と比較して約 1 つのインバータ遅延だけ低減される。これは、図 5 中のそれぞれのマルチプレクサ 3 1 0 b ~ 3 1 0 d の各々が、図 1 中のそれぞれのマルチプレクサ 1 1 0 b ~ 1 1 0 d とは異なり走査信号を反転させないからである。しかしながら、走査モードにおけるホールド時間マージンの低減の場合でも、ホールド時間マージンは、テスト中のホールド時間違反を防ぐのに十分に大きいままであり得る。たとえば、フリップフロップ 1 2 0 b ~ 1 2 0 d の各々が図 2 に示されたフリップフロップを使用して実装されたとき、走査モードにおけるホールド時間マージンはホールド時間違反を防ぐほど十分に大きいままであることが分かっている。第 1 のフリップフロップ 1 2 0 a のためのホールド時間マージンは、第 1 のマルチプレクサ 1 1 0 a に結合されたインバータ 3 1 5 がインバータ遅延を追加するのでほぼ同じであり得る。

【 0 0 4 0 】

[0045]次に、再び図 3 を参照しながら、第 1 のトライステート回路 2 1 5 についてより詳細に説明する。第 1 のトライステート回路 2 1 5 は、トライステートインバータの一例であり、第 1 の p 形トランジスタ 3 3 0 と、第 2 の p 形トランジスタ 3 3 5 と、第 1 の n 形トランジスタ 3 5 0 と、第 2 の n 形トランジスタ 3 4 0 とを備える。トランジスタ 3 3 0、3 3 5、3 4 0 および 3 5 0 は電源と接地との間で互いの上に積層される。より詳細には、第 1 の p 形トランジスタ 3 3 0 のソースは電源に結合され、第 2 の p 形トランジスタ 3 3 5 のソースは第 1 の p 形トランジスタ 3 3 0 のドレインに結合され、第 2 の n 形トランジスタ 3 4 0 のドレインは第 2 の p 形トランジスタ 3 3 5 のドレインに結合され、第 1 の n 形トランジスタ 3 5 0 のドレインは第 2 の n 形トランジスタ 3 4 0 のソースに結合され、第 1 の n 形トランジスタ 3 5 0 のソースは接地に結合される。

【 0 0 4 1 】

[0046]第 1 の p 形トランジスタ 3 3 0 のゲートは走査モード入力（「scan」）に結合され、第 1 の n 形トランジスタ 3 5 0 のゲートは、図 5 に示されているように走査マルチプレクサ 3 1 0 a ~ 3 1 0 d によって共有され得る、走査モードインバータ 3 6 0 を通して走査モード入力（「scan」）に結合される。したがって、第 1 の p 形トランジスタ 3 3 0 のゲートは走査モード信号によって駆動され、第 1 の n 形トランジスタ 3 5 0 のゲートは走査モード信号の逆によって駆動される。第 2 の p 形トランジスタ 3 3 5 および第 2 の n 形トランジスタ 3 4 0 のゲートはマルチプレクサ 3 1 0 のデータ入力に結合される。

【 0 0 4 2 】

[0047]走査モード信号が 0 であるとき（通常モード）、第 1 の p 形トランジスタ 3 3 0

10

20

30

40

50

と第1のn形トランジスタ350は両方ともオンにされる。その結果、第1のp形トランジスタ330は第2のp形トランジスタ335のソースを電源に結合し、第1のn形350は第2のn形トランジスタ340のソースを接地に結合する。これは、第2のp形トランジスタ335および第2のn形トランジスタ340がコンプリメンタリーインバータとして働くことを可能にし、ここにおいて、インバータの入力は第2のp形トランジスタ335および第2のn形トランジスタ340のゲートに位置し、インバータの出力は第2のp形トランジスタ335および第2のn形トランジスタ340のドレインに位置する。インバータは、それぞれのデータ信号を反転させ、反転したデータ信号をそれぞれのフリップフロップに出力する。

【0043】

10

[0048]走査モード信号が1であるとき(走査モード)、第1のp形トランジスタ330と第1のn形トランジスタ350は両方ともオフにされる。これは、第2のp形トランジスタ335のソースを電源から切断し、第2のn形トランジスタ340のソースを接地から切断する。その結果、それぞれのデータ信号はそれぞれのフリップフロップの入力から遮断される。

【0044】

[0049]図6は、本開示の一実施形態による、低減された走査オーバーヘッドをもつフリップトレイを走査するための方法600の流れ図である。

【0045】

[0050]ステップ610において、入力データ信号は、トライステート回路を使用して通常モードで反転させられ、フリップフロップの入力に出力される。たとえば、ステップ610は、図3中のトライステート回路215を使用して実行され得、ここにおいて、トライステート回路215は、0の走査モード信号を走査モード入力(「scan」)に入力することによって通常モードで動作させられる。

20

【0046】

[0051]ステップ620において、入力データ信号は、トライステート回路を使用して走査モードでフリップフロップの入力から遮断される。たとえば、ステップ620は、図3中のトライステート回路215を使用して実行され得、ここにおいて、トライステート回路215は、1の走査モード信号を走査モード入力(「scan」)に入力することによって走査モードで動作させられる。

30

【0047】

[0052]ステップ630において、走査信号は、パスゲートを使用して走査モードでフリップフロップの入力にパスされる。たとえば、ステップ630は、図3中のパスゲート320を使用して実行され得、ここにおいて、パスゲート320は、1の走査モード信号を走査モード入力(「scan」)に入力することによって走査モードで動作させられる。パスゲート320は、トライステート回路よりも少数のトランジスタを使用して実装され、したがって走査オーバーヘッドを低減し得る。

【0048】

[0053]ステップ640において、走査信号は、パスゲートを使用して通常モードでフリップフロップの入力から遮断される。たとえば、ステップ640は、図3中のパスゲート320を使用して実行され得、ここにおいて、パスゲート320は、0の走査モード信号を走査モード入力(「scan」)に入力することによって通常モードで動作させられる。

40

【0049】

[0054]当業者は、本開示の実施形態が本明細書で説明した例に限定されないことを諒解されよう。たとえば、走査マルチプレクサの走査入力は、nq出力の代わりに前のフリップフロップのq出力に結合され得る。また、本開示の実施形態は、様々なタイプのフリップフロップを備えるフリップトレイ中で使用され得、したがって、図2に示された例示的なフリップフロップに限定されない。さらに、本開示の実施形態は、たとえば、2つのフリップフロップ、4つのフリップフロップ、8つのフリップフロップ、16個のフリップ

50

フロップなどを含む、任意の数のフリップフロップを備えるフロップトレイ中で使用され得る。

【 0 0 5 0 】

[0055]本明細書で説明した回路は、様々なトランジスタタイプを使用して実現され得、したがって、図に示された特定のトランジスタタイプに限定されないことを、当業者は諒解されよう。たとえば、バイポーラ接合トランジスタ、接合型電界効果トランジスタまたは他のトランジスタタイプなどのトランジスタタイプが使用され得る。また、本明細書で説明した回路は、CMOS、バイポーラ接合トランジスタ(BJT)、バイポーラCMOS(BiCMOS)、シリコンゲルマニウム(SiGe)、ガリウムヒ素(GaAs)など、様々なICプロセス技術を用いて作製され得ることを、当業者は諒解されよう。

10

【 0 0 5 1 】

[0056]本開示についての以上の説明は、いかなる当業者も本開示を作成または使用することができるように与えたものである。本開示への様々な修正は当業者には容易に明らかになり、本明細書で定義した一般原理は、本開示の趣旨または範囲から逸脱することなく他の変形形態に適用され得る。したがって、本開示は、本明細書で説明した例に限定されるものではなく、本明細書で開示した原理および新規の特徴に合致する最も広い範囲を与えられるべきである。

以下に、出願当初の特許請求の範囲を付記する。

【 C 1 】

フロップトレイのための走査回路であって、

20

通常モードで入力データ信号を反転させ、前記反転したデータ信号をフリップフロップの入力に出力することと、走査モードで前記フロップトレイの前記フリップフロップの前記入力から前記データ信号を遮断することとを行うように構成されたトライステート回路と、

前記走査モードで走査信号を前記フリップフロップの前記入力にパスすることと、前記通常モードで前記フリップフロップの前記入力から前記走査信号を遮断することとを行うように構成されたパスゲートと
を備える、走査回路。

【 C 2 】

前記パスゲートは、

30

n形トランジスタと、

前記n形トランジスタと並列に結合されたp形トランジスタと、ここにおいて、前記p形トランジスタおよび前記n形トランジスタが、前記走査モードでオンになり、前記通常モードでオフになるように構成された、
を備える、C1に記載の走査回路。

【 C 3 】

前記フロップトレイの走査入力と前記パスゲートとの間に結合されたインバータをさらに備える、C1に記載の走査回路。

【 C 4 】

前記パスゲートが前記フロップトレイの他のフリップフロップの出力と前記フリップフロップの前記入力との間に結合された、C1に記載の走査回路。

40

【 C 5 】

前記他のフリップフロップの前記出力と前記パスゲートとの間にインバータがない、C4に記載の走査回路。

【 C 6 】

フロップトレイのための走査回路であって、

通常モードで第1のデータ信号を反転させ、前記反転した第1のデータ信号を前記フロップトレイの第1のフリップフロップの入力に出力することと、および走査モードで前記第1のフリップフロップの前記入力から前記第1のデータ信号を遮断することとを行うように構成された第1のトライステート回路と、

50

前記走査モードで前記第 1 のフリップフロップの前記入力に走査信号をパスすることと、前記通常モードで前記第 1 のフリップフロップの前記入力から前記走査信号を遮断することを行うように構成された第 1 のパスゲートと、

前記通常モードで第 2 のデータ信号を反転させ、前記反転した第 2 のデータ信号を前記フロップトレイの第 2 のフリップフロップの入力に出力することと、前記走査モードで前記第 2 のフリップフロップの前記入力から前記第 2 のデータ信号を遮断することを行うように構成された第 2 のトライステート回路と、

前記走査モードで前記第 1 のフリップフロップの出力からの前記走査信号を前記第 2 のフリップフロップの前記入力にパスすることと、および前記通常モードで前記第 2 のフリップフロップの前記入力から前記第 1 のフリップフロップの前記出力からの前記走査信号を遮断することを行うように構成された第 2 のパスゲートと
を備える、走査回路。

10

[C 7]

前記第 1 のフリップフロップの前記出力と前記第 2 のパスゲートとの間にインバータがない、C 6 に記載の走査回路。

[C 8]

前記フロップトレイの走査入力と前記第 1 のパスゲートとの間に結合されたインバータをさらに備える、C 6 に記載の走査回路。

[C 9]

前記第 1 のフリップフロップの前記出力と前記第 2 のパスゲートとの間にインバータがない、C 8 に記載の走査回路。

20

[C 1 0]

前記第 2 のパスゲートは、

n 形トランジスタと、

前記 n 形トランジスタと並列に結合された p 形トランジスタと、ここにおいて、前記 p 形トランジスタおよび前記 n 形トランジスタが、前記走査モードでオンになり、前記通常モードでオフになるように構成された、
を備える、C 9 に記載の走査回路。

[C 1 1]

フロップトレイを走査するための方法であって、

トライステート回路を使用して通常モードで入力データ信号を反転させ、前記反転したデータ信号を前記フロップトレイのフリップフロップの入力に出力することと、

前記トライステート回路を使用して走査モードで前記フリップフロップの前記入力から前記データ信号を遮断することと、

パスゲートを使用して前記走査モードで前記フリップフロップの前記入力に走査信号をパスすることと、

前記パスゲートを使用して前記通常モードで前記フリップフロップの前記入力から前記走査信号を遮断することと
を備える、方法。

30

[C 1 2]

他のパスゲートを使用して前記走査モードで前記フリップフロップから出力された前記走査信号を前記フロップトレイの他のフリップフロップの入力にパスすることをさらに備える、C 1 1 に記載の方法。

40

[C 1 3]

前記フリップフロップから出力された前記走査信号が、前記フリップフロップから出力された前記走査信号を反転させることなしに前記他のフリップフロップの前記入力にパスされる、C 1 2 に記載の方法。

[C 1 4]

前記パスゲートを使用して前記フリップフロップの前記入力に前記走査信号をパスすることより前に、前記走査信号を反転させることをさらに備える、C 1 1 に記載の方法。

50

[C 1 5]

他のパスゲートを使用して前記走査モードで前記フリップフロップから出力された前記走査信号を前記フロップトレイの他のフリップフロップの入力にパスすることをさらに備える、C 1 4 に記載の方法。

[C 1 6]

前記フリップフロップから出力された前記走査信号が、前記フリップフロップから出力された前記走査信号を反転させることなしに前記他のフリップフロップの前記入力にパスされる、C 1 5 に記載の方法。

[C 1 7]

フロップトレイを走査するための装置であって、
通常モードで入力データ信号を反転させ、前記フロップトレイのフリップフロップの入力に前記反転したデータ信号を出力するための手段と、
走査モードで前記フリップフロップの前記入力から前記データ信号を遮断するための手段と、
前記走査モードで前記フリップフロップの前記入力に走査信号をパスするための手段と、
前記通常モードで前記フリップフロップの前記入力から前記走査信号を遮断するための手段と
を備える、装置。

10

[C 1 8]

前記走査モードで前記フリップフロップから出力された前記走査信号を前記フロップトレイの他のフリップフロップの入力にパスするための手段をさらに備える、C 1 7 に記載の装置。

20

[C 1 9]

前記フリップフロップから出力された前記走査信号が、前記フリップフロップから出力された前記走査信号を反転させることなしに前記他のフリップフロップの前記入力にパスされる、C 1 8 に記載の装置。

[C 2 0]

前記走査信号を前記フリップフロップの前記入力にパスするための前記手段より前に、前記走査信号を反転させるための手段をさらに備える、C 1 7 に記載の装置。

30

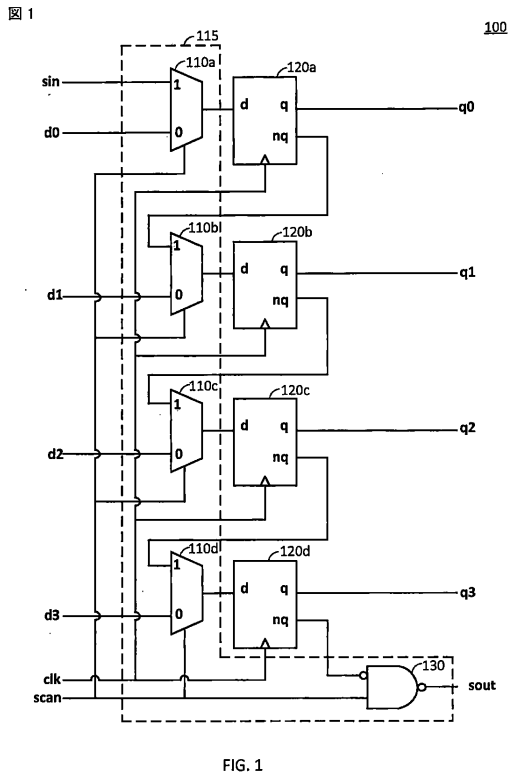
[C 2 1]

前記走査モードで前記フリップフロップから出力された前記走査信号を前記フロップトレイの他のフリップフロップの入力にパスするための手段をさらに備える、C 2 0 に記載の装置。

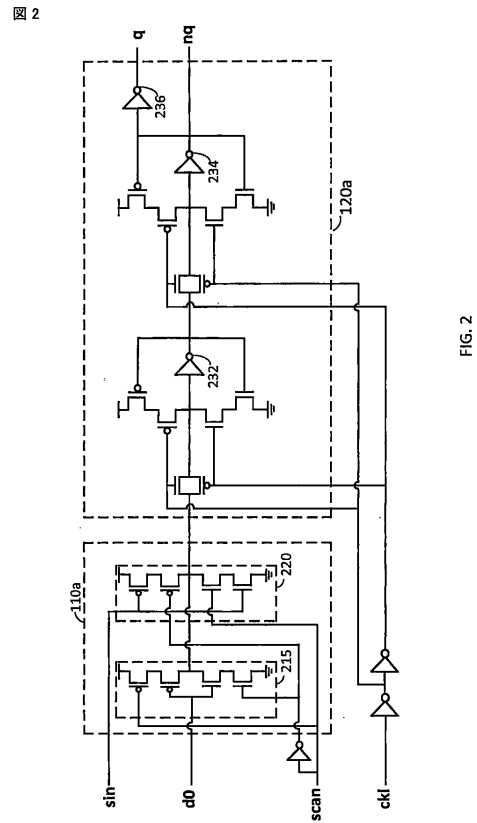
[C 2 2]

前記フリップフロップから出力された前記走査信号が、前記フリップフロップから出力された前記走査信号を反転させることなしに前記他のフリップフロップの前記入力にパスされる、C 2 1 に記載の装置。

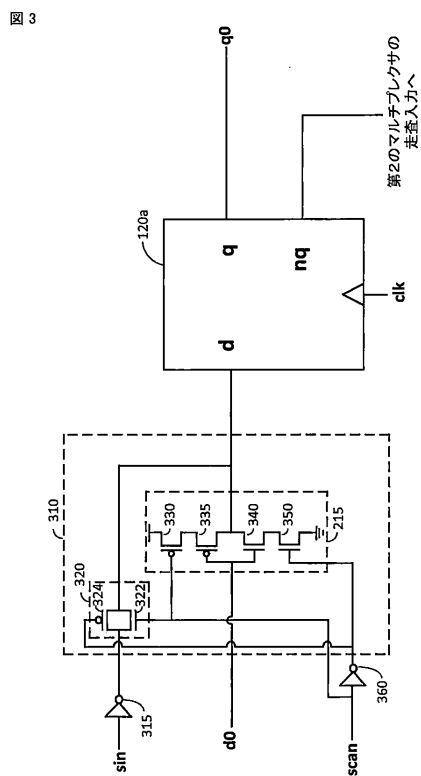
【図 1】



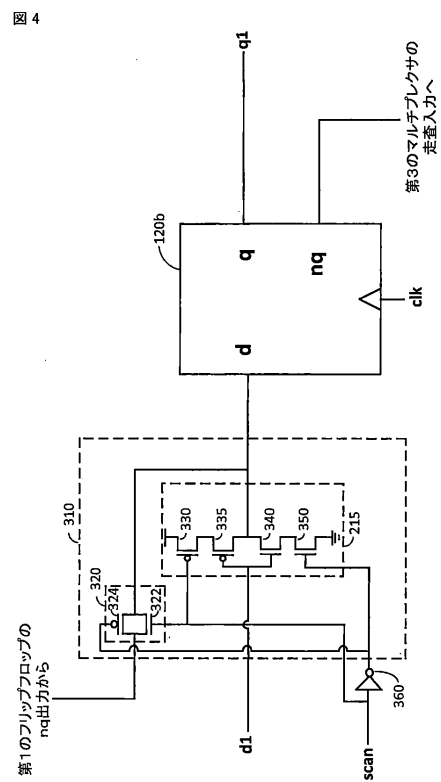
【図 2】



【図 3】



【図 4】



【 図 5 】

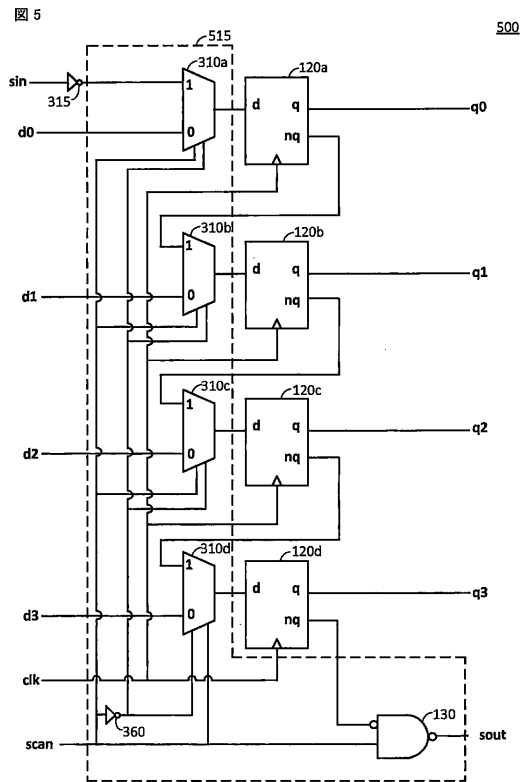


FIG. 5

【 図 6 】

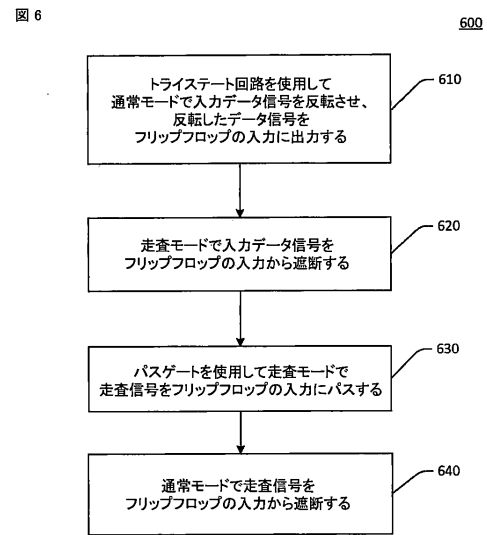


FIG. 6

フロントページの続き

(51)Int.Cl. F I

H 0 3 K 19/00 (2006.01)

(74)代理人 100184332

弁理士 中丸 慶洋

(72)発明者 シャー、ジャイ・マドゥカー

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 スワミナサン、チェサン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 ダッタ、アニメシュ

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

合議体

審判長 小林 紀史

審判官 中塚 直樹

審判官 うし 田 真悟

(56)参考文献 特開2009-97879(JP,A)

特開2004-69492(JP,A)

特開2003-347924(JP,A)

特開平10-52073(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28