

公告本

申請日期	91 3 25
案 號	91105 737
類 別	Gobp 9/30

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書 I222014 新 型		
一、發明 名稱	中 文	於取消多週期指令後恢復暫存器之方法及裝置
	英 文	METHOD AND APPARATUS FOR RESTORING REGISTERS AFTER CANCELLING A MULTI-CYCLE INSTRUCTION
二、發明 創作人	姓 名	1. 格列高里 A. 奧弗肯 GREGORY A. OVERKAMP 2. 羅伊歐 英努 RYO INOUE
	國 籍	均美國 U.S.A
	住、居所	1. 美國德州奧斯汀市163442號郵政信箱 P.O. BOX 163442, AUSTIN, TEXAS 78716, U.S.A. 2. 美國德州奧斯汀市雷德蒙路10521號 10521 REDMOND ROAD, AUSTIN, TEXAS 78739, U.S.A.
三、申請人	姓 名 (名稱)	1. 美商英特爾公司 INTEL CORPORATION 2. 美商亞拿羅設計公司 ANALOG DEVICES, INC. 均美國 U.S.A.
	國 籍	1. 美國加州聖塔卡拉瓦市米遜大學路2200號 2200 MISSION COLLEGE BOULEVARD, SANTA CLARA, CALIFORNIA 95052, U.S.A.
	住、居所 (事務所)	2. 美國麻州諾伍市科技路1號 ONE TECHNOLOGY WAY, P.O. BOX 9106 NORWOOD, MASSACHUSETTS 02062-9106, U.S.A.
	代 表 人 姓 名	1. 湯姆士 C. 雷納德 THOMAS C. REYNOLDS 2. 威廉 A. 威斯 WILLIAM A. WISE

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，有 無主張優先權

美國 2001年03月28日 09/820,570 有無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝
訂
線

五、發明說明 (1)

發明背景

用於電腦或數位信號處理系統的諸如一微處理器等的一可程式處理器可支援一個或多個“多週期”機器指令，其中單一的機器指令指示該處理器執行多個作業。一個例示的多週期指令是一“Load Multiple”指令，其中處理器回應一單一的機器指令，而執行一系列的載入作業。另一個例子是一“Push-Pop Multiple”指令，該指令指示處理器對一堆疊執行存入或取出多個暫存器內容。因為多週期指令將多個作業塞入一單一的機器指令中，所以此種指令可增加程式碼的密度，並提昇可程式處理器的作業效率。

附圖簡述

圖1是根據一實施例的一管線化可程式處理器之方塊圖。

圖2是一例示執行管線之示意圖。

圖3是一管線的一部分之示意圖，該管線包含根據一實施例的一推測式交付暫存器。

圖4是根據一實施例的一推測式交付作業的流程圖。

圖5是包括根據一實施例的一處理器的一行動視訊單元之方塊圖。

詳細說明：

圖1是一可程式處理器(100)之方塊圖，該可程式處理器(100)支援一個或多個多週期指令(multi-cycle instruction；簡稱MCI)。該處理器(100)可包含一執行管線(102)及一控制單元(104)。控制單元(104)可根據一系統時脈(105)而經由管線

五、發明說明(2)

(102)控制指令及資料之流動。於一指令的處理期間，控制單元(104)可指示該管線的的各組件將該指令解碼，並指示執行其中包括諸如將結果寫回到記憶體等對應的作業。

可將指令載入管線(102)的一第一階段，並經由後續的階段而執行該等指令。一階段可與其他的階段同時執行。可根據系統時脈信號而在管線(102)中的各階段之間傳送資料。各指令的結果可連續地出現在管線(102)的末端。

回應一MCI，一停頓控制器(106)可觸發停頓信號(108)，而停頓管線(102)的一個或多個階段，以便在執行該MCI時，使管線(102)不會對額外的指令進行提取及解碼。在停頓管線(102)的一部分之後，一MCI控制器(110)可觸發MCI信號(112)，並指示管線(102)執行現行MCI所指定的額外作業。

圖2示出一例示的管線(102)。該管線(102)可包括諸如五個階段：指令提取(instruction fetch；簡稱IF)、指令解碼(instruction decode；簡稱DEC)、位址計算(address calculation；簡稱AC)、執行(execute；簡稱EX)、及寫回(write back；簡稱WB)。根據一替代實施例，這些階段可包含子階段，例如，EX階段可包含EX1、EX2等多個子階段。

在該IF階段期間，可由一提取單元(200)在一時脈週期中自諸如一主記憶體或一指令快取記憶體等的一記憶體裝置提取指令。在該DEC階段中，可由一指令解碼單元(202)在後續的時脈週期中將在一時脈週期中提取的一指令解碼。可將結果傳送到該AC階段，而該階段中的一資料位址產

五、發明說明(3)

生器(data address generator; 簡稱DAG)(204)可計算記憶體位址,以便執行該作業。在該EX階段期間,一執行單元(206)可執行一指定的指令,例如將兩個數字相加或相乘。執行單元(206)可包含用來執行運算的專用硬體,其中包括諸如一個或多個算術邏輯單元(arithmetic logic unit; 簡稱ALU)、若干乘法及累加單元(multiply and accumulate unit; 簡稱MAC)、以及若干滾筒式移位器。可將各種資料施加到執行單元(206),這些資料包括諸如該等DAG(204)所產生的位址、自記憶體擷取的資料、或自各資料暫存器(208)擷取的資料。在該WB階段期間,可將資料寫回到資料記憶體或資料暫存器(208)。

在執行一MCI期間,可在數個時脈週期中自管線(102)的該DEC階段發出多個指令。在MCI控制器(110)的控制下,於可將多個“次指令”沿著管線(102)向下傳送時,該MCI係保持停頓在管線(102)的解碼階段。MCI控制器(110)可根據若干內部狀態機而作業,以便指示指令解碼單元(202)於該MCI的執行期間在若干時脈週期中派發若干作業。

停頓控制器(106)可觸發停頓信號(108),而停頓管線(102)的一個或多個階段,以便在執行該MCI時,使管線(102)不會對額外的指令進行提取及解碼。管線(102)的該等階段可包含諸如儲存暫存器(210)等的儲存單元,用以儲存現行階段的結果。該等階段暫存器(210)可根據系統時脈而鎖存該等結果。該等階段暫存器(210)接收的停頓信號(108)控制該等階段暫存器(210)是否要鎖存來自先前階段的結果。在此

五、發明說明(4)

種方式下，停頓控制器(106)可回應一MCI，而停頓管線(102)的一個或多個階段。

一MCI可包含一終端次指令(亦即，最後一個次指令)、以及一個或多個非終端次指令，該等非終端次指令包括第一個次指令及任何中間的次指令。當一次指令到達該WB階段時，即將該次指令視為被交付。當該終端次指令到達該WB階段時，即將該MCI視為被交付。

如果一指令在現行的程式流程中不再是有效的，則可取消(亦即，“刪除”)該指令，且關閉該指令的所有寫入。例如，當採取一中斷時，可能發生上述的情形。當一中斷發生時，可諸如將零置入被取消的該等指令之管線鎖存器，而取消管線中的所有指令，且可提取來自一中斷服務常式(interrupt service routine；簡稱ISR)的各指令，將該等指令放到管線中。

在該ISR處理了該中斷之後，用來追蹤程式流程的程式計數器(program counter；簡稱PC)可送回一被取消的指令，以便恢復該程式流程。換言之，該管線備份到其在執行被取消的該指令之前的狀態。

當該PC自該ISR返回時，各架構暫存器最好是具有其在將被取消的該指令置入該管線之前所具有的值。該等架構暫存器可包括諸如用來儲存指標值的指標暫存器(pointer register；簡稱PREG)。

當在該管線中取消一MCI時，一非終端次指令可能業已到達該WB階段，並且在執行寫回作業時，可能已將一結

五、發明說明(5)

果寫回到一架構暫存器。該架構暫存器所存放的前一值可能已失掉，因而使處理器(100)很難返回到其在執行被取消的該MCI之前所具有的狀態。

在一實施例中，可在該管線(102)的一MCI交付(該MCI的交付是發生在終端次指令到達該WB階段之時)之前，不將該MCI的非終端次指令之執行期間所產生的結果寫入該等架構暫存器。圖3示出一例示的管線(300)，該管線(300)包含一推測式交付暫存器(speculative commit register；簡稱SCR)(302)，用以儲存在該MCI交付的時脈週期之前由一非終端次指令所產生的一值。當一非終端次指令到達該WB階段時，可將任何結果寫入該SCR(302)，而不是寫入一架構暫存器(304)。當該終端次指令到達該WB階段時，MCI控制器(110)可控制一多工器(multiplexer；簡稱MUX)(306)將SCR(302)中儲存的該值寫入該架構暫存器(304)。在此種方式下，在該MCI交付之前，並不會寫入各架構暫存器。因此，如果該MCI在交付之前於管線(300)中被取消了，則該管線可恢復到其在執行該MCI之前所具有的狀態。

圖4是根據一實施例的一推測式交付作業(400)之流程圖。圖4所示作業的該流程只是舉例，且可根據各替代實施例而跳過或以不同的順序來執行該流程圖中的各步驟。

當一次指令在步驟(402)中到達WB階段時，處理器(100)在步驟(404)中決定該次指令是否為終端次指令。在步驟(406)中，針對一非終端次指令而決定是否將結果指定置入一架構暫存器。如果確係如此，則在步驟(408)中將該結果

五、發明說明 (8)

SCR(302)中之堆疊指標值寫到FPREG。

—“Unlink”指令是一MCI的另一個例子，該Unlink指令可能在交付之前改變一架構暫存器的內容。可利用該Unlink指令跳出一常式。一個例示的Unlink指令包含下列三個次指令：

- 1 RETS=[FP+4]
- 2 SP=FP+8
- 3 FP=[FP]

這些次指令可使處理器(100)執行下列事項：(1)自堆疊恢復該返回位址；(2)恢復該堆疊指標；以及(3)以一自記憶體讀取的值恢復該訊框指標。當次指令(2)SP=FP+8到達WB階段時，將寫入架構暫存器SPREG。因為係在該MCI交付之前發生上述的情形，所以如果在終端次指令(3)到達WB階段之前，即已取消了該Unlink指令，則將會失掉SPREG中之先前值。

根據一實施例，在該Unlink指令交付之前，將更新後的堆疊指標值儲存在SCR(302)，即可解決上述的問題。如圖4所示，當指令(2)在步驟(402)中到達WB階段時，在步驟(404)中決定該次指令是一非終端次指令。因為指定將結果置入該SPREG中，所以將FP+8的結果寫到一SCR，而不是寫到SPREG。當終端次指令(3)在步驟(402)中到達WB階段時，在步驟(412)中恢復該訊框指標，並在步驟(416)中將SCR(302)中之值寫到SPREG。

—“PushPopMultiple”指令是可能在交付之前改變一架構暫

五、發明說明()

存器 (SPREG) 的一 MCI 之另一個例子。PushPopMultiple 指令可用來執行循序對該堆疊執行若干存入或取出。當每一次指令跳出 AC 階段時，即將 SP 值遞增或遞減一個一的值。可將回應一次指令而在 AC 階段中計算出的一 SP 值傳送到 DEC 階段中的一工作暫存器或未來檔 310 (future file; 簡稱 FF)。可將該新的 SP 值用來作為該基本 SP 值，以使用於回應所發出的下一次指令而執行的位址計算作業。可將該改變的 SP 值儲存在 SCR(302) 中，直到終端次指令到達 WB 階段為止，此時可將最後的 SP 值寫到該架構暫存器 SPREG。

可在其中包括一般用途電腦系統、數位處理系統、膝上型電腦、個人數位助理 (personal digital assistants; 簡稱 PDA)、及細胞式電話的各種系統中實施處理器 (100)。在此種系統中，該處理器可耦合到用來儲存一作業系統或其他應用軟體的諸如一快閃記憶體裝置或一靜態隨機存取記憶體 (static random access memory; 簡稱 SRAM) 等的一記憶體裝置。

可將該處理器 (100) 用於攝錄像機、電傳會議、PC 視訊卡、及高解析度電視 (High-Definition Television; 簡稱 HDTV)。此外，可配合採用數位信號處理的其他技術而將處理器 (100) 用於諸如行動電話中所用的語音處理、語音辨識、及其他的應用。

例如，圖 5 示出其中包括根據一實施例的一處理器 (100) 之一行動視訊裝置 (500)。該行動視訊裝置 (500) 可以是一手持裝置，該手持裝置顯示自一天線 (502) 或自諸如一數位影音光碟 (digital video disc; 簡稱 DVD) 或一記憶卡等的一數位視

五、發明說明 (10)

訊儲存媒體(504)接收的編碼後視訊信號產生的視訊影像。處理器(100)可連接到一可儲存用於處理器作業的程式及資料之快取記憶體(506)、以及諸如一SRAM(508)等的其他裝置。

處理器(100)可以是一微處理器、一數位信號處理器(digital signal processor; 簡稱DSP)、用來控制一從屬DSP之微處理器、或具有一混合微處理器/DSP架構之處理器。處理器(100)可對該編碼後視訊信號執行各種作業,其中包括諸如類比至數位轉換、解調、濾波、資料還原、及解碼。處理器(100)可根據MPEG系列的標準及H.263標準等各種數位視訊壓縮標準中之一種標準,而將經過壓縮的數位視訊信號解碼。然後可將解碼後的視訊信號輸入到一顯示驅動器(510),以便在一顯示器(512)上產生視訊影像。

至此已說明了本發明的若干實施例。然而,我們當了解,在不脫離本發明的精神及範圍下,尚可作出各種修改。例如,可在管線中將其他的SCR提供給不同的MCI及不同的架構暫存器。因此,其他的實施例仍係在下列的申請專利範圍之範圍內。

四、中文發明摘要(發明之名稱:於取消多週期指令後恢復暫存器之方法及裝置)

在一實施例中，一管線式處理器可適於處理多週期指令(MCIs)。可將回應非終端次指令而產生的結果寫到一推測式交付暫存器。當該MCI交付時，亦即，當一終端次指令到達寫回階段時，可將該推測式交付暫存器中之值寫到架構暫存器。

英文發明摘要(發明之名稱:METHOD AND APPARATUS FOR RESTORING
REGISTERS AFTER CANCELLING A MULTI-
CYCLE INSTRUCTION)

In an embodiment, a pipelined processor may be adapted to process multi-cycle instructions (MCIs). Results generated in response to non-terminal sub-instructions may be written to a speculative commit register. When the MCI commits, i.e., a terminal sub-instruction reaches the WB stage, the value in the speculative commit register may be written to the architectural register.

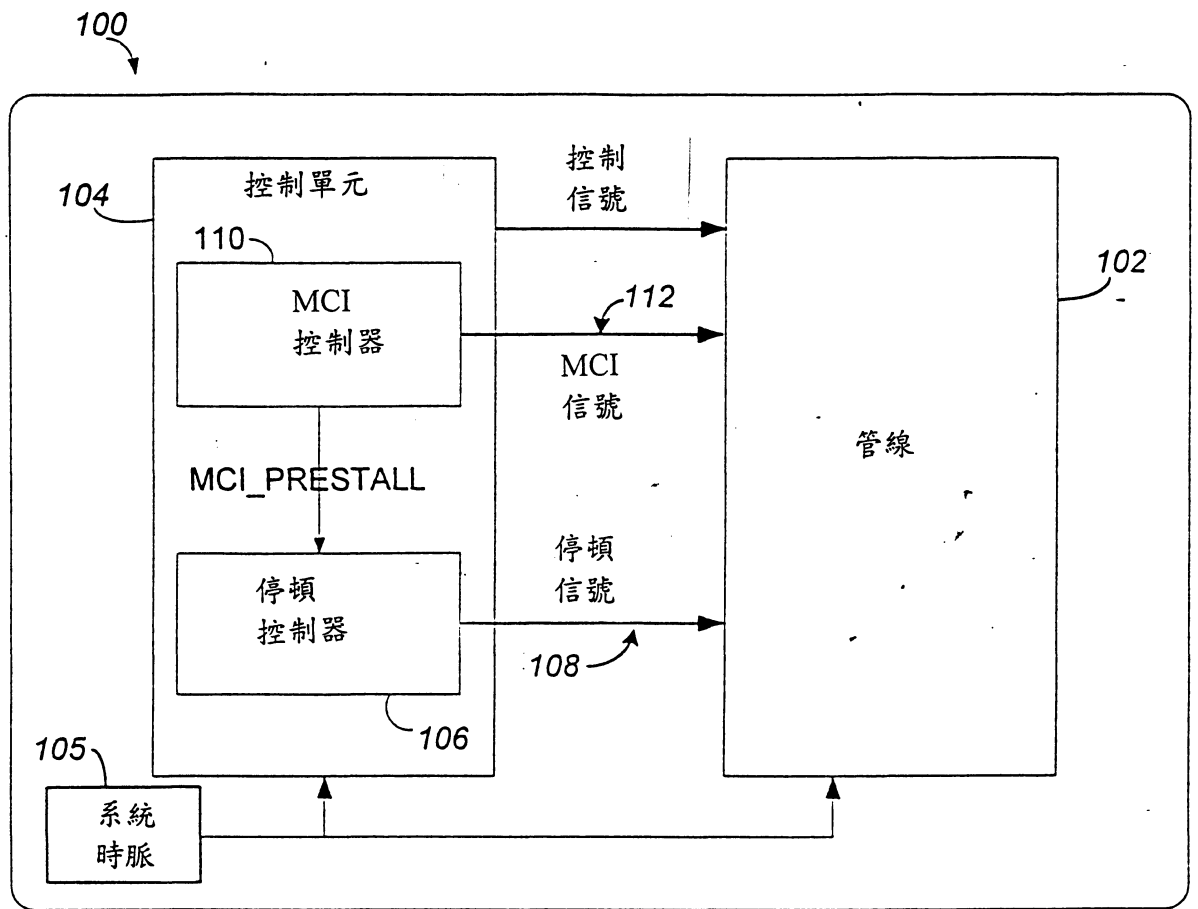


圖 1

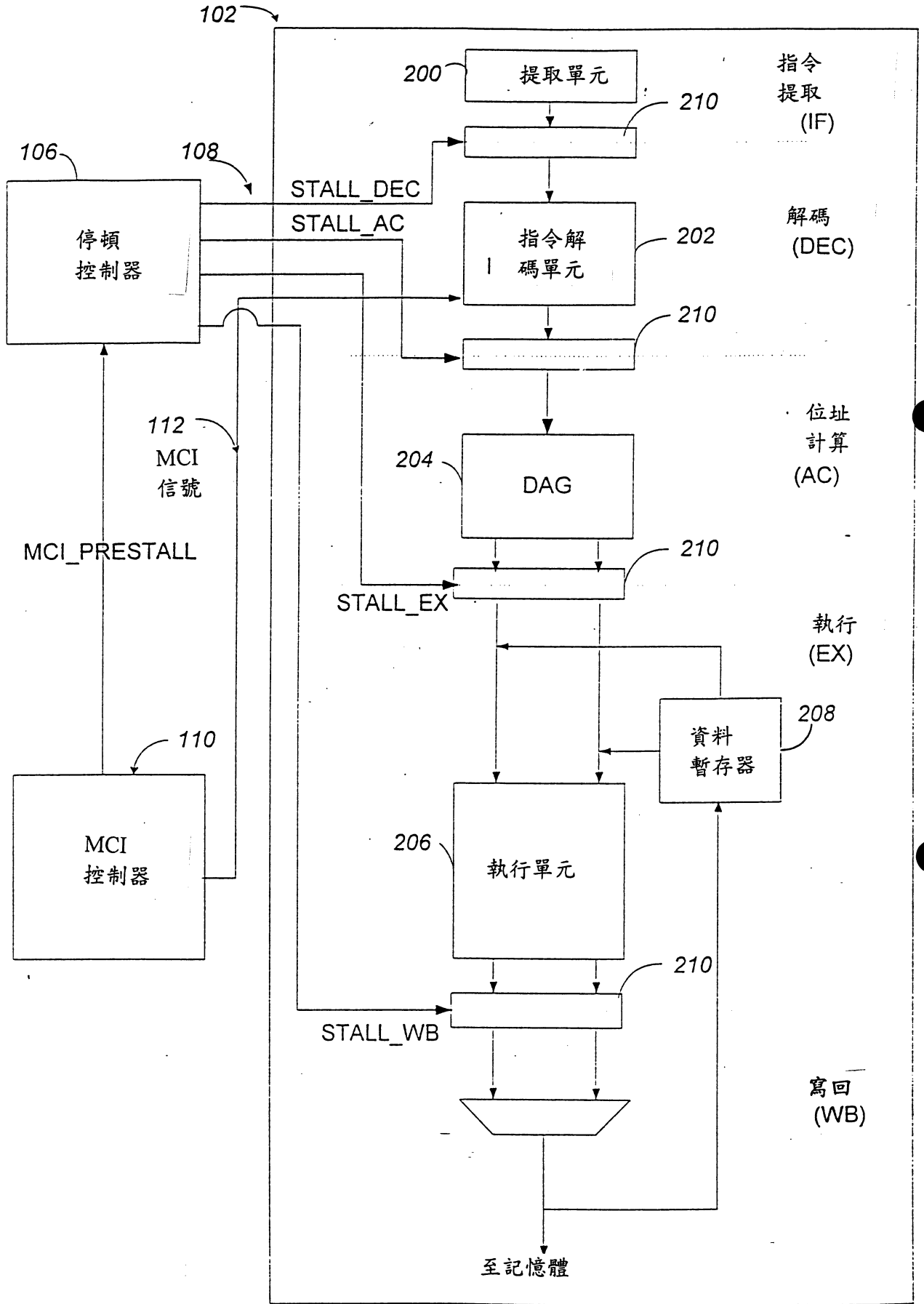


圖 2

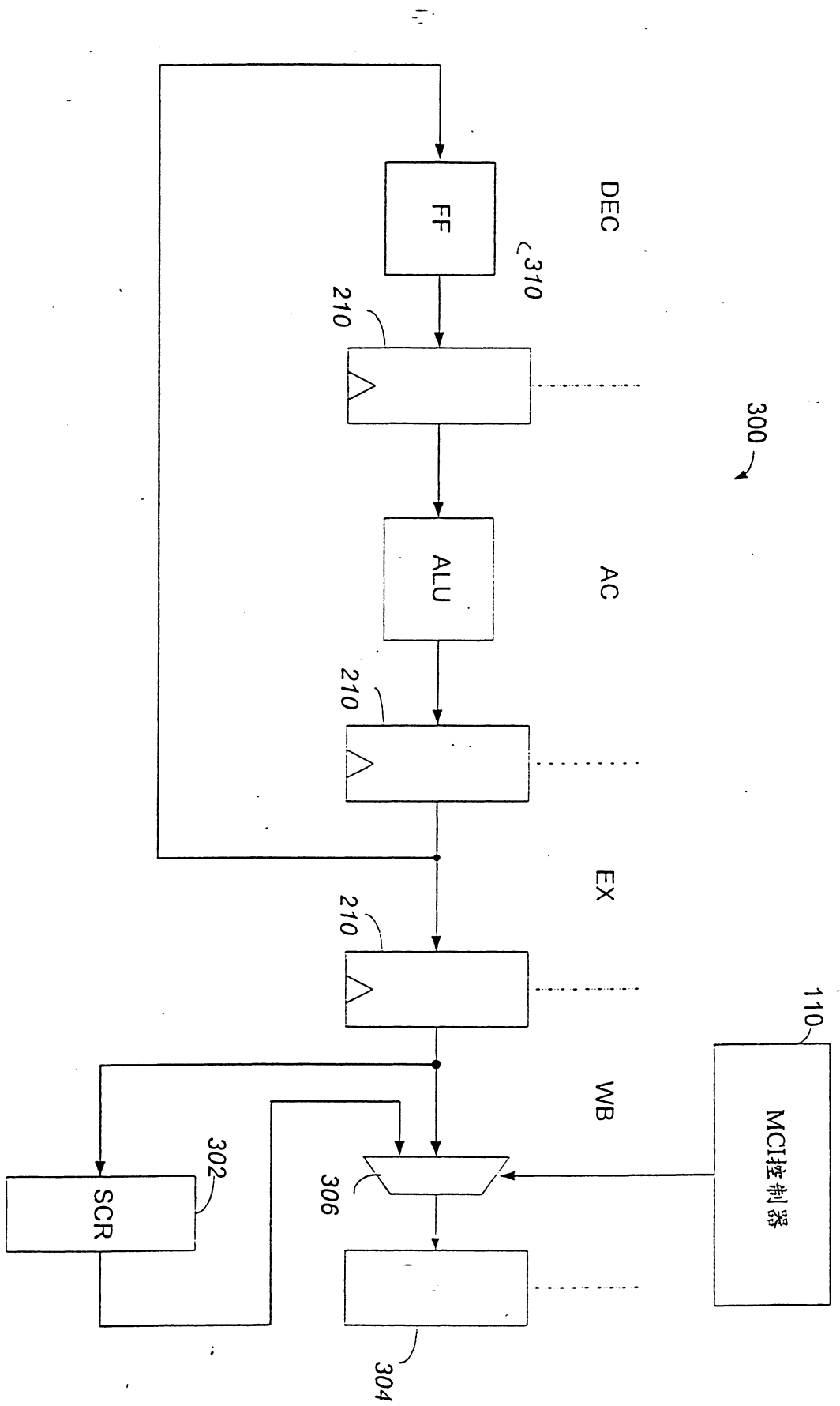


圖 3

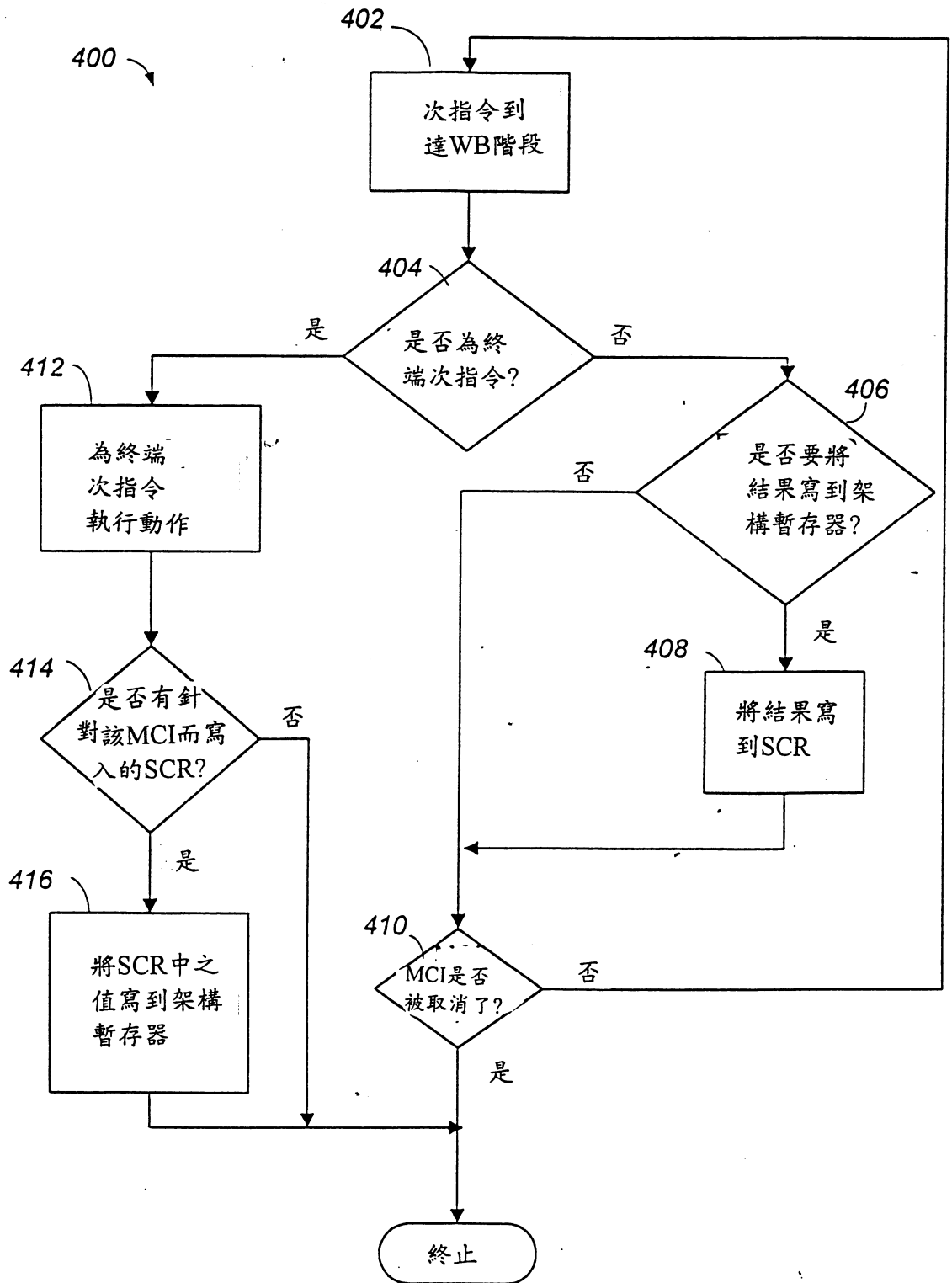


圖 4

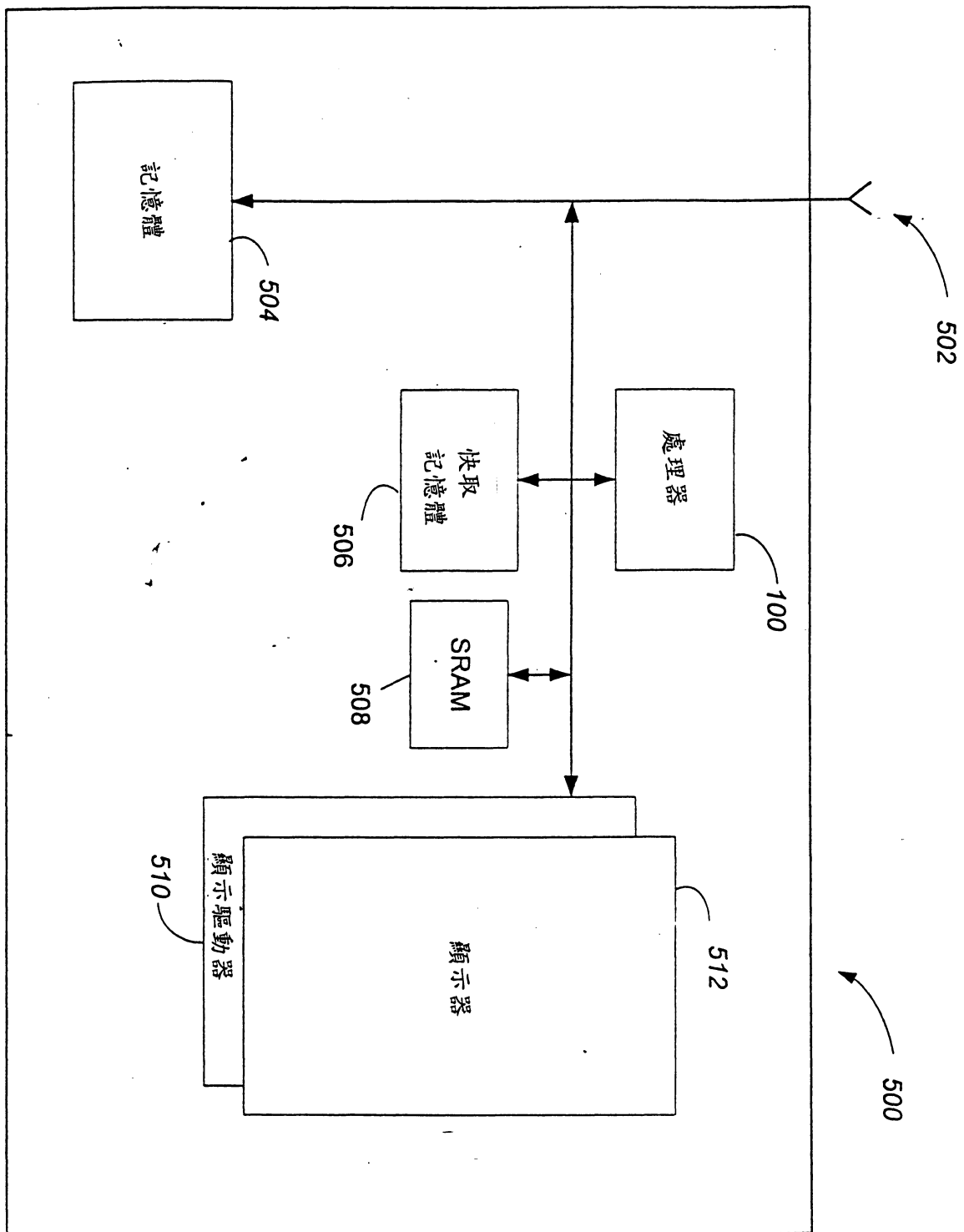


圖 5

五、發明說明 ()

6

寫到 SCR(302)。如果在步驟(410)中決定在次一週期中取消了該 MCI，則被取消的該 MCI 並未改變該架構暫存器，且作業(400)終止。如果並未取消該 MCI，則作業(400)返回到步驟(402)。

當該 MCI 的終端次指令到達 WB 階段時，在步驟(412)中執行對應於該次指令的作業，而該作業可包括寫到一架構暫存器。如果決定將來自該 MCI 的一非終端次指令之一結果寫到 SCR(302)，則 MCI 控制器(110)控制 MUX(306)將該結果寫到該對應的架構暫存器(304)。如果並非如此，則作業(400)終止。

一“Link”指令是 MCI 的一個例子，該 Link 指令在交付之前可能改變一架構暫存器之內容。可利用該 Link 指令呼叫一次常式。當呼叫一次常式時，處理器(100)可將該次常式的一返回位址儲存在一堆疊，並在該堆疊上留出空間(一訊框)，用以儲存該次常式在執行期間的動態局部資料。

堆疊指標指向一堆疊的頂端，且於一程式的執行期間經常會改變該堆疊指標。當呼叫每一子階段時，遞減該堆疊指標的值，而增加該堆疊的容量(係向下增加容量)。然後在次常式返回時，可適當地遞增該堆疊指標的值，而減小該堆疊的容量。

於呼叫該次常式時，可將該訊框指標設定為該堆疊指標呼叫該現有的次常式時且在為該次常式而遞減該堆疊指標之前所具有的值。因為在執行期間可能會改變該堆疊指標，所以該訊框指標通常並不關聯到該現行次常式的堆疊

五、發明說明 ()

7

上儲存之資料，這是因為該訊框指標在該次常式的執行期間是保持不變的。

一例示的 Link 指令包含下列四個次指令：

- 1 PUSH RETS
- 2 PUSH FP
- 3 FP=SP
- 4 SP=SP+IMM

這些次指令可使處理器(100)執行下列事項：(1)將一次常式的一返回位址(RETS)存入一堆疊；(2)將一訊框指標(FP)存入該堆疊；(3)將堆疊指標(SP)移到該訊框指標；以及(4)根據該指令指定的該次常式之一訊框容量(IMM係指立即值)而更新該堆疊指標。通常當次指令(3)FP=SP到達WB階段時，將該堆疊指標值寫到保留給該訊框指標的一架構暫存器FPREG。因為係在該MCI交付之前發生上述的狀況，所以如果在終端次指令(4)到達WB階段之前，即已取消了該Link指令，則將會失掉FPREG中之先前值。

根據一實施例，在該Link指令交付之前，將該堆疊指標值儲存在SCR(302)，即可避免上述的問題。現在請參閱圖4，當指令(3)在在步驟(402)中到達WB階段時，在步驟(404)中決定該次指令是一非終端次指令。因為指定將結果置入該FPREG中，所以將結果SP寫到SCR(302)，而不是寫到FPREG。當終端次指令(4)在步驟(402)中到達WB階段時，更新該堆疊指標，並在步驟(412)中將該堆疊指標寫到保留給該堆疊指標的一架構暫存器SPREG，且在步驟(416)中將

六、申請專利範圍

1. 一種恢復暫存器之方法，包含下列步驟：

將一包含兩個或更多個次指令的多週期指令導入一管線；

將回應一次指令而產生的一結果寫入一推測式交付暫存器；以及

回應該多週期指令的交付，而將該推測式交付暫存器中之一值寫到一架構暫存器。

2. 如申請專利範圍第1項之方法，其中將該值寫到該架構暫存器之步驟包含下列步驟：將該值寫到一指標暫存器。

3. 如申請專利範圍第1項之方法，其中將該多週期指令導入該管線之該步驟包含下列步驟：將一非終端次指令及一終端次指令導入該管線。

4. 如申請專利範圍第3項之方法，其中回應該多週期指令的交付而寫入該值之該步驟包含下列步驟：回應該終端次指令的交付，而寫入該值。

5. 如申請專利範圍第1項之方法，其中寫入該結果之該步驟包含下列步驟：寫入一訊框指標值。

6. 如申請專利範圍第1項之方法，其中寫入該結果之該步驟包含下列步驟：寫入一堆疊指標值。

7. 一種包含一用來儲存機器可執行的指令的機器可讀取的媒體之製品，該等指令使一機器執行下列步驟：

將一包含兩個或更多個次指令的多週期指令導入一管線；

六、申請專利範圍

將回應一次指令而產生的一結果寫入一推測式交付暫存器；以及

回應該多週期指令的交付，而將該推測式交付暫存器中之一值寫到一架構暫存器。

8. 如申請專利範圍第7項之製品，其中該架構暫存器包含一指標暫存器。
9. 如申請專利範圍第7項之製品，其中該多週期指令包含一非終端次指令及一終端次指令。
10. 如申請專利範圍第9項之製品，其中當該終端次指令交付時，該多週期指令即交付。
11. 如申請專利範圍第7項之製品，其中該架構暫存器包含一訊框指標暫存器。
12. 如申請專利範圍第7項之製品，其中該架構暫存器包含一堆疊指標暫存器。
13. 一種處理器，包含：
 - 一管線，該管線工作而執行其中包含一終端次指令及一非終端次指令的一個多週期指令；
 - 一架構暫存器；
 - 一推測式交付暫存器，該推測式交付暫存器工作而儲存回應該等次指令而產生的結果；以及
 - 一控制器，該控制器工作而回應該終端次指令之交付，而控制將一結果自該推測式交付暫存器寫到該架構暫存器。
14. 如申請專利範圍第13項之處理器，進一步包含一切換元

修正替換頁
93年6月9日

A8
B8
C8
D8

六、申請專利範圍

件，該切換元件包含：

耦合到該管線之一第一輸入資料線；

耦合到該推測式交付暫存器之一第二輸入資料線；以

及

耦合到該架構暫存器之一輸出資料線，

其中該切換元件係工作，而回應來自該控制器的控制信號，而在該第一輸入資料線與該第二輸入資料線之間切換。

15.如申請專利範圍第13項之處理器，其中該切換元件包含一多工器。

16.如申請專利範圍第13項之處理器，其中該架構暫存器包含一指標暫存器。

17.如申請專利範圍第13項之處理器，其中該架構暫存器包含一堆疊指標暫存器。

18.如申請專利範圍第13項之處理器，其中該架構暫存器包含一訊框指標暫存器。

19.如申請專利範圍第13項之處理器，其中該多週期指令包含一工作而呼叫一次常式之指令。

20.如申請專利範圍第13項之處理器，其中該多週期指令包含一工作而跳出一一次常式之指令。

21.如申請專利範圍第13項之處理器，其中該多週期指令包含一工作而對一堆疊循序進行存入或取出兩個或更多個值。

22.一種恢復暫存器之系統，包含：

修正替換頁
93年6月9日

A8
B8
C8
D8

六、申請專利範圍

一靜態隨機存取記憶體；以及
耦合到該靜態隨機存取記憶體之一處理器，該處理器
包含：

一管線，該管線工作而執行其中包含一終端次指令
及一非終端次指令的一個多週期指令；

一架構暫存器；

一推測式交付暫存器，該推測式交付暫存器工作而
儲存回應該等次指令而產生的結果；以及

一控制器，該控制器工作而回應該終端次指令之交
付，而控制將一結果自該推測式交付暫存器寫到該架
構暫存器。

23.如申請專利範圍第22項之系統，其中該架構暫存器包含
一訊框指標暫存器。

24.如申請專利範圍第22項之系統，其中該架構暫存器包含
一堆疊指標暫存器。