



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년03월17일
 (11) 등록번호 10-1375863
 (24) 등록일자 2014년03월11일

(51) 국제특허분류(Int. Cl.)
 G09G 3/36 (2006.01) G02F 1/133 (2006.01)
 G09G 3/20 (2006.01)
 (21) 출원번호 10-2007-0023126
 (22) 출원일자 2007년03월08일
 심사청구일자 2012년02월07일
 (65) 공개번호 10-2008-0082356
 (43) 공개일자 2008년09월11일
 (56) 선행기술조사문헌
 KR1020040019708 A*
 KR1020060127644 A*
 JP2006516049 A
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성2로 95 (농서동)
 (72) 발명자
 이민철
 서울특별시 동작구 만양로 19, 703동 1713호 (노량진동, 신동아리버파크)
 안병재
 경기도 수원시 영통구 영통로 232, 벽적골 우성아파트 826동1203호 (영통동)
 (뒷면에 계속)
 (74) 대리인
 오세준, 권혁수, 송윤호

전체 청구항 수 : 총 27 항

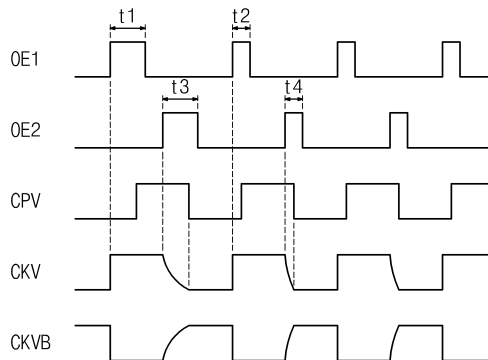
심사관 : 김태연

(54) 발명의 명칭 표시장치 및 이의 구동방법

(57) 요약

표시장치에서, 게이트 구동부는 게이트 제어신호에 응답하여 온 상태의 게이트 신호를 순차적으로 출력하고, 데이터 구동부는 데이터 제어신호에 응답하여 영상 데이터를 데이터 신호로 변환하여 출력한다. 표시패널은 게이트 신호를 순차적으로 입력받는 다수의 게이트 라인, 데이터 신호를 입력받는 다수의 데이터 라인 및 게이트 신호에 응답하여 데이터 신호를 입력받는 다수의 화소로 이루어져 영상을 표시한다. 데이터 구동부로부터 출력되는 데이터 신호의 극성은 게이트 신호가 오프 상태로 전환된 이후에 변화된다. 따라서, 표시패널에 라인성 화이트 불량 이 발생하는 것을 방지할 수 있다.

대표도 - 도2



(72) 발명자

이중환

경기도 안양시 동안구 달안로 62, 602동 1705호 (비산동, 셋별아파트)

문연규

경기도 군포시 산본천로 33, 우륵주공아파트 714동 1201호 (산본동)

이중혁

서울특별시 영등포구 당산로 95, 102동 1802호 (당산동2가, 현대아파트)

특허청구의 범위

청구항 1

외부로부터의 제어 신호에 응답해서 제1 출력 인에이블 신호, 상기 제1 출력 인에이블 신호와 소정의 위상차를 갖는 제2 출력 인에이블 신호, 클럭 발생신호 및 데이터 제어신호를 출력하는 타이밍 컨트롤러와;

상기 제1 출력 인에이블 신호, 상기 제2 출력 인에이블 신호 및 상기 클럭 발생신호에 응답하여 제1 및 제2 클럭을 발생하는 클럭 발생부와;

상기 제1 및 제2 클럭에 응답하여 온 상태의 게이트 신호를 순차적으로 출력하는 게이트 구동부;

상기 데이터 제어신호에 응답하여 영상 데이터를 데이터 신호로 변환하여 출력하고, 상기 게이트 신호가 오프 상태로 전환된 이후에 상기 데이터 신호의 극성을 변화시키는 데이터 구동부; 및

상기 게이트 신호를 순차적으로 입력받는 다수의 게이트 라인, 상기 데이터 신호를 입력받는 다수의 데이터 라인 및 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 연결되고, 상기 게이트 신호에 응답하여 상기 데이터 신호를 입력받는 다수의 화소로 이루어져 영상을 표시하는 표시패널을 포함하고,

상기 제1 클럭의 하이 구간은 상기 제1 출력 인에이블 신호의 하이 구간이 시작되는 시점에서부터 상기 제2 출력 인에이블 신호의 하이 구간이 시작되는 시점까지로 정의되는 것을 특징으로 하는 표시장치.

청구항 2

제1항에 있어서, 상기 데이터 신호의 극성은 한 라인 또는 한 도트 이상 단위로 반전되는 것을 특징으로 하는 표시장치.

청구항 3

제1항에 있어서, 상기 게이트 구동부는 개시신호에 응답해서 동작을 개시하고,

상기 제1 클럭은 상기 다수의 게이트 라인 중 홀수번째 게이트 라인으로 인가되는 상기 게이트 신호의 하이 구간을 결정하고,

상기 제2 클럭은 상기 다수의 게이트 라인 중 짝수번째 게이트 라인으로 인가되는 상기 게이트 신호의 하이 구간을 결정하고, 상기 제1 클럭과 반전된 위상을 갖는 것을 특징으로 하는 표시장치.

청구항 4

삭제

청구항 5

제1항에 있어서, 상기 제1 및 제2 출력 인에이블 신호의 하이 구간은 $5.5\mu s$ 이상인 것을 특징으로 하는 표시장치.

청구항 6

제1항에 있어서, 상기 제1 및 제2 출력 인에이블 신호의 첫번째 하이 구간은 나머지 하이 구간보다 크거나 같은 폭을 갖는 것을 특징으로 하는 표시장치.

청구항 7

제6항에 있어서, 상기 제1 및 제2 출력 인에이블 신호의 첫번째 하이 구간은 $5.5\mu s$ 이고, 나머지 하이 구간은 $3.7\mu s$ 인 것을 특징으로 하는 표시장치.

청구항 8

외부로부터의 제어 신호에 응답해서 제1 출력 인에이블 신호, 상기 제1 출력 인에이블 신호와 소정의 위상차를 갖는 제2 출력 인에이블 신호, 클럭 발생신호 및 데이터 제어신호를 출력하는 타이밍 컨트롤러와;

상기 제1 출력 인에이블 신호, 상기 제2 출력 인에이블 신호 및 상기 클럭 발생신호에 응답하여 제1 및 제2 클

력을 발생하는 클럭 발생부와;

상기 제1 및 제2 클럭에 응답하여 온 상태의 게이트 신호를 순차적으로 출력하는 게이트 구동부;

데이터 제어신호에 응답하여 영상 데이터를 데이터 신호로 변환하여 출력하는 데이터 구동부; 및

상기 게이트 신호를 순차적으로 입력받는 다수의 게이트 라인, 상기 데이터 신호를 입력받는 다수의 데이터 라인 및 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 연결되고, 상기 게이트 신호에 응답하여 상기 데이터 신호를 입력받는 다수의 화소로 이루어져 영상을 표시하는 표시패널을 포함하고,

상기 게이트 구동부는,

개시신호에 응답하여 더미 캐리신호를 출력하는 제1 더미 스테이지; 및

상기 더미 캐리신호에 응답하여 동작을 개시하고, 서로 종속적으로 연결되어 상기 다수의 게이트 라인에 순차적으로 상기 게이트 신호를 인가하는 다수의 스테이지를 포함하되,

상기 제1 클럭의 하이 구간은 상기 제1 출력 인에이블 신호의 하이 구간이 시작되는 시점에서부터 상기 제2 출력 인에이블 신호의 하이 구간이 시작되는 시점까지로 정의되는 것을 특징으로 하는 표시장치.

청구항 9

제8항에 있어서, 상기 제1 더미 스테이지는 상기 각 스테이지와 동일한 구성으로 이루어진 것을 특징으로 하는 표시장치.

청구항 10

제8항에 있어서, 상기 각 스테이지는 이전단 캐리신호에 응답하여 턴-온되고, 다음단 게이트 신호에 응답하여 턴-오프되며,

상기 게이트 구동부는 상기 다수의 스테이지 중 마지막 스테이지를 턴-오프시키기 위한 더미 게이트 신호를 발생하는 제2 더미 스테이지를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 11

제1 및 제2 클럭에 응답하여 게이트 신호를 순차적으로 출력하는 게이트 구동부;

데이터 제어신호에 응답하여 영상 데이터를 데이터 신호로 변환하여 출력하는 데이터 구동부;

제1 출력 인에이블 신호, 상기 제1 출력 인에이블 신호와 소정의 위상차를 갖는 제2 출력 인에이블 신호 및 클럭 발생신호에 응답하여 상기 제1 및 제2 클럭을 발생하는 클럭 발생부; 및

상기 게이트 신호를 순차적으로 입력받는 다수의 게이트 라인, 상기 데이터 신호를 입력받는 다수의 데이터 라인 및 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 연결되고, 상기 게이트 신호에 응답하여 상기 데이터 신호를 입력받는 다수의 화소로 이루어져 영상을 표시하는 표시패널을 포함하고,

상기 게이트 구동부는,

제1 개시신호를 입력받고, 선택신호에 응답하여 상기 제1 개시신호보다 작은 펄스폭을 갖는 제2 개시신호를 출력하는 펄스폭 변환부; 및

상기 펄스폭 변환부로부터 상기 제2 개시신호를 입력받아서 동작을 개시하고, 서로 종속적으로 연결되어 상기 다수의 게이트 라인에 순차적으로 상기 게이트 신호를 인가하는 다수의 스테이지를 포함하되;

상기 제2 개시신호는 상기 게이트 신호의 하이 구간(수평주사구간(1H))과 동일한 펄스폭을 갖고,

상기 제1 클럭의 하이 구간은 상기 제1 출력 인에이블 신호의 하이 구간이 시작되는 시점에서부터 상기 제2 출력 인에이블 신호의 하이 구간이 시작되는 시점까지로 정의되는 것을 특징으로 하는 표시장치.

청구항 12

삭제

청구항 13

제11항에 있어서, 상기 펄스폭 변환부는 상기 제1 개시신호를 입력받는 입력전극, 상기 선택신호를 입력받는 제어전극 및 상기 제2 개시신호를 출력하는 출력전극으로 이루어진 트랜지스터를 포함하는 것을 특징으로 하는 표시장치.

청구항 14

제11항에 있어서, 상기 다수의 스테이지 중 홀수번째 스테이지들은 상기 제1 클럭에 응답하여 상기 다수의 게이트 라인 중 홀수번째 게이트 라인들에 상기 게이트 신호를 출력하고,

짝수번째 스테이지들은 상기 제2 클럭에 응답하여 상기 다수의 게이트 라인 중 짝수번째 게이트 라인들에 상기 게이트 신호를 출력하는 것을 특징으로 하는 표시장치.

청구항 15

제14항에 있어서, 상기 제2 개시신호는 첫번째 스테이지로 인가되고,

상기 선택신호는 상기 제2 클럭인 것을 특징으로 하는 표시장치.

청구항 16

제14항에 있어서, 상기 제1 및 제2 클럭은 서로 반전된 위상을 갖는 것을 특징으로 하는 표시장치.

청구항 17

서로 중속적으로 연결된 다수의 스테이지로 이루어지고, 제1 및 제2 클럭에 응답하여 상기 다수의 스테이지로부터 게이트 신호를 순차적으로 출력하는 게이트 구동부;

데이터 제어신호에 응답하여 영상 데이터를 데이터 신호로 변환하여 출력하는 데이터 구동부;

제1 출력 인에이블 신호, 상기 제1 출력 인에이블 신호와 소정의 위상차를 갖는 제2 출력 인에이블 신호 및 클럭 발생신호에 응답하여 상기 제1 및 제2 클럭을 발생하는 클럭 발생부; 및

상기 게이트 신호를 순차적으로 입력받는 다수의 게이트 라인, 상기 데이터 신호를 입력받는 다수의 데이터 라인 및 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 연결되고, 상기 게이트 신호에 응답하여 상기 데이터 신호를 입력받는 다수의 화소로 이루어져 영상을 표시하는 표시패널을 포함하고,

각 스테이지는,

출력단자를 통해 출력되는 현재단 게이트 신호를 게이트 온 전압까지 풀업시키는 풀업 트랜지스터;

상기 풀업 트랜지스터의 제어단(이하, Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 출력 신호를 입력받아서 상기 풀업 트랜지스터를 턴-온시키는 버퍼 트랜지스터;

상기 Q-노드에 연결되고, 다음단 스테이지들 중 어느 하나로부터 다음단 출력 신호를 입력받아서 상기 풀업 트랜지스터를 턴-오프시키는 제1 방전 트랜지스터; 및

상기 출력단자에 연결되고, 다음단 스테이지들 중 어느 하나로부터 다음단 출력 신호를 입력받아서 상기 현재단 게이트 신호를 게이트 오프 전압까지 풀다운시키는 풀다운 트랜지스터를 포함하고,

상기 다수의 스테이지 중 첫번째 스테이지의 풀다운 트랜지스터는 상기 다수의 스테이지 중 나머지 스테이지들의 풀다운 트랜지스터보다 2배 이상 큰 채널폭을 가지며,

상기 제1 클럭의 하이 구간은 상기 제1 출력 인에이블 신호의 하이 구간이 시작되는 시점에서부터 상기 제2 출력 인에이블 신호의 하이 구간이 시작되는 시점까지로 정의되는 것을 특징으로 하는 표시장치.

청구항 18

제17항에 있어서, 상기 첫번째 스테이지의 풀다운 트랜지스터는 3000 μm 의 채널폭을 갖고, 상기 나머지 스테이지들의 풀다운 트랜지스터는 1100 μm 의 채널폭을 갖는 것을 특징으로 하는 표시장치.

청구항 19

제17항에 있어서, 상기 각 스테이지는,

상기 Q-노드의 전위를 상기 게이트 오프전압으로 홀딩시키는 리플 방지 트랜지스터를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 20

제19항에 있어서, 상기 다수의 스테이지 중 첫번째 스테이지의 리플 방지 트랜지스터는 상기 다수의 스테이지 중 나머지 스테이지들의 리플 방지 트랜지스터보다 10배 이상 작은 채널폭을 갖는 것을 특징으로 하는 표시장치.

청구항 21

제20항에 있어서, 상기 다수의 스테이지 중 첫번째 스테이지의 리플 방지 트랜지스터는 25 μ m의 채널폭을 갖고, 상기 다수의 스테이지 중 나머지 스테이지들의 리플 방지 트랜지스터는 350 μ m의 채널폭을 갖는 것을 특징으로 하는 표시장치.

청구항 22

제17항에 있어서, 상기 각 스테이지는,

상기 Q-노드의 전위에 응답하여 현재단 캐리 신호를 게이트 온 전압까지 풀업시키는 캐리 트랜지스터를 더 포함하고,

상기 현재단 스테이지로 인가되는 상기 이전단 출력신호는 이전단 스테이지로부터 출력된 이전단 캐리 신호이고, 상기 현재단 스테이지로 인가되는 상기 다음단 출력신호는 다음단 스테이지로부터 출력된 다음단 게이트 신호인 것을 특징으로 하는 표시장치.

청구항 23

제17항에 있어서, 상기 게이트 구동부는 다수의 게이트 라인에 일대일 대응하여 연결된 다수의 방전 트랜지스터를 더 포함하고,

각 방전 트랜지스터는,

현재단 게이트 라인에 연결되고, 다음단 게이트 신호에 응답하여 상기 현재단 게이트 라인으로 인가된 현재단 게이트 신호를 게이트 오프전압으로 방전시키는 것을 특징으로 하는 표시장치.

청구항 24

제23항에 있어서, 상기 다수의 방전 트랜지스터 중 첫번째 게이트 라인을 방전시키는 방전 트랜지스터는 나머지 게이트 라인들을 방전시키는 방전 트랜지스터들보다 1.5배 이상 큰 채널폭을 갖는 것을 특징으로 하는 표시장치.

청구항 25

제24항에 있어서, 상기 첫번째 게이트 라인을 방전시키는 방전 트랜지스터는 4000 μ m의 채널폭을 갖고, 상기 나머지 게이트 라인들을 방전시키는 방전 트랜지스터는 6000 μ m의 채널폭을 갖는 것을 특징으로 하는 표시장치.

청구항 26

제1 출력 인에이블 신호, 상기 제1 출력 인에이블 신호와 소정의 위상차를 갖는 제2 출력 인에이블 신호에 응답해서 제1 및 제2 클럭을 발생하는 단계와;

상기 제1 및 제2 클럭에 응답하여 온 상태의 게이트 신호를 순차적으로 출력하는 단계;

데이터 제어신호에 응답하여 영상 데이터를 데이터 신호로 변환하여 출력하고, 상기 게이트 신호가 오프 상태로 전환된 이후에 상기 데이터 신호의 극성을 변화시키는 단계; 및

순차적으로 제공되는 상기 게이트 신호에 응답하여 상기 데이터 신호를 입력받아서 영상을 표시하는 단계를 포함하되;

상기 제1 클럭의 하이 구간은 상기 제1 출력 인에이블 신호의 하이 구간이 시작되는 시점에서부터 상기 제2 출

력 인에이블 신호의 하이 구간이 시작되는 시점까지로 정의되는 것을 특징으로 하는 표시장치의 구동방법.

청구항 27

제26항에 있어서, 상기 데이터 신호의 극성은 한 라인 또는 한 도트 이상 단위로 반전되는 것을 특징으로 하는 표시장치의 구동방법.

청구항 28

제26항에 있어서,
 상기 제1 클럭은 홀수번째로 출력되는 상기 게이트 신호의 하이 구간을 결정하고,
 상기 제2 클럭은 짝수번째로 출력되는 상기 게이트 신호의 하이 구간을 결정하고, 상기 제1 클럭과 반전된 위상을 갖는 것을 특징으로 하는 표시장치의 구동방법.

청구항 29

삭제

청구항 30

제26항에 있어서, 상기 제1 및 제2 출력 인에이블 신호의 첫번째 하이 구간은 나머지 하이 구간보다 크거나 같은 폭을 갖는 것을 특징으로 하는 표시장치의 구동방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- [0019] 본 발명은 표시장치에 관한 것으로, 더욱 상세하게는 라인성 화이트 불량을 개선할 수 있는 표시장치에 관한 것이다.
- [0020] 일반적으로, 액정표시장치는 하부기관, 하부기관과 대향하여 구비되는 상부기관 및 하부기관과 상부기관과의 사이에 형성된 액정층으로 이루어져 영상을 표시하는 액정표시패널을 구비한다.
- [0021] 액정표시패널에는 다수의 게이트 라인, 다수의 데이터 라인, 다수의 게이트 라인과 다수의 데이터 라인에 연결된 다수의 화소가 구비된다. 액정표시패널에는 다수의 게이트 라인에 게이트 신호를 순차적으로 출력하기 위한 게이트 구동회로가 박막 공정을 통해 직접적으로 형성된다.
- [0022] 일반적으로, 게이트 구동회로는 다수의 스테이지가 종속적으로 연결되어 이루어진 하나의 쉬프트 레지스터로 이루어진다. 즉, 각 스테이지는 이전단 출력신호에 응답하여 턴-온되고, 다음단 출력신호에 응답하여 턴-오프됨으로써 순차적으로 게이트 신호를 출력한다.
- [0023] 첫번째 스테이지에는 이전단 스테이지가 없으므로, 이전단 출력신호를 대신하여 개시신호가 인가된다. 그러나, 수평 주사 기간보다 긴 하이 구간을 갖는 개시신호가 첫번째 스테이지로 인가되면, 첫번째 스테이지는 첫번째 게이트 신호를 로우 상태로 전환시킬 때 비정상적으로 동작할 수 있다. 그 결과 첫번째 게이트 신호가 왜곡된다.
- [0024] 또한, 첫번째 게이트 신호가 왜곡에 의해서 로우 상태로 완전하게 전환되지 않은 상태에서 데이터 구동부가 두번째 화소행으로 인가하기 위한 두번째 데이터 신호를 출력하면, 첫번째 화소행에 충전된 픽셀 전압이 두번째 데이터 신호에 의해서 다운된다. 따라서, 표시패널에는 첫번째 화소행이 상대적으로 밝게 보이는 라인성 화이트 불량이 발생한다.

발명이 이루고자 하는 기술적 과제

- [0025] 따라서, 본 발명의 목적은 라인성 화이트 불량을 개선하여 표시품질을 향상시키기 위한 표시장치를 제공하는 것

이다.

발명의 구성 및 작용

- [0026] 본 발명에 따른 표시장치는 게이트 구동부, 데이터 구동부 및 표시패널을 포함한다. 상기 게이트 구동부는 게이트 제어신호에 응답하여 온 상태의 게이트 신호를 순차적으로 출력한다. 상기 데이터 구동부는 데이터 제어신호에 응답하여 영상 데이터를 데이터 신호로 변환하여 출력한다
- [0027] 상기 표시패널은 상기 게이트 신호를 순차적으로 입력받는 다수의 게이트 라인, 상기 데이터 신호를 입력받는 다수의 데이터 라인 및 상기 다수의 게이트 라인과 상기 다수의 데이터 라인에 연결되고, 상기 게이트 신호에 응답하여 상기 데이터 신호를 입력받는 다수의 화소로 이루어져 영상을 표시한다.
- [0028] 상기 게이트 구동부는 더미 스테이지 및 서로 종속적으로 연결된 다수의 스테이지로 이루어진다. 상기 더미 스테이지는 상기 게이트 제어신호 중 상기 게이트 구동부의 동작을 개시하는 개시신호에 응답하여 더미 캐리신호를 출력한다. 상기 다수의 스테이지 중 첫번째 스테이지는 상기 더미 캐리신호에 응답하여 동작을 개시하고, 이후 나머지 스테이지들은 순차적으로 턴-온된다. 따라서, 상기 다수의 스테이지는 상기 다수의 게이트 라인에 순차적으로 상기 게이트 신호를 인가한다.
- [0029] 또는 상기 게이트 구동부는 펄스폭 변환부 및 서로 종속적으로 연결된 다수의 스테이지로 이루어진다. 상기 펄스폭 변환부는 상기 게이트 제어신호 중 제1 개시신호를 입력받고, 선택신호에 응답하여 상기 제1 개시신호보다 작은 펄스폭을 갖는 제2 개시신호를 출력한다. 상기 다수의 스테이지 중 첫번째 스테이지는 상기 펄스폭 변환부로부터 상기 제2 개시신호를 입력받아서 동작을 개시하고, 이후 나머지 스테이지들도 순차적으로 턴-온된다. 따라서, 상기 다수의 스테이지는 상기 다수의 게이트 라인에 순차적으로 상기 게이트 신호를 인가한다.
- [0030] 또 다른 실시예로는 각 스테이지는 제1 내지 제4 트랜지스터를 포함한다. 상기 제1 트랜지스터는 출력단자를 통해 출력되는 현재단 게이트 신호를 게이트 온 전압까지 풀업시키고, 상기 제2 트랜지스터는 상기 제1 트랜지스터의 제어단(이하, Q-노드)에 연결되고, 이전단 스테이지들 중 어느 하나로부터 이전단 출력 신호를 입력받아서 상기 제1 트랜지스터를 턴-온시킨다. 상기 제3 트랜지스터는 상기 Q-노드에 연결되고, 다음단 스테이지들 중 어느 하나로부터 다음단 출력 신호를 입력받아서 상기 제1 트랜지스터를 턴-오프시키고, 상기 제4 트랜지스터는 상기 출력단자에 연결되고, 다음단 스테이지들 중 어느 하나로부터 다음단 출력 신호를 입력받아서 상기 현재단 게이트 신호를 게이트 오프 전압까지 풀다운시킨다.
- [0031] 여기서, 상기 다수의 스테이지 중 첫번째 스테이지의 제4 트랜지스터는 상기 다수의 스테이지 중 나머지 스테이지들의 제4 트랜지스터보다 2배 이상 큰 채널폭을 갖는다.
- [0032] 이러한 표시장치에 따르면, 게이트 구동부의 첫번째 스테이지로부터 출력되는 첫번째 게이트 신호가 로우 상태로 다운되는 과정에서 왜곡되는 것을 방지할 수 있고, 또한 첫번째 게이트 신호를 데이터 신호의 극성이 반전되는 시점보다 빠르게 로우 상태로 다운시킬 수 있으므로, 첫번째 화소행에 라인성 화이트 불량이 나타나는 것을 방지할 수 있다.
- [0033] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하고자 한다.
- [0034] 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 평면도이다.
- [0035] 도 1을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치(400)는 영상을 표시하는 액정표시패널(100), 상기 액정표시패널(100)에 데이터 신호를 출력하는 데이터 구동부(320) 및 상기 액정표시패널(100)에 게이트 신호를 출력하는 게이트 구동부(210)를 포함한다.
- [0036] 상기 액정표시패널(100)은 어레이 기판, 상기 어레이 기판과 마주보는 컬러필터기판 및 상기 어레이 기판과 상기 컬러필터기판과의 사이에 개재된 액정층으로 이루어진다. 상기 액정표시패널(100)에는 다수의 게이트 라인(GL1 ~ GLn) 및 상기 다수의 게이트 라인(GL1 ~ GLn)과 절연되어 교차하는 다수의 데이터 라인(DL1 ~ DLm)에 의해서 매트릭스 형태의 다수의 화소영역이 정의된다. 상기 각 화소영역에는 박막 트랜지스터(Tr) 및 액정 커패시터(C1c) 등으로 이루어진 화소(P1)가 구비된다. 본 발명의 일 예로, 첫번째 화소의 박막 트랜지스터(Tr)는 첫번째 게이트 라인(GL1)에 전기적으로 연결된 게이트 전극, 첫번째 데이터 라인(DL1)에 전기적으로 연결된 소오스 전극 및 상기 액정 커패시터(C1c)의 제1 전극인 화소전극에 전기적으로 연결된 드레인 전극으로 이루어진다.
- [0037] 상기 게이트 구동부(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 일단부에 인접하여 상기 액정표시패널(100)에 직접적으로 형성된다. 상기 게이트 구동부(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 일단부에 전기적으

로 연결되어 상기 다수의 게이트 라인(GL1 ~ GLn)에 게이트 신호(G1 ~ Gn)를 순차적으로 인가한다.

- [0038] 상기 데이터 구동부(320)는 다수의 칩으로 이루어지고, 상기 다수의 칩은 상기 액정표시패널(100) 상에 또는 별도의 필름 상에 실장된다. 상기 데이터 구동부(320)는 상기 다수의 데이터 라인(DL1 ~ DLm)의 일단부에 전기적으로 연결되어 상기 다수의 데이터 라인(DL1 ~ DLm)에 상기 데이터 신호(D1 ~ Dm)를 인가한다.
- [0039] 액정표시장치(400)는 상기 게이트 구동부(210)와 상기 데이터 구동부(320)의 구동을 제어하기 위해 타이밍 제어부(350) 및 클럭 발생부(360)를 더 포함한다.
- [0040] 상기 타이밍 제어부(350)는 외부로부터 영상 데이터(I-data)를 입력받고, 수직 동기 신호(Vsync), 수평 동기 신호(Hsync) 및 메인 클럭(Mclk)과 같은 각종 제어신호를 입력받는다. 상기 타이밍 제어부(350)는 상기 영상 데이터(I-data)를 적절한 시기에 상기 데이터 구동부(320)로 제공하고, 출력 개시 신호(TP), 데이터 인에이블 신호(DE), 수평 개시 신호(STH) 및 반전 신호(REV)를 포함하는 데이터 제어신호를 상기 데이터 구동부(320)로 제공한다. 상기 데이터 구동부(320)는 상기 데이터 제어신호에 응답하여 상기 영상 데이터(I-data)를 데이터 신호(D1 ~ Dm)로 변환하고, 적절한 시기에 다수의 데이터 라인(DL1 ~ DLm, 도 1에 도시됨)으로 출력한다.
- [0041] 또한, 상기 타이밍 제어부(350)는 수직 개시 신호(STV)를 상기 게이트 구동부(210)로 제공하고, 클럭 발생신호(CPV), 제1 및 제2 출력 인에이블 신호(OE1, OE2)를 상기 클럭 발생부(360)로 제공한다. 상기 클럭 발생부(360)는 상기 클럭 발생신호(CPV), 제1 및 제2 출력 인에이블 신호(OE1, OE2)를 근거로하여 제1 및 제2 클럭(CKV, CKVB)을 생성하고, 상기 클럭 발생부(360)로부터 생성된 상기 제1 및 제2 클럭(CKV, CKVB)은 상기 게이트 구동부(210)로 제공된다.
- [0042] 상기 게이트 구동부(210)는 상기 수직 개시 신호(STV), 상기 제1 및 제2 클럭(CKV, CKVB)을 포함하는 게이트 제어신호에 응답하여 다수의 게이트 라인(GL1 ~ GLn)에 게이트 신호를 순차적으로 출력한다. 상기 게이트 구동부(210)에는 게이트 오프 전압(Voff)이 인가될 수 있다.
- [0043] 상기 클럭 발생부(300)에 대해서는 이후 도 2를 참조하여 구체적으로 설명한다.
- [0044] 도 2는 도 1에 도시된 클럭 발생부의 입/출력 파형도이다.
- [0045] 도 1 및 도 2를 참조하면, 제1 출력 인에이블 신호(OE1)는 주기적으로 하이 상태로 발생되고, 상기 제2 출력 인에이블 신호(OE2)는 상기 제1 출력 인에이블 신호(OE1)와 동일한 주기를 갖고, 상기 제1 출력 인에이블 신호(OE1)에 대해서 소정의 위상차를 갖는다.
- [0046] 상기 제1 출력 인에이블 신호(OE1)의 첫번째 하이구간은 t1으로 정의되고, 두번째 이후의 하이구간(이하, 나머지 하이구간)은 t2로 정의된다. 도면에 도시된 바와 같이, 상기 제1 출력 인에이블 신호(OE1)의 상기 첫번째 하이구간(t1)은 상기 나머지 하이구간(t2)보다 큰 폭을 갖는다. 본 발명의 일 예로, 상기 제1 출력 인에이블 신호(OE1)의 첫번째 하이구간(t1)은 5.5 μ s로 정의되고, 상기 나머지 하이구간(t2)은 3.7 μ s로 정의된다. 즉, 상기 제1 출력 인에이블 신호(OE1)의 첫번째 하이구간(t1)이 3.7 μ s로 발생하는 나머지 하이구간들(t2)보다 1.8 μ s 만큼 빠르게 발생된다.
- [0047] 한편, 상기 제2 출력 인에이블 신호(OE2)의 첫번째 하이구간은 t3으로 정의되고, 두번째 이후의 하이구간(이하, 나머지 하이구간)은 t4로 정의된다. 도면에 도시된 바와 같이, 상기 제2 출력 인에이블 신호(OE2)의 상기 첫번째 하이구간(t3)은 상기 나머지 하이구간(t4)보다 큰 폭을 갖는다. 본 발명의 일 예로, 상기 제2 출력 인에이블 신호(OE2)의 첫번째 하이구간(t3)은 5.5 μ s로 정의되고, 상기 나머지 하이구간(t4)은 3.7 μ s로 정의된다. 즉, 상기 제2 출력 인에이블 신호(OE2)의 첫번째 하이구간(t3)이 3.7 μ s로 발생하는 나머지 하이구간들(t4)보다 1.8 μ s 만큼 빠르게 발생된다.
- [0048] 제1 클럭(CKV)은 상기 제1 출력 인에이블 신호(OE1)의 첫번째 하이구간(t1)의 상승에지에서 하이 상태로 상승하고, 상기 제2 출력 인에이블 신호(OE1)의 첫번째 하이구간(t3)의 상승에지에서 로우 상태로 서서히 떨어진다. 이때, 상기 제1 클럭(CKV)은 클럭 발생신호(CPV)의 하강에지에서 완전히 로우 상태가 되고, 상기 제1 출력 인에이블 신호(OE1)의 두번째 하이구간(t2)이 시작되기 이전까지 로우 상태를 유지한다. 여기서, 상기 제2 출력 인에이블 신호(OE2)의 첫번째 하이구간(t3)도 1.8 μ s만큼 빠르게 발생되므로, 상기 제1 클럭(CKV)은 전체적으로 동일한 하이구간을 가질 수 있다. 한편, 상기 제2 클럭(CKVB)은 상기 제1 클럭(CKV)과 반전된 위상을 갖는다.
- [0049] 상술한 바와 같이, 상기 제1 출력 인에이블 신호(OE1)의 첫번째 하이구간(t1)이 1.8 μ s 만큼 빠르게 발생되므로, 상기 제1 클럭(CKV)이 1.8 μ s 만큼 빨리 발생되어, 상기 게이트 구동부(210, 도 2에 도시됨)로 인가된다.

따라서, 상기 게이트 구동부(210)로부터 첫번째 게이트 신호(G1)가 출력되는 시점을 앞당길 수 있다.

- [0050] 도 3은 본 발명의 다른 실시예에 따른 클럭 발생부의 입/출력 파형도이다.
- [0051] 도 1 및 도 3을 참조하면, 제1 출력 인에이블 신호(OE1)의 하이구간(t1)은 5.5 μ s로 전체적으로 동일하게 발생된다. 제2 출력 인에이블 신호(OE2)는 상기 제1 출력 인에이블 신호(OE1)와 동일한 주기를 갖고, 상기 제1 출력 인에이블 신호(OE1)에 대해서 소정의 위상차를 갖는다. 상기 제2 출력 인에이블 신호(OE2)의 하이구간(t3)은 5.5 μ s로 전체적으로 동일하게 발생된다.
- [0052] 제1 클럭(CKV)은 상기 제1 출력 인에이블 신호(OE1)의 하이구간(t1)의 상승에지에서 하이 상태로 상승하고, 상기 제2 출력 인에이블 신호(OE1)의 하이구간(t3)의 상승에지에서 로우 상태로 서서히 떨어진다. 이때, 상기 제1 클럭(CKV)은 클럭 발생신호(CPV)의 하강에지에서 완전히 로우 상태가 되고, 상기 제1 출력 인에이블 신호(OE1)의 다음 하이구간(t1)이 시작되기 이전까지 로우 상태를 유지한다. 한편, 상기 제2 클럭(CKVB)은 상기 제1 클럭(CKV)과 반전된 위상을 갖는다.
- [0053] 상술한 바와 같이, 상기 제1 출력 인에이블 신호(OE1)의 하이구간(t1)이 종래보다 1.8 μ s 만큼 빠르게 발생되므로, 상기 제1 클럭(CKV)이 1.8 μ s 만큼 빨리 발생되어, 상기 게이트 구동부(210, 도 2에 도시됨)로 인가된다. 따라서, 상기 게이트 구동부(210)로부터 첫번째 게이트 신호(G1)가 출력되는 시점을 앞당길 수 있다.
- [0054] 또한, 상술한 바와 같이, 상기 제1 및 제2 출력 인에이블 신호(OE1, OE2)의 하이 구간이 증가하면, 상기 제1 클럭(CKV)의 폴링(falling) 구간과 상기 제2 클럭(CKVB)의 라이징(rising) 구간이 길어지게 된다. 여기서, 상기 제1 클럭(CKV)의 폴링 구간과 상기 제2 클럭(CKVB)의 라이징 구간은 서로 시간을 공유하므로, 게이트 구동부(210)로부터 출력되는 게이트 신호들(G1 ~ Gn)이 소정의 시간차를 두고 발생된다. 따라서, 상기 제1 클럭(CKV)의 폴링 구간과 상기 제2 클럭(CKVB)의 라이징 구간이 길어짐에 따라, 서로 인접하는 상기 게이트 신호들(G1 ~ Gn) 사이의 시간차를 증가시킬 수 있다.
- [0055] 도 4는 도 1에 도시된 게이트 구동부의 블록도이다.
- [0056] 도 4를 참조하면, 게이트 구동부(210)는 서로 종속적으로 연결된 다수의 스테이지(SRC1 ~ SRCn+1)로 이루어진 하나의 쉬프트 레지스터(210a)를 포함한다. 각 스테이지는 제1 입력단자(IN1), 제1 및 제2 클럭단자(CK1, CK2), 제2 입력단자(IN2), 전압입력단자(Vin), 리셋단자(RE), 캐리단자(CR) 및 출력단자(OUT)를 포함한다.
- [0057] 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 제1 입력단자(IN1)는 이전단 스테이지의 캐리단자(CR)에 전기적으로 연결되어 이전단 캐리 신호를 입력받는다. 단, 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 첫번째 스테이지(SRC1)의 제1 입력단자(IN1)에는 상기 게이트 구동회로(210)의 구동을 개시하는 수직 개시 신호(STV)가 제공된다. 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 제2 입력단자(IN2)는 다음단 스테이지의 출력단자(OUT)에 전기적으로 연결되어 다음단 게이트 신호를 입력받는다. 단, 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 마지막 스테이지(SRCn+1)의 제2 입력단자(IN2)에는 상기 수직 개시 신호(STV)가 제공된다.
- [0058] 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 홀수번째 스테이지(SRC1, SRC3, ... SRCn+1)의 제1 클럭단자(CK1)에는 제1 클럭(CKV)이 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭(CKV)과 반전된 위상을 갖는 제2 클럭(CKVB)이 제공된다. 상기 다수의 스테이지(SRC1 ~ SRCn+1) 중 짝수번째 스테이지(SRC2, ... SRCn)의 제1 클럭단자(CK1)에는 상기 제2 클럭(CKVB)이 제공되고, 제2 클럭단자(CK2)에는 상기 제1 클럭(CKV)이 제공된다.
- [0059] 상기 다수의 스테이지(SRC1 ~ SRCn+1)의 전압입력단자(Vin)에는 접지전압 또는 게이트 오프전압(Voff)이 제공된다. 또한, 상기 마지막 스테이지(SRCn+1)의 출력단자(OUT)는 다수의 스테이지(SRC1 ~ SRCn+1)의 리셋단자(RE)에 전기적으로 연결된다.
- [0060] 상기 다수의 스테이지(SRC1 ~ SRCn)의 출력단자(OUT)들은 다수의 게이트 라인(GL1, GL2, GL3, ... GLn)에 일대일 대응하여 전기적으로 연결된다. 따라서, 상기 다수의 스테이지(SRC1 ~ SRCn)는 출력단자(OUT)를 통해 게이트 신호를 순차적으로 출력하여 상기 다수의 게이트 라인(GL1 ~ GLn)으로 인가한다.
- [0061] 상기 쉬프트 레지스터(210a)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제1 단부에 구비된다. 본 발명의 일 예로, 상기 게이트 구동회로(210)는 상기 다수의 게이트 라인(GL1 ~ GLn)의 제2 단부에 구비되어 다음단 스테이지로부터 출력된 다음단 게이트 신호에 응답하여 현재단 게이트 라인을 상기 게이트 오프전압(Voff)으로 방전시키는 방전회로(210b)를 더 포함한다. 상기 방전회로(210b)는 상기 게이트 라인들의 개수와 동일한 개수의 방전 트랜지스터(NT16)를 포함하고, 상기 방전 트랜지스터(NT16)는 다음단 게이트 라인에 연결된 제어전극 및 상기

게이트 오프전압(Voff)을 입력받는 입력전극 및 현재단 게이트 라인에 연결된 출력전극으로 이루어진다.

- [0062] 도 5a는 종래의 첫번째 게이트 신호와 데이터 신호와의 관계를 나타낸 그래프이다. 도 5b는 본 발명에 따른 첫번째 게이트 신호와 데이터 신호와의 관계를 나타낸 그래프이다.
- [0063] 도 5a를 참조하면, 게이트 구동부(210, 도 4에 도시됨)에는 첫번째 스테이지(SRC1, 도 4에 도시됨)의 이전단 스테이지가 존재하지 않으므로, 상기 첫번째 스테이지(SRC1)는 수직 개시 신호(STV, 도 4에 도시됨)를 입력받아서 동작을 시작한다.
- [0064] 상기 게이트 구동부(210)로 인가되는 상기 수직 개시 신호(STV)는 한 수평 주사 구간보다 긴 하이 구간을 갖는다. 상기한 수직 개시 신호(STV)가 상기 첫번째 스테이지(SRC1)로 인가되면, 상기 첫번째 스테이지(SRC1)로부터 출력된 첫번째 게이트 신호(G'1)는 하강 영역에서 왜곡되어 나타난다.
- [0065] 도 5a에 도시된 바와 같이, 상기 첫번째 게이트 신호(G'1)가 왜곡되면, 상기 첫번째 게이트 신호(G'1)가 로우 상태로 떨어지기 이전에 상기 데이터 신호(D1 ~ Dm)가 전환된다. 특히, 라인 반전 구동의 경우 상기 데이터 신호(D1 ~ Dm)의 극성이 상기 첫번째 게이트 신호(G'1)가 로우 상태로 떨어지기 이전에 전환된다. 예를 들어, 상기 첫번째 게이트 라인에 연결된 첫번째 화소행에 부극성(-)을 갖는 데이터 신호(D1 ~ Dm)가 인가됐을 때, 상기 첫번째 게이트 신호(G'1)가 완전히 로우 상태로 떨어지지 않은 상태에서 상기 데이터 신호(D1 ~ Dm)의 극성이 정극성(+)으로 전환되면, 상기 첫번째 화소행에 충전된 픽셀 전압이 상기 부극성의 데이터 신호(D1 ~ Dm)에 의해서 낮아진다. 결과적으로, 상기 첫번째 화소행이 상대적으로 밝게 나타나는 라인성 화이트 불량이 발생한다.
- [0066] 도 5b를 참조하면, 본 발명에 따른 첫번째 게이트 신호(G1)는 종래의 게이트 신호(G'1)보다 빠르게 발생된다. 즉, 도 2 및 도 3에 도시된 바와 같이 제1 출력 인에이블 신호(OE1, 도 2에 도시됨)의 펄스폭을 약 1.8 μ s 만큼 증가시킴으로써, 본 발명에 따른 첫번째 게이트 신호(G1)가 종래의 첫번째 게이트 신호(G'1)보다 1.8 μ s 만큼 빠르게 발생한다. 또한, 상기 본 발명의 첫번째 게이트 신호(G1)의 하강 시점도 종래의 첫번째 게이트 신호(G'1)보다 빨라진다.
- [0067] 결과적으로, 상기 데이터 신호(D1 ~ Dm)가 극성이 전환되는 시점에서 상기 본 발명의 첫번째 게이트 신호(G1)는 거의 로우 상태로 전환된다. 이로써, 상기 첫번째 화소행이 다음행의 데이터 신호(D1 ~ Dm)에 영향을 받는 것을 방지할 수 있고, 그 결과 첫번째 화소행에 라인성 화이트 불량이 나타나는 것을 방지할 수 있다.
- [0068] 도 6은 본 발명의 다른 실시예에 따른 게이트 구동부의 블럭도이다. 단, 도 6에 구성요소 중 도 4에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 설명은 생략한다.
- [0069] 도 6을 참조하면, 본 발명의 다른 실시예에 따른 게이트 구동부(220)는 하나의 쉬프트 레지스터(220a) 및 방전 회로(220b)를 포함한다. 상기 쉬프트 레지스터(220a)는 제1 내지 제n 스테이지(SRC1 ~ SRCn), 제1 더미 스테이지(SRCn+1), 제2 더미 스테이지(D-SRC)를 포함한다.
- [0070] 상기 제1 내지 제n 스테이지(SRC1 ~ SRCn)는 표시패널의 제1 내지 제n 게이트 라인(GL1 ~ GLn)에 일대일 대응하여 연결되고, 순차적으로 게이트 신호를 인가한다. 상기 제1 더미 스테이지(SRCn+1)는 상기 제n 스테이지(SRCn)의 다음단에 구비되어 상기 제n 스테이지(SRCn)를 턴-오프시키는 역할을 수행한다. 즉, 상기 제1 더미 스테이지(SRCn+1)로부터 출력된 더미 게이트 신호는 상기 제n 스테이지(SRCn)의 제2 입력단자(IN2)로 인가되어 상기 제n 스테이지(SRCn)로부터 출력되는 게이트 신호를 게이트 오프 전압(Voff)으로 다운시킨다.
- [0071] 상기 제2 더미 스테이지(D-SRC)는 상기 제1 스테이지(SRC1)의 이전단에 구비되고, 수직 개시 신호(STV)에 응답하여 동작을 개시한다. 상기 제2 더미 스테이지(D-SRC)으로부터 출력된 캐리신호는 상기 제1 스테이지(SRC1)의 제1 입력단자(IN1)로 인가된다. 따라서, 상기 제1 스테이지(SRC1)는 도 4에 도시된 게이트 구동부(210)와는 다르게 캐리신호에 응답하여 첫번째 게이트 신호를 출력한다. 따라서, 상기 수직 개시 신호(STV)에 의해서 첫번째 게이트 신호가 왜곡되는 것을 방지할 수 있다.
- [0072] 한편, 상기 제2 더미 스테이지(D-SRC)는 상기 제1 스테이지(SRC1)를 구동시키기 위하여 구비된 것이므로, 상기 제2 더미 스테이지(D-SRC)는 상기 표시패널에 구비되는 게이트 라인과 연결되지 않는다. 따라서, 상기 수직 개시 신호(STV)에 의해서 상기 제2 더미 스테이지(D-SRC)의 출력단자(OUT)로부터 출력되는 더미 게이트 신호가 왜곡되더라도, 표시패널 상에 불량으로 발생되지 않는다.
- [0073] 상술한 바와 같이, 상기 제1 스테이지(SRC1)에 상기 수직 개시 신호(STV)가 직접적으로 인가되지 않고, 상기 제2 더미 스테이지(D-SRC)로부터 출력된 캐리 신호가 인가되므로, 상기 제1 스테이지(SRC1)로부터 출력되는 첫번째 게이트 신호의 왜곡을 방지할 수 있다. 이로써, 상기 표시패널의 첫번째 화소행에 라인성 화이트 불량을 제

거할 수 있다.

- [0074] 도 7은 본 발명의 또 다른 실시예에 따른 게이트 구동부의 블럭도이고, 도 8는 도 7에 도시된 펄스폭 변환부의 입/출력 파형도이고, 도 9는 도 7에 도시된 게이트 구동부로부터 출력되는 첫번째 게이트 신호를 나타낸 그래프이다. 단, 도 7에 도시된 구성요소 중 도 4에 도시된 구성요소와 동일한 구성요소에 대해서는 동일한 참조부호를 병기하고, 그에 대한 구체적인 설명은 생략한다.
- [0075] 도 7을 참조하면, 본 발명의 또 다른 실시예에 따른 게이트 구동부(230)는 쉬프트 레지스터(230a), 펄스폭 변환부(230b) 및 방전회로(230c)를 포함한다.
- [0076] 상기 펄스폭 변환부(230b)는 제2 클럭(CKVB)을 입력받는 제어전극, 제1 수직 개시 신호(STV1)를 입력받는 입력전극 및 제1 스테이지(SRC1)의 제1 입력단자(IN1)에 연결된 출력전극으로 이루어진 트랜지스터를 포함한다.
- [0077] 도 7 및 도 8을 참조하면, 상기 제1 수직 개시 신호(STV1)는 제1 클럭(CKV)의 반 주기 이상 한 주기(t_1) 이하의 구간 동안 하이 상태로 발생된다. 상기 제1 클럭(CKV)의 하이 구간동안 제2 클럭(CKVB)은 상기 제1 클럭(CKV)과 반전된 위상을 가지므로 로우 상태로 발생된다. 따라서, 상기 제1 클럭(CKV)의 하이 구간동안 상기 펄스폭 변환부(230b)에 구비된 트랜지스터는 턴-온되어 상기 제1 수직 개시 신호(STV1)가 상기 트랜지스터의 출력전극으로 출력된다.
- [0078] 이후, 상기 제1 클럭(CKV)이 로우 상태로 전환되어 상기 제2 클럭(CKVB)이 하이 상태로 발생되면, 상기 제2 클럭(CKVB)의 하이 구간동안 상기 트랜지스터는 턴-오프된다. 이때, 상기 트랜지스터로 인가된 상기 제1 수직 개시 신호(STV1)는 상기 트랜지스터를 통과하지 못한다. 따라서, 상기 트랜지스터의 출력전극에는 상기 제2 클럭(CKVB)의 하이 구간의 1/2 만큼의 하이구간을 갖는 제2 수직 개시 신호(STV2)가 출력된다. 상기 펄스폭 변환부(230b)로부터 출력된 상기 제2 수직 개시 신호(STV2)가 상기 쉬프트 레지스터(230a)의 제1 스테이지(SRC1)의 제1 입력단자(IN1)로 인가된다.
- [0079] 도 9에서, 제1 그래프(A1)는 상기 제1 수직 개시 신호(STV1)가 상기 제1 스테이지(SRC1)의 제1 입력단자(IN1)로 인가됐을 때 상기 제1 스테이지(SRC1)로부터 출력되는 첫번째 게이트 신호를 나타낸 것이다. 제2 그래프(A2)는 상기 제2 수직 개시 신호(STV2)가 상기 제1 스테이지(SRC1)의 제1 입력단자로(IN1) 인가됐을 때 상기 제1 스테이지(SRC1)로부터 출력되는 첫번째 게이트 신호를 나타낸 것이다.
- [0080] 도 9를 참조하면, 상기 제1 스테이지(SRC1)에 상기 제1 수직 개시 신호(STV1)가 인가된 경우, 상기 제1 스테이지(SRC1)로부터 출력된 첫번째 게이트 신호는 상기 제1 그래프(A1)에서와 같이 하강 에지에서 심하게 왜곡된다. 즉, 상기 제1 수직 개시 신호(STV1)가 제1 클럭(CKV)의 로우 구간에도 하이 상태로 유지되면, 상기 제1 클럭(CKV)의 하강에지에서 상기 첫번째 게이트 신호가 급격히 다운된다.
- [0081] 상기 첫번째 게이트 신호는 두번째 게이트 신호의 하이 구간에서 로우 상태로 완전하게 방전되어야 한다. 그러나, 상기 첫번째 게이트 신호가 급하게 다운되어, 상기 두번째 게이트 신호가 하이 구간으로 전환되기까지 소정의 간격이 발생되고, 그 결과 상기 첫번째 게이트 신호가 로우와 하이 상태의 중간 상태로 유지되는 구간이 발생하는 것이다.
- [0082] 본 발명의 일 예와 같이, 도 8에 도시된 제2 수직 개시 신호(STV2)가 상기 제1 스테이지(SRC1)로 인가되면, 제1 클럭(CKV)이 로우 상태로 전환되는 시점에서 상기 제2 수직 개시 신호(STV2)가 함께 로우 상태로 전환되므로, 상기 첫번째 게이트 신호가 상기 제1 클럭(CKV)의 하강에지에서 급격하게 다운되지 않는다. 본 발명에서 상기 첫번째 게이트 신호는 두번째 게이트 신호가 발생하는 시점까지 하이 상태로 유지되다가, 상기 두번째 게이트 신호에 의해서 로우 상태로 방전된다. 따라서, 본 발명의 일 실시예에서는 제1 스테이지(SRC1)로부터 출력된 상기 첫번째 게이트 신호가 왜곡되는 것을 방지할 수 있다.
- [0083] 도 10은 본 발명의 다른 실시예에 따른 게이트 구동부의 첫번째 스테이지의 회로도이다. 단, 도 10에 도시된 제1 스테이지(SRC1)는 게이트 구동부의 나머지 스테이지들과 동일한 회로 구성을 갖는다. 따라서, 도면에서는 상기 게이트 구동부의 나머지 스테이지들의 회로 구성을 도시하지 않는다.
- [0084] 도 10을 참조하면, 제1 스테이지(SRC1)는 풀업부(211), 캐리부(212), 풀다운부(213), 풀업 구동부(214), 리플 방지부(215), 홀딩부(216), 인버터부(217) 및 리셋부(218)를 포함한다.
- [0085] 상기 풀업부(211)는 상기 풀업 구동부(214)의 출력단(이하, Q-노드)(QN)에 연결된 제어전극, 제1 클럭단자(CK1)에 연결된 입력전극 및 출력단자(OUT)에 연결된 출력전극으로 이루어진 풀업 트랜지스터(NT1)를 포함한다. 따라서, 상기 풀업 트랜지스터(NT1)는 상기 풀업 구동부(213)로부터 출력된 제어전압에 응답하여 상기 출력단자

(OUT)로 출력되는 현재단 게이트 신호를 제1 클럭단자(CK1)를 통해 제공된 클럭(이하, 제1 클럭(CKV, 도 4에 도시됨))만큼 풀-업시킨다. 상기 풀업 트랜지스터(NT1)는 한 프레임 중 상기 제1 클럭(CKV)의 하이구간 동안만 턴-온되어, 상기 현재단 게이트 신호를 하이 상태로 유지시킨다.

[0086] 상기 캐리부(212)는 상기 Q-노드(QN)에 연결된 제어전극, 제1 클럭단자(CK1)에 연결된 입력전극 및 캐리단자(CR)에 연결된 출력전극으로 이루어진 캐리 트랜지스터(NT2)를 포함한다. 따라서, 상기 캐리 트랜지스터(NT2)는 상기 풀업 구동부(214)로부터 출력된 제어전압에 응답하여 상기 출력단자(OUT)로 출력되는 상기 현재단 캐리 신호를 제1 클럭단자(CK1)를 통해 제공된 상기 제1 클럭(CKV)만큼 풀-업시킨다. 상기 캐리 트랜지스터(NT2)는 한 프레임 중 상기 제1 클럭(CKV)의 하이구간 동안만 턴-온되어, 상기 현재단 캐리 신호를 하이 상태로 유지시킨다.

[0087] 상기 풀다운부(213)는 제2 입력단자(IN2)에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진 풀다운 트랜지스터(NT3)를 포함한다. 따라서, 상기 풀다운 트랜지스터(NT3)는 다음단 게이트 신호에 응답하여 상기 제1 클럭(CKV)만큼 풀업된 상기 현재단 게이트 신호를 상기 전압입력단자(Vin)를 통해 공급된 게이트 오프 전압(Voff, 도 4에 도시됨)으로 풀다운시킨다. 즉, 수평 주사 구간 이후에 상기 현재단 게이트 신호는 로우 상태로 다운된다.

[0088] 상기 풀업 구동부(214)는 버퍼 트랜지스터(NT4), 제1 커패시터(C1), 제1 방전 트랜지스터(NT5) 및 제2 방전 트랜지스터(NT6)를 포함한다. 상기 버퍼 트랜지스터(NT4)는 제1 입력단자(IN1)에 공통으로 연결된 입력전극과 제어전극 및 상기 Q-노드(QN)에 연결된 출력전극으로 이루어진다. 상기 제1 커패시터(C1)는 상기 Q-노드(QN)와 출력단자(OUT) 사이에 연결된다. 한편, 상기 제1 방전 트랜지스터(NT5)는 상기 버퍼 트랜지스터(NT4)의 출력전극에 연결된 입력전극, 상기 제2 입력단자(IN2)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다. 상기 제2 방전 트랜지스터(NT6)는 상기 출력단자(OUT)에 연결된 입력전극, 상기 제2 클럭단자(CK2)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다.

[0089] 상기 버퍼 트랜지스터(NT4)가 이전단 게이트 신호에 응답하여 턴-온되면, 상기 제1 커패시터(C1)가 충전된다. 상기 제1 커패시터(C1)에 상기 풀업 트랜지스터(NT1)의 문턱전압 이상의 전하가 충전되면, 상기 Q-노드(QN)의 전위가 문턱전압 이상으로 상승하여 상기 풀업 트랜지스터(NT1)가 턴온된다. 따라서, 상기 제1 클럭(CKV)이 상기 출력단자(OUT)로 출력되어 상기 현재단 게이트 신호는 하이 상태로 전환된다. 즉, 상기 현재단 게이트 신호는 상기 제1 클럭(CKV)의 하이 구간동안 하이 상태를 유지한다.

[0090] 이후, 상기 제1 방전 트랜지스터(NT5)가 다음단 게이트 신호에 응답하여 턴-온되면, 상기 제1 커패시터(C1)에 충전된 전하는 상기 제1 방전 트랜지스터(NT5)를 통해 상기 게이트 오프전압(Voff)으로 방전된다. 따라서, 상기 Q-노드(QN)의 전위는 상기 다음단 게이트 신호에 의해서 상기 게이트 오프전압(Voff)으로 다운되고, 그 결과 상기 풀업 트랜지스터(NT1)는 턴-오프된다. 즉, 상기 방전 트랜지스터(NT5)는 상기 수평 주사 구간 이후에 상기 풀업 트랜지스터(NT1)로부터 현재단 게이트 신호가 출력되는 것을 방지한다.

[0091] 또한, 상기 제2 방전 트랜지스터(NT6)는 상기 제2 클럭단자(CK2)로 인가되는 제2 클럭(CKVB, 도 2에 도시됨)에 응답하여 턴-온되면, 상기 출력단자(OUT)는 상기 제2 방전 트랜지스터(NT6)를 통해 상기 전압입력단자(Vin)와 전기적으로 연결된다. 따라서, 상기 출력단자(OUT)의 상기 현재단 게이트 신호는 상기 제2 방전 트랜지스터(NT6)를 통해 상기 게이트 오프 전압(Voff)으로 방전된다.

[0092] 상기 리플 방지부(215)는 상기 한 프레임 중 상기 수평 주사 구간(1H) 시간을 제외한 나머지 시간(이하, (n-1)H)동안 상기 현재단 게이트 신호가 상기 제1 또는 제2 클럭(CKV, CKVB)에 의해서 리플되는 것을 방지하는 역할을 수행한다. 상기 리플 방지부(214)는 제1 및 제2 리플 방지 트랜지스터(NT7, NT8)로 이루어진다.

[0093] 상기 제1 리플 방지 트랜지스터(NT7)는 상기 제2 클럭단자(CK2)에 연결된 제어전극, 상기 제1 입력단자(IN1)에 연결된 입력전극 및 상기 Q-노드(QN)에 연결된 출력전극으로 이루어진다. 상기 제2 리플 방지 트랜지스터(NT8)는 상기 제1 클럭단자(CK1)에 연결된 제어전극, 상기 Q-노드(QN)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극을 포함한다.

[0094] 상기 제1 리플 방지 트랜지스터(NT7)는 제2 클럭단자(CK2)를 통해 제공된 상기 제2 클럭(CKVB)에 응답하여 턴-온됨으로써, 상기 제1 입력단자(IN1)와 상기 Q-노드(QN)를 전기적으로 연결시킨다. 따라서, 상기 제1 리플 방지 트랜지스터(NT7)는 Q-노드(QN)의 전위를 게이트 오프 전압(Voff)으로 유지되는 이전단 게이트 신호로 홀딩시킨다. 결과적으로, 상기 제1 리플 방지 트랜지스터(NT7)는 상기 (n-1)H 시간 중 상기 제2 클럭(CKVB)의 하이 구간 동안 상기 풀업 트랜지스터(NT1)의 턴-온을 방지함으로써, 현재단 게이트 신호의 리플을 방지할 수 있다.

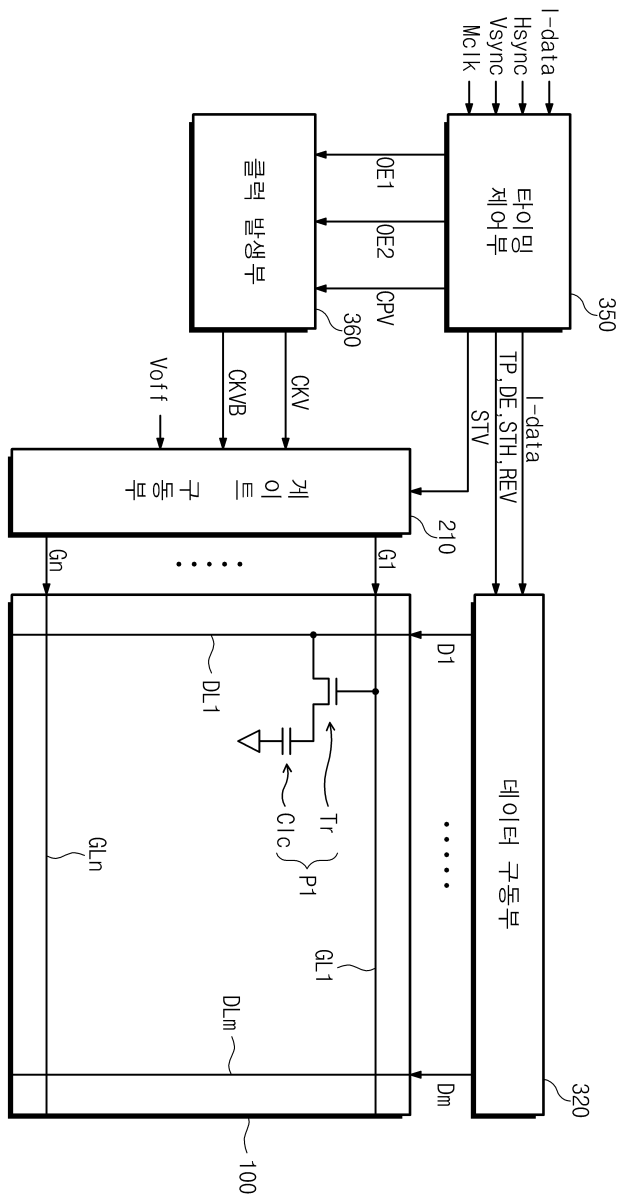
- [0095] 상기 제2 리플 방지 트랜지스터(NT8)는 상기 제1 클럭(CKV)에 응답하여 턴-온됨으로써, 상기 출력단자(OUT)와 상기 Q-노드(QN)를 전기적으로 연결시킨다. 따라서, 상기 Q-노드(QN)의 전위는 상기 게이트 오프전압(Voff)으로 유지되는 상기 현재단 게이트 신호로 홀딩된다. 따라서, 상기 (n-1)H 시간 중 상기 제1 클럭(CKV)의 하이구간동안 상기 풀업 트랜지스터(NT1)의 턴-온을 방지함으로써, 상기 현재단 게이트 신호의 리플을 방지할 수 있다.
- [0096] 한편, 상기 홀딩부(216)는 상기 인버터부(217)의 출력단에 연결된 제어전극, 상기 전압입력단자(Vin)에 연결된 입력전극 및 상기 출력단자(OUT)에 연결된 출력전극으로 이루어진 홀딩 트랜지스터(NT10)를 포함한다.
- [0097] 상기 인버터부(217)는 제1 내지 제4 인버터 트랜지스터(NT11, NT12, NT13, NT14), 제2 및 제3 커패시터(C2, C3)로 이루어져, 상기 홀딩 트랜지스터(NT10)를 턴-온 또는 턴-오프시킨다.
- [0098] 상기 제1 인버터 트랜지스터(NT11)는 상기 제1 클럭단자(CK1)에 공통적으로 연결된 입력전극과 제어전극, 상기 제3 커패시터(C3)를 통해 상기 제2 인버터 트랜지스터(NT12)의 출력전극에 연결된 출력전극으로 이루어진다. 상기 제2 인버터 트랜지스터(NT12)는 상기 제1 클럭단자(CK1)에 연결된 입력전극, 상기 제2 커패시터(C2)를 통해 입력전극과 연결된 제어전극 및 상기 홀딩 트랜지스터(NT10)의 제어전극에 연결된 출력전극으로 이루어진다. 상기 제3 인버터 트랜지스터(NT13)는 상기 제1 인버터 트랜지스터(NT11)의 출력전극에 연결된 입력전극, 상기 출력단자(OUT)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다. 상기 제4 인버터 트랜지스터(NT14)는 상기 홀딩 트랜지스터(NT10)의 제어전극에 연결된 입력전극, 상기 출력단자(OUT)에 연결된 제어전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진다.
- [0099] 상기 제3 및 제4 인버터 트랜지스터(NT13, NT14)는 상기 출력단자(OUT)로 출력되는 하이 상태의 현재단 게이트 신호에 응답하여 턴-온되고, 상기 제1 및 제2 인버터 트랜지스터(NT11, NT12)로부터 출력된 상기 제1 클럭(CKV)은 상기 게이트 오프전압(Voff)으로 방전된다. 따라서, 상기 홀딩 트랜지스터(NT10)는 상기 현재단 게이트 신호가 하이상태로 유지되는 1H 시간동안 턴-오프 상태로 유지된다. 이후, 상기 현재단 게이트 신호가 로우 상태로 전환되면, 상기 제3 및 제4 인버터 트랜지스터(NT13, NT14)는 턴-오프된다. 따라서, 상기 제1 및 제2 인버터 트랜지스터(NT11, NT12)로부터 출력된 상기 제1 클럭(CKV)에 응답하여 상기 홀딩 트랜지스터(NT10)가 턴-온된다. 결과적으로, 상기 현재단 게이트 신호는 상기 홀딩 트랜지스터(NT10)에 의해서 (n-1)H 시간 중 상기 제1 클럭(CKV)의 하이구간동안 상기 오프전압(Voff)으로 홀딩될 수 있다.
- [0100] 한편, 상기 리셋부(218)는 리셋단자(RE)에 연결된 제어전극, 상기 풀업 트랜지스터(NT1)의 제어전극에 연결된 입력전극 및 상기 전압입력단자(Vin)에 연결된 출력전극으로 이루어진 리셋 트랜지스터(NT15)를 포함한다. 상기 리셋 트랜지스터(NT15)는 상기 리셋단자(RE)를 통해 입력된 마지막 스테이지(SRCn+1, 도 2에 도시됨)로부터 출력된 마지막단 게이트 신호에 응답하여 상기 제1 입력단자(IN1)를 통해 입력된 노이즈를 상기 게이트 오프전압(Voff)으로 방전시킨다. 따라서, 상기 풀업 트랜지스터(NT1)는 상기 마지막 스테이지(SRCn+1)의 마지막단 게이트 신호에 응답하여 턴-오프된다. 결과적으로, 마지막단 게이트 신호는 이전단에 존재하는 n개의 스테이지의 리셋단자(RE)로 제공되어 n개의 스테이지의 풀업 트랜지스터(NT1)를 턴-오프시켜, n개의 스테이지를 리셋시킬 수 있다.
- [0101] 본 발명의 일 실시예로, 제1 스테이지(SRC1)의 풀다운 트랜지스터(NT3)는 나머지 스테이지(SRC2 ~ SRCn)의 풀다운 트랜지스터(NT3)보다 2배 이상 큰 채널폭을 갖는다. 구체적으로, 상기 제1 스테이지(SRC1)의 풀다운 트랜지스터(NT3)는 3000 μ m의 채널폭을 갖고, 상기 나머지 스테이지(SRC2 ~ SRCn)의 풀다운 트랜지스터(NT3)는 1100 μ m의 채널폭을 갖는다.
- [0102] 상기 풀다운 트랜지스터(NT3)는 다음단 게이트 신호에 응답하여 현재단 게이트 신호를 게이트 오프 전압(Voff)으로 방전시키는 역할을 담당한다. 상술한 바와 같이, 상기 제1 스테이지(SRC1)에서 상기 풀다운 트랜지스터(NT3)의 채널폭을 증가시키면, 상기 제1 스테이지(SRC1)의 방전 성능이 향상된다. 따라서, 상기 제1 스테이지(SRC1)로부터 출력되는 첫번째 게이트 신호(G1)를 빠르게 방전시킬 수 있다. 즉, 상기 제1 스테이지(SRC1)에서 수직 개시 신호(STV)에 의해서 상기 Q-노드(QN)의 방전이 빠르게 이루어지지 않으므로, 상기 첫번째 게이트 신호(G1)는 제1 클럭(CKV)의 하강 에지에서 급격하게 다운된다. 그러나, 두번째 게이트 신호(G2)가 빠르게 인가되지 않으면, 상기 첫번째 게이트 신호(G1)는 하이와 로우 상태의 중간 지점에서 소정 시간 머문다.
- [0103] 여기서, 상기 제1 스테이지(SRC1)의 풀다운 트랜지스터(NT3)의 성능을 개선하면, 상기 첫번째 게이트 신호(G1)를 빠르게 방전시킬 수 있고, 그 결과 첫번째 게이트 신호(G1)의 왜곡을 감소시킬 수 있다.
- [0104] 또한, 제1 게이트 라인(GL1)에 연결되어 상기 첫번째 게이트 신호(G1)의 방전을 담당하는 방전 트랜지스터(NT16)는 나머지 게이트 라인(GL2 ~ GLn)에 연결되어 나머지 게이트 신호(G2 ~ Gn)를 방전시키는 방전 트랜지스터

터(NT16)보다 1.5배 이상의 채널폭을 갖는다. 구체적으로, 상기 제1 게이트 라인(GL1)에 연결된 방전 트랜지스터(NT16)는 6000 μm 의 채널폭을 갖고, 상기 나머지 게이트 라인(GL2 ~ GLn)에 연결된 방전 트랜지스터(NT16)는 4000 μm 의 채널폭을 갖는다.

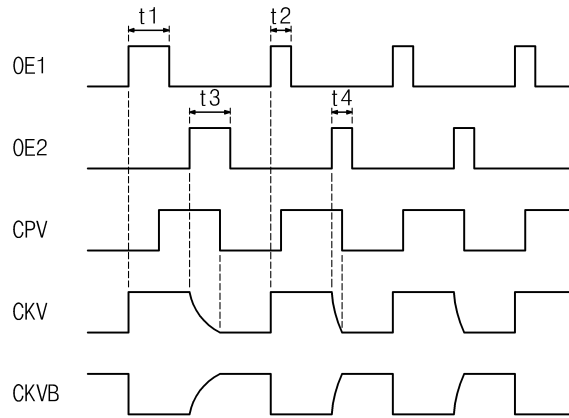
- [0105] 상술한 바와 같이, 상기 첫번째 게이트 신호(G1)를 방전시키는 방전 트랜지스터(NT16)의 성능을 개선하면, 상기 첫번째 게이트 신호(G1)가 빠르게 방전되고, 그 결과 첫번째 게이트 신호(G1)의 왜곡을 감소시킬 수 있다.
- [0106] 또한, 상기 제1 스테이지(SRC1)의 상기 Q-노드(QN)에 연결된 제2 리플 방지 트랜지스터(NT7)는 나머지 스테이지들(SRC2 ~ SRCn)의 제2 리플 방지 트랜지스터(NT7)보다 10배 이상 작은 채널폭을 갖는다. 구체적으로, 상기 제1 스테이지(SRC1)의 제2 리플 방지 트랜지스터(NT7)는 25 μm 의 채널폭을 갖고, 상기 나머지 스테이지들(SRC2 ~ SRCn)의 제2 리플 방지 트랜지스터(NT7)는 350 μm 의 채널폭을 갖는다.
- [0107] 상기 제1 스테이지(SRC1)에서 상기 제2 리플 방지 트랜지스터(NT7)는 제2 클럭(CKVB)에 응답하여 수직 개시 신호(STV)를 상기 Q-노드(QN)로 인가시킨다. 그러나, 상기 제1 스테이지(SRC1)에서 상기 제2 리플 방지 트랜지스터(NT7)의 성능이 저하되면, 상기 제2 클럭(CKVB)의 하이 구간에서 하이 상태의 상기 수직 개시 신호(STV)에 의해서 상기 Q-노드(QN)의 전위가 상승하는 것을 지연시킬 수 있다. 이로써, 상기 수직 개시 신호(STV)가 하이 상태일 때, 상기 제1 클럭(CKV)의 하강에서부터 상기 첫번째 게이트 신호(G1)가 급격히 다운되는 것을 방지할 수 있다.
- [0108] 상술한 바와 같이, 상기 제1 스테이지(SRC1)에서 풀다운 트랜지스터(NT3) 및 방전 트랜지스터(NT16)의 채널폭은 증가시키고, 제2 리플 방지 트랜지스터(NT7)의 채널폭은 감소시킴으로써, 첫번째 게이트 신호(G1)의 왜곡을 방지할 수 있다.
- [0109] 상기 제1 스테이지(SRC1)는 표시패널의 주변부에 가장 인접하여 구비되고, 상기 제1 스테이지(SRC1)에 구비되는 트랜지스터의 채널폭을 증가시키기가 다른 스테이지들에 비하여 용이할 수 있다.
- [0110] 도 11a는 도 10에 도시된 제1 스테이지의 제2 리플 방지 트랜지스터의 평면도이고, 도 11b는 제2 스테이지의 제2 리플 방지 트랜지스터의 평면도이다.
- [0111] 도 11a 및 도 11b를 참조하면, 제1 스테이지(SRC1)의 제2 리플 방지 트랜지스터(NT7)는 제1 게이트 전극(GE1), 제1 소오스 전극(SE1) 및 제1 드레인 전극(DE1)을 포함한다. 제2 스테이지(SRC2)의 제2 리플 방지 트랜지스터(NT7)는 제2 게이트 전극(GE2), 제2 소오스 전극(SE2) 및 제2 드레인 전극(DE2)을 포함한다. 상기 제1 스테이지(SRC1)의 제2 리플 방지 트랜지스터(NT7)는 상기 제2 스테이지(SRC2)의 제2 리플 방지 트랜지스터(NT7)보다 작은 채널폭을 갖는다.
- [0112] 본 발명의 일 예로, 상기 제1 스테이지(SRC1)의 제2 리플 방지 트랜지스터(NT7)의 채널폭(W1)은 25 μm 이고, 상기 제2 스테이지(SRC2)의 제2 리플 방지 트랜지스터(NT7)의 채널폭(W2)은 350 μm 이다.
- [0113] 상술한 바와 같이, 상기 제1 스테이지(SRC1)의 제2 리플 방지 트랜지스터(NT7)의 채널폭(W1)을 감소시키면, 첫번째 게이트 신호(G1)의 왜곡이 약화된다. 그러나, 상기 제1 스테이지(SRC1)의 제2 리플 방지 트랜지스터(NT7)의 채널폭을 감소시키면 상기 제1 스테이지(SRC1)의 Q-노드(QN)에서 리플이 증가할 수 있다.
- [0114] 상기 Q-노드(QN)에서의 리플 전압은 상기 Q-노드(QN)에 연결된 전체 커패시터에 비례한다. 즉, 상기 Q-노드(QN)에 연결된 전체 커패시터에 증가할수록 상기 Q-노드(QN)에서의 리플 전압이 감소한다.
- [0115] 따라서, 상기 제1 스테이지(SRC1)의 제2 리플 방지 트랜지스터(NT7)는 상기 제2 스테이지의 제2 리플 방지 트랜지스터와 동일한 기생 커패시터를 갖도록 설계된다.
- [0116] 구체적으로, 상기 제1 스테이지(SRC1)에서 상기 제2 리플 방지 트랜지스터(NT7)는 제1 게이트 전극(GE1)과 제1 소오스 전극(SE1)과의 사이에 형성된 제1 기생 커패시터(Cgs1) 및 상기 제1 게이트 전극(GE1)과 제1 드레인 전극(DE1)과의 사이에 형성된 제2 기생 커패시터(Cgd1)를 갖는다. 한편, 상기 제2 스테이지(SRC2)에서 상기 제2 리플 방지 트랜지스터(NT7)는 제2 게이트 전극(GE2)과 제2 소오스 전극(SE2)과의 사이에 형성된 제3 기생 커패시터(Cgs2) 및 상기 제2 게이트 전극(GE2)과 제2 드레인 전극(DE2)과의 사이에 형성된 제4 기생 커패시터(Cgd2)를 갖는다.
- [0117] 본 발명의 일 예로, 상기 제1 소오스 전극(SE1)과 상기 제1 게이트 전극(GE1)의 오버랩 면적을 상기 제2 소오스 전극(SE2)과 상기 제2 게이트 전극(GE2)의 총 오버랩 면적과 일치하도록 상기 제1 소오스 전극(SE1)의 사이즈가 확장된다. 따라서, 상기 제1 기생 커패시터(Cgs1)는 상기 제3 기생 커패시터(Cgs2)와 서로 동일한 커패시턴스를

도면

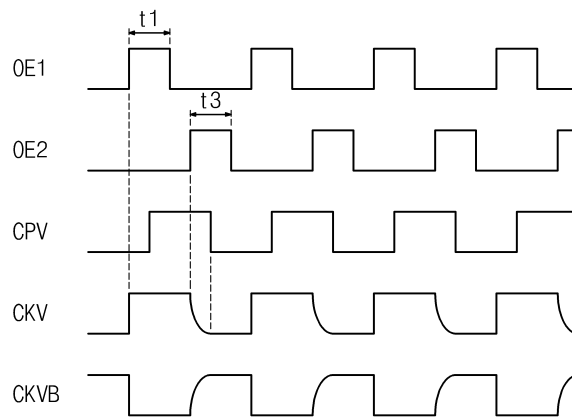
도면1



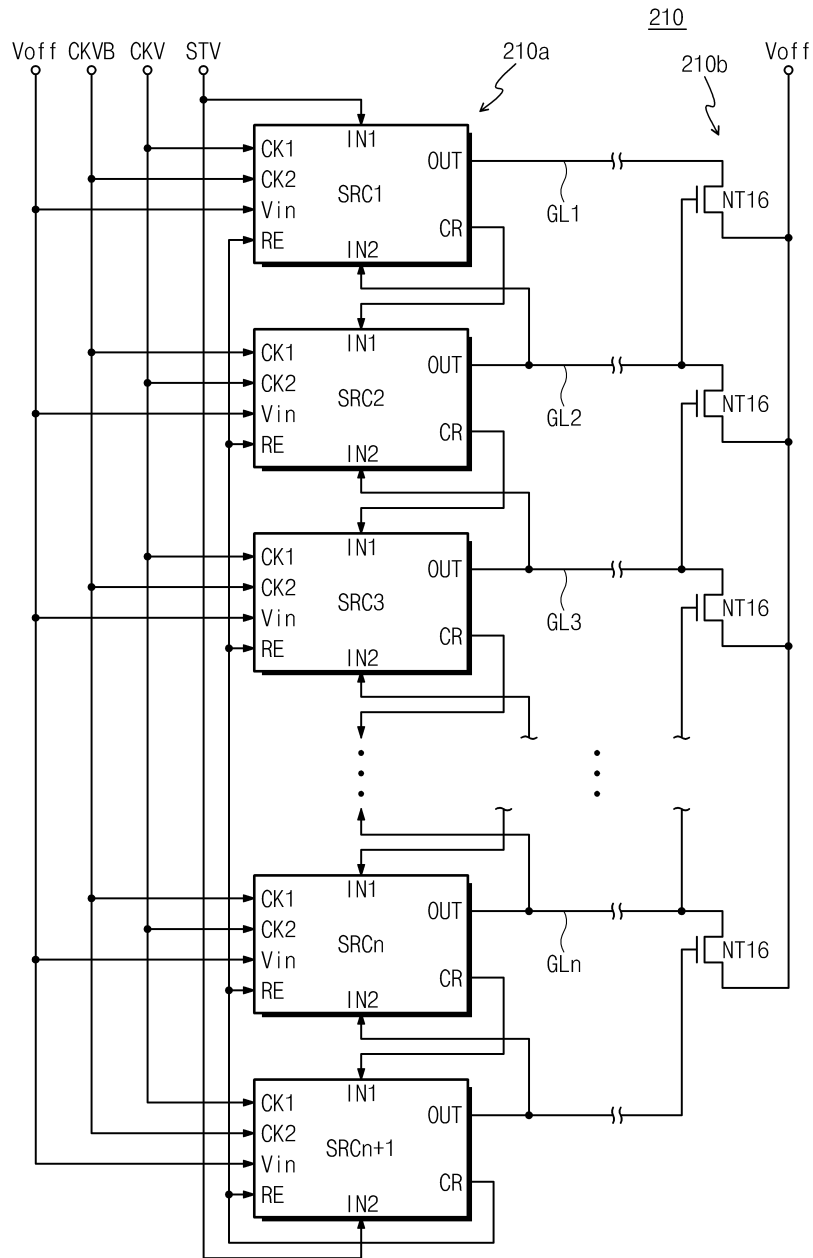
도면2



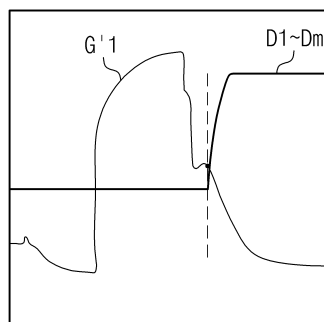
도면3



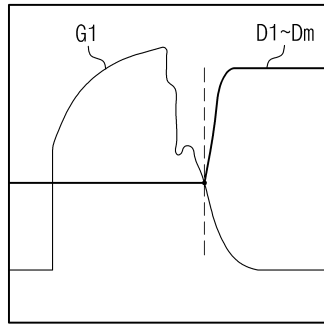
도면4



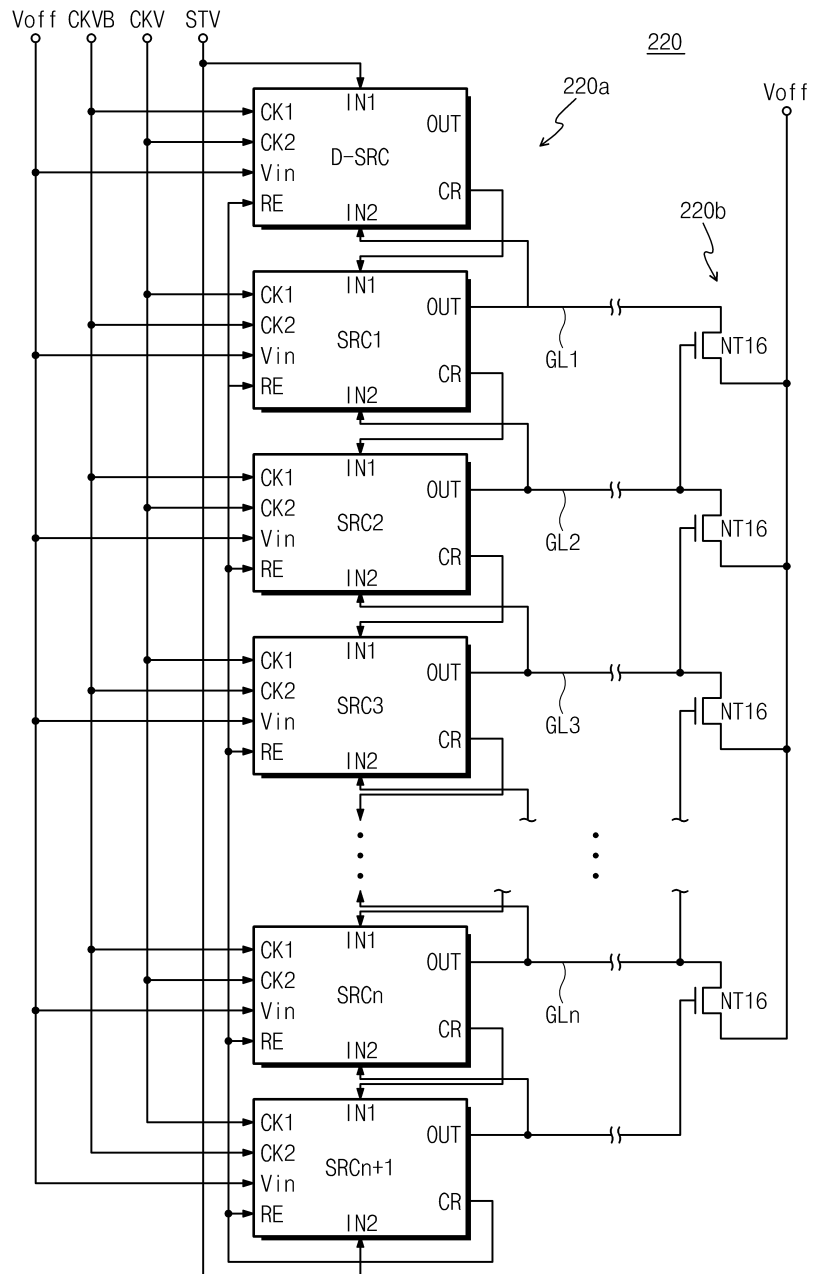
도면5a



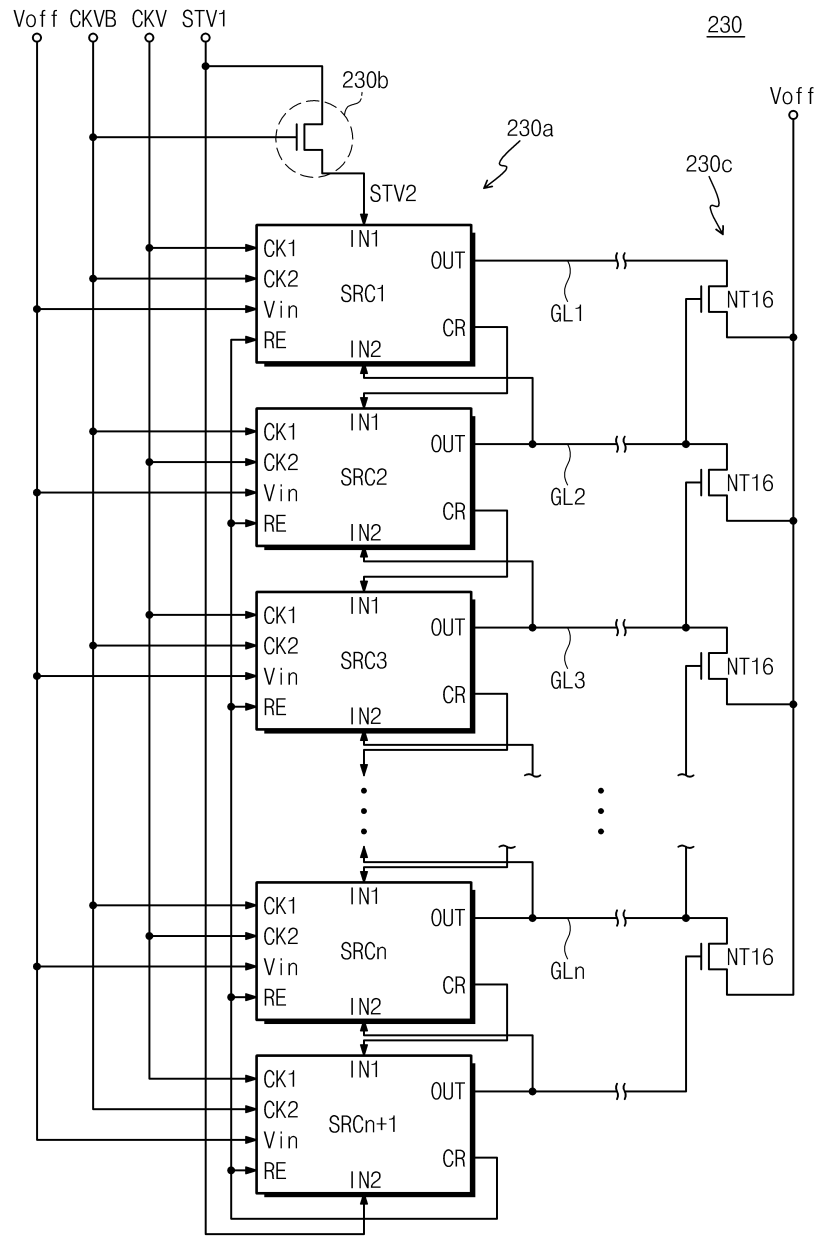
도면5b



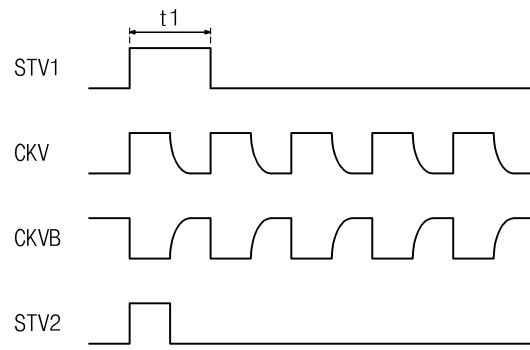
도면6



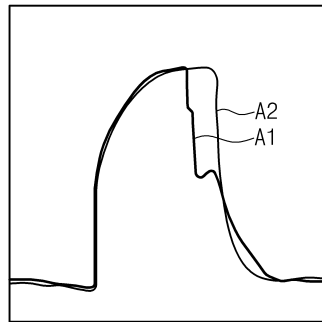
도면7



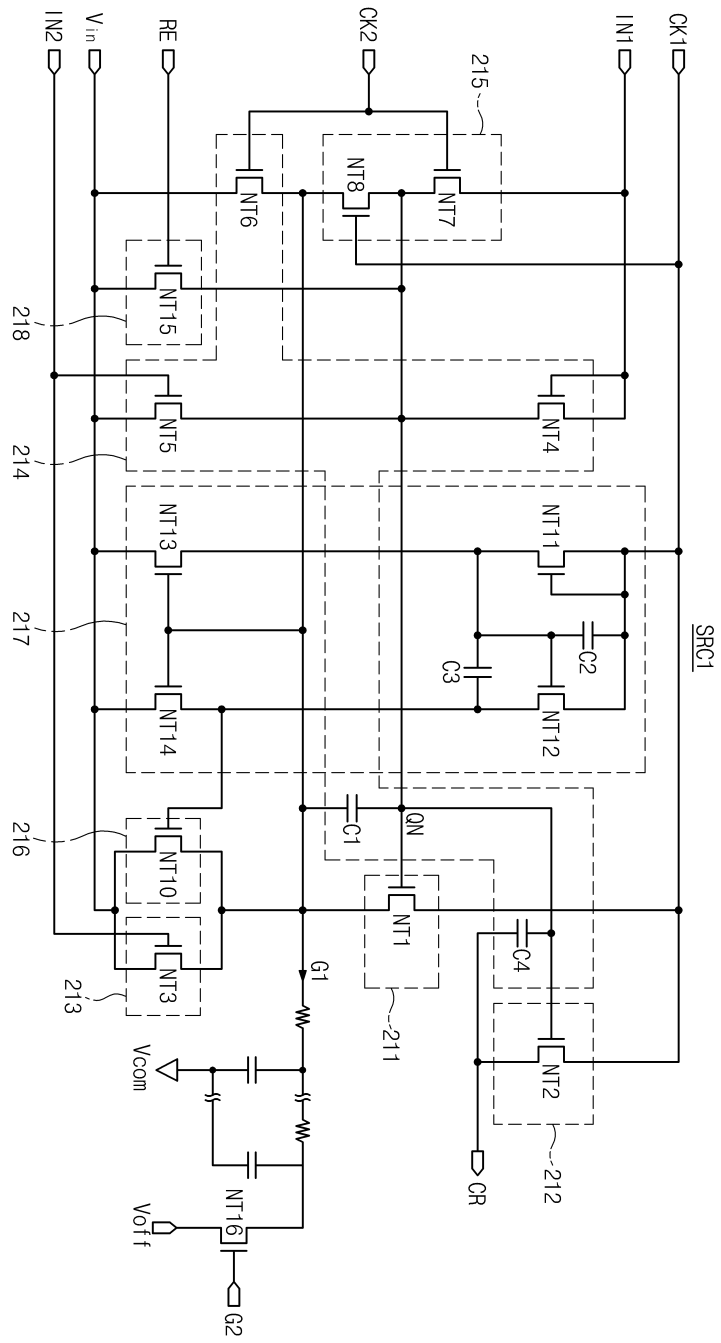
도면8



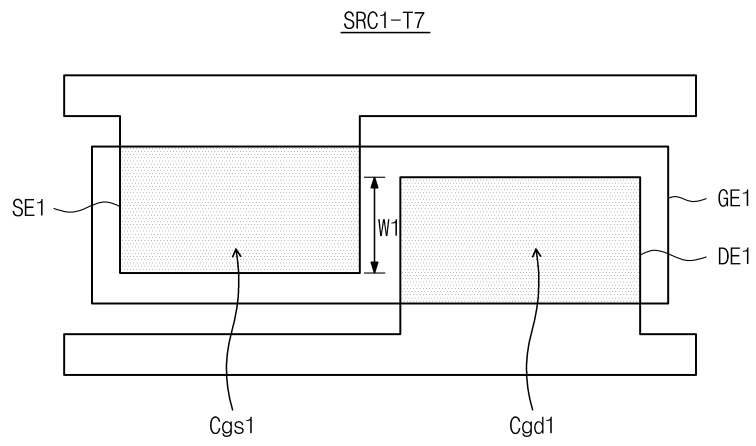
도면9



도면10



도면11a



도면11b

