

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015 年 6 月 4 日(04.06.2015)



(10) 国際公開番号
WO 2015/079573 A1

- (51) 国際特許分類:
H02M 3/28 (2006.01)
- (21) 国際出願番号: PCT/JP2013/082240
- (22) 国際出願日: 2013 年 11 月 29 日(29.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町 2 丁目 2 番 1 号 Tokyo (JP).
- (72) 発明者: 新田 甲之輔 (NITTA Konosuke); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP). 若林 浩二 (WAKABAYASHI Koji); 〒3578585 埼玉県飯能市南町 1 0 番 1 3 号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 棚井 澄雄, 外 (TANAI Sumio et al.); 〒1006620 東京都千代田区丸の内一丁目 9 番 2 号 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: POWER-SUPPLY DEVICE, INSPECTION DEVICE, AND OPTIMIZATION METHOD FOR POWER-SUPPLY DEVICE

(54) 発明の名称: 電源装置、検査装置、及び電源装置の最適化方法

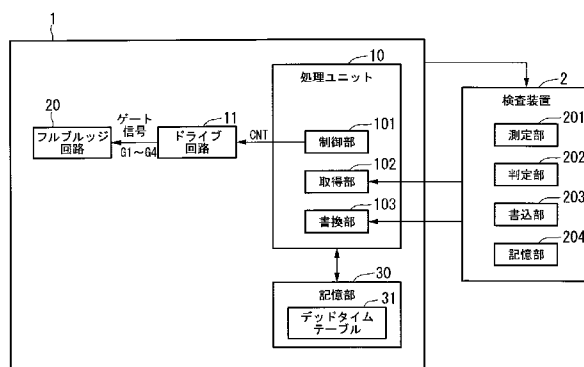


FIG. 1
2 Inspection device
10 Processing module
11 Drive circuit
20 Full-bridge circuit
30, 204 Storage unit
31 Dead-time table
101 Control unit
102 Acquisition unit
103 Replacement unit
201 Measurement unit
202 Determination unit
203 Writing unit
G1~G4 Gate signals

(57) Abstract: This power-supply device (1) is provided with the following: a storage unit (30) that stores first dead times for switching elements (Q1 through Q4) constituting a switching circuit (a full-bridge circuit (20)); an acquisition unit (102) via which information on second dead times set on the basis of an input-current measurement result is inputted from the outside; a replacement unit (103) that replaces the first dead times stored in the storage unit (30) with the second dead times acquired by the acquisition unit (102); and a control unit (101) that controls the switching elements (Q1 through Q4) in accordance with the second dead times stored in the storage unit (30).

(57) 要約: 電源装置 (1) は、スイッチング回路 (フルブリッジ回路 20) を構成するスイッチング素子 (Q1 から Q4) の第 1 デッドタイムを記憶する記憶部 (30) と、入力電流の測定結果に基づいて設定された第 2 デッドタイムの情報を外部入力する取得部 (102) と、記憶部 (30) に記憶された第 1 デッドタイムを取得部 (102) が取得した第 2 デッドタイムに書き換える書換部 (103) と、記憶部 (30) に記憶された第 2 デッドタイムに応じてスイッチング素子 (Q1 から Q4) を制御する制御部 (101) と、を備える。

明 細 書

発明の名称：電源装置、検査装置、及び電源装置の最適化方法 技術分野

[0001] 本発明は、電源装置、検査装置、及び電源装置の最適化方法に関する。

背景技術

[0002] 一次側回路と二次側回路との間を絶縁するトランスと、このトランスの一次巻線に流れる電流の方向を切り換えて駆動するスイッチング回路と、二次側巻線に誘起される電圧を整流する整流回路と、を備えるスイッチング方式の電源装置がある。

上記スイッチング回路は、例えば、2個のスイッチング素子（例えば、M O S F E T）を直列に接続したハーフブリッジ回路を2個並列にしたフルブリッジ回路で構成される。このフルブリッジ回路において、電流を供給する側のスイッチング素子と電流が供給される側のスイッチング素子とが同時にオン状態になると、貫通電流が流れてスイッチング素子が破壊される可能性がある。電源装置では、2つのスイッチング素子が同時にオン状態になることを防止するために、同時に2つのスイッチング素子をオフ状態にする期間がデッドタイム（非重畳時間）として設けられている。

[0003] このデッドタイムにおいて、スイッチング素子がスイッチング動作を行う際に、パワーロス（スイッチングロスとも呼ばれる。）が発生する。このデッドタイムに発生するパワーロスを低減するために、特許文献1では、スイッチを駆動するPWM（P u l s e W i d t h M o d u l a t i o n ; パルス幅変調）信号における負荷時間率に比例する値を用いて、パワーロスの変化を推定してデッドタイムを調整することが提案されている。また、特許文献2には、デッドタイムに付随する電力損失を最小にする際のノイズとなる計測誤差などの影響を低減することが提案されている。特許文献1及び2に記載の技術では、電源装置が、デッドタイムを調整するためのパラメータを測定する測定回路を有し、測定した結果に応じてデッドタイムを調整し

ている。

先行技術文献

特許文献

[0004] 特許文献1：特表2007-535286号公報

特許文献2：特表2009-515498号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上記デッドタイムに起因して発生するパワーロス、デッドタイムに応じて変化する。そのため、このデッドタイムは、パワーロスが最も小さくなる最適なデッドタイムに調整されることが望まれる。しかしながら、最適なデッドタイムは、ドライブ回路の遅延時間のバラツキや、スイッチング素子ごとのオンオフ特性のバラツキに影響される。このため、電源装置では、実際に組み立てられた製品ごとにデッドタイムを補正することが必要になる。

[0006] 特許文献1及び2に記載の技術において、製品毎のデッドタイムを補正しようとする、電源装置に、負荷時間率に比例する値や電力損失の測定回路と、デッドタイムを決定する回路とを、製品毎に備える必要がある。このため、回路構成が複雑となり、その分、コストの上昇を招くという問題があった。

[0007] 本発明は、上記の問題点に鑑みてなされたものであって、新たな回路を製品の内部に追加することなく、電力変換効率が最大になる最適デッドタイムを製品毎に設定できる、電源装置、検査装置、及び電源装置の最適化方法を提供することを目的とする。

課題を解決するための手段

[0008] 上記目的を達成するため、本発明の一態様に係る電源装置は、スイッチング回路を構成するスイッチング素子の第1デッドタイムを記憶する記憶部と、入力電流の測定結果に基づいて設定された第2デッドタイムの情報を外部

入力する取得部と、前記記憶部に記憶された前記第 1 デッドタイムを前記取得部が取得した前記第 2 デッドタイムに書き換える書換部と、前記記憶部に記憶された前記第 2 デッドタイムに応じて前記スイッチング素子を制御する制御部と、を備えることを特徴とする。

[0009] 本発明の一態様に係る検査装置は、スイッチング回路のスイッチング素子の第 1 デッドタイムが、外部入力されるデッドタイムの情報により変更可能な電源装置に対して、前記第 1 デッドタイムを変更するように指示して前記電源装置の入力電流を計測する測定部と、前記測定部により計測された入力電流の測定値に基づいて、最も入力電流が少なくなるときのデッドタイムを第 2 デッドタイムと判定する判定部と、前記第 2 デッドタイムの情報を前記電源装置に通知して、前記電源装置において前記第 1 デッドタイムを前記第 2 デッドタイムに設定させる書込部と、を備えることを特徴とする。

[0010] 本発明の一態様に係る電源装置の最適化方法は、電源装置内のスイッチング回路を構成するスイッチング素子のデッドタイムを検査装置により最適化する電源装置の最適化方法であって、前記電源装置が、第 1 デッドタイムを前記検査装置からの指示により変更する手順を含み、前記検査装置が、前記電源装置に対して、前記第 1 デッドタイムを変更させるように指示するとともに、前記電源装置の入力電流を測定する手順と、前記検査装置が、前記入力電流の測定結果に基づいて、最も入力電流が少なくなるときのデッドタイムを第 2 デッドタイムと判定する手順と、前記検査装置が、前記第 2 デッドタイムの情報を前記電源装置に通知して、前記電源装置において、前記第 1 デッドタイムを前記第 2 デッドタイムに設定させる手順と、を含むことを特徴とする。

発明の効果

[0011] 本発明によれば、新たな回路を製品の内部に追加することなく、電力変換効率が最大になる最適デッドタイムを製品毎に設定できる。

図面の簡単な説明

[0012] [図1]本発明の第 1 実施形態に係る電源装置及び検査装置の概略構成を示す機

能ブロック図である。

[図2]最適デッドタイムの設定動作の概要を示す説明図である。

[図3]電源装置の構成例を示す構成図である。

[図4A]第3電流検出回路の構成例を示す構成図である。

[図4B]第3電流検出回路の動作を説明するための波形図である。

[図5]スイッチング素子Q1からQ4のゲート信号の波形を示すタイムチャートである。

[図6]記憶部に記憶されるデッドタイムテーブルの例を示す説明図である。

[図7A]デッドタイムがDT1である場合のスイッチング素子のドレイン・ソース間電圧 V_{ds} の例を示す波形図である。

[図7B]デッドタイムがDT2である場合のスイッチング素子のドレイン・ソース間電圧 V_{ds} の例を示す波形図である。

[図7C]デッドタイムがDT3である場合のスイッチング素子のドレイン・ソース間電圧 V_{ds} の例を示す波形図である。

[図8]デッドタイムを変化させた場合の電力変換効率の測定例を示す説明図である。

[図9A]デッドタイムを変化させた場合の電力変換効率の変化を示すグラフである。

[図9B]スイッチング素子の特性のバラツキによる電力変換効率の変化の例を示すグラフである。

[図10]最適デッドタイムの設定処理の流れを示すフローチャートである。

[図11]本発明の第2実施形態に係る電源装置の構成例を示す構成図である。

[図12]本発明の第3実施形態に係る電源装置の構成例を示す構成図である。

発明を実施するための形態

[0013] 以下、本発明の実施の形態を、添付図面を参照して説明する。

[0014] [第1実施形態]

図1は、本発明の第1実施形態に係る電源装置1及び検査装置2の概略構成を示す機能ブロック図である。この図において、電源装置1は、入力され

る直流電圧を、所定の直流電圧に変換して出力するDC／DCコンバータであり、本発明に直接に関係する部分のみを示している。

この図1に示す電源装置1及び検査装置2は、電源装置1のフルブリッジ回路20内のスイッチ素子がスイッチング動作を行う場合に、スイッチング素子のデッドタイムを変化させると電力変換効率が変化することを利用する。検査装置2は、電源装置1にスイッチング素子のデッドタイムを変化させるように指示し、このデッドタイムの変化に応じた電力変換効率の変化を測定する。検査装置2は、測定結果に基づいて、電力変換効率が最大になるときのデッドタイムを最適デッドタイム（第2デッドタイム）と判定し、この最適デッドタイムの情報を電源装置1に通知する。電源装置1は、検査装置2から通知された最適デッドタイムを記憶部30に記憶する。

なお、電力変換効率は、入力電力と出力電力との電力比で表され、例えば、

電力変換効率＝出力電圧×出力電流／（入力電圧×入力電流）、の式で示される。

[0015] この図1に示すように、電源装置1は、処理ユニット10、ドライブ回路11、フルブリッジ回路20、及び記憶部30を備えている。また、電源装置1には、この電源装置1における入出力電流と入出力電圧を計測する検査装置2が接続されている。

[0016] 処理ユニット10は、電源装置1の全体の動作を制御する制御装置である。この処理ユニット10は、制御部101、取得部102、及び書換部103を備える（詳細は後述する）。この処理ユニット10は、CPU（Central Processing Unit；中央演算処理装置）、ROM（Read Only Memory）、RAM（Random Access Memory）、A／D変換器（ADC；アナログーデジタル変換器）、カウンタ等を有するマイクロコントローラや、マイクロコンピュータ、DSP（Digital Signal Processor）等で構成されている。処理ユニット10は、専用のハードウェアにより実現されるもの

であってもよい。

[0017] ドライブ回路 11 は、制御部 101 が出力するオンオフ制御信号 CNT から、フルブリッジ回路 20 が備えるスイッチング素子 Q1 から Q4 を駆動するためのゲート信号 G1 から G4 を生成する。

フルブリッジ回路 20 は、例えば、後述する図 3 に示すように、4 つのスイッチング素子 Q1 から Q4 で構成されるブリッジ回路である（詳細は後述する）。

記憶部 30 は、フルブリッジ回路 20 のスイッチング素子 Q1 から Q4 のデッドタイム（第 1 デッドタイム）のデータを、出力電流値に関連づけて記憶する。例えば、後述する図 6 に示すように、記憶部 30 には、電源装置 1 の出力電流 I_o の値に関連づけられたデッドタイムのデータが、デッドタイムテーブル 31 の形式で記憶されている。

[0018] 次に、処理ユニット 10 が備える各機能部について説明する。

制御部 101 は、電源装置 1 の出力電圧が一定の電圧になるように、フルブリッジ回路 20 のスイッチング素子 Q1 から Q4 のスイッチング動作を制御するオンオフ制御信号 CNT を生成する。このオンオフ制御信号 CNT は、例えば PWM（Pulse Width Modulation；パルス幅変調）信号である。

また、制御部 101 は、上記オンオフ制御信号 CNT を生成する際に、記憶部 30 に記憶されたデッドタイムテーブル 31 を参照し、このデッドタイムテーブル 31 に記憶されたデッドタイムに基づいてオンオフ制御信号 CNT を生成する。

[0019] 取得部 102 は、検査装置 2 からデッドタイムの変更指示の情報を受信する。この変更指示には、変更後の新たなデッドタイムを表す情報が含まれている。取得部 102 は、検査装置 2 から受信したデッドタイムの変更指示の情報を書換部 103 に通知する。

書換部 103 は、取得部 102 から得られたデッドタイムの変更指示に基づいて、記憶部 30 のデッドタイムテーブル 31 に記憶されたデッドタイム

(第1デッドタイム)のデータを、取得部102が取得した最適デッドタイム(第2デッドタイム)に書き換える。例えば、書換部103は、デッドタイムの変更指示に基づいて、すでに記録されたデッドタイムを増減するようにデータを書き換える。また、書換部103は、検査装置2において最適デッドタイムが判定された場合に、この最適デッドタイムの情報を、取得部102を介して取得し、デッドタイムテーブル31を最適デッドタイムのデータに書き換える。

[0020] また、検査装置2は、測定部201、判定部202、書込部203、及び記憶部204を備えている。この検査装置2は、例えばテストである。

この検査装置2において、測定部201は、電源装置1の入出力電流と入出力電圧とを計測し、電源装置1における電力変換効率を測定する。この電源装置1における電力変換効率を測定する場合に、測定部201は、電源装置1の処理ユニット10に対して、フルブリッジ回路20におけるデッドタイムを変化させるように指示し、このデッドタイムの変化に応じて変わる電源装置1の電力変換効率を測定する。

判定部202は、測定部201が測定した電力変換効率の値に基づいて、電力変換効率が最大になるときのデッドタイムを最適デッドタイムと判定する。

[0021] 書込部203は、判定部202により判定された最適デッドタイムの情報を取得部102に通知する。

[0022] 記憶部204は、測定部201により測定された電力変換効率の測定値を記憶する。記憶部204は、電源装置1の記憶部30に記憶されたデッドタイムテーブル31が予め記憶されていてもよい。また、検査装置2は、記憶部30に記憶されたデッドタイムテーブル31のデータを読み取り、読み取ったデッドタイムテーブル31のデータを記憶してよい。

[0023] 次に、図2は、最適デッドタイムの設定動作の概要を示す説明図である。以下、図2を参照して、上記構成の電源装置1における最適デッドタイムの設定動作について説明する。

図2に示すように、電源装置1の入力側に、入力電圧 V_{in} を測定する電圧計5と、入力電流 I_{in} を測定する電流計6とが接続される。また、電源装置1の出力側に、出力電圧 V_{out} を測定する電圧計7と、出力電流 I_o を測定する電流計8とが接続される。

[0024] そして、第1の手順として、検査装置2は、入力電圧 V_{in} 、出力電流 I_o 、出力電圧 V_{out} が一定になるように設定する。ここで、検査装置2は、出力電圧 V_{out} 、出力電流 I_o 、入力電圧 V_{in} が一定であれば、測定した入力電流 I_{in} と、上式とに基づいて算出した電力変換効率の変化を測定できる。

[0025] 第2の手順として、検査装置2は、電源装置1に指示して、記憶部30内のデッドタイムテーブル31に記憶されたデッドタイムを、基準デッドタイムから増加方向及び減少方向に変化させるように書き換えるとともに、入力電流 I_{in} を計測して、このデッドタイムの変化に応じた電力変換効率の変化を測定する。

例えば、後述する図9Aに示すように、デッドタイムを基準デッドタイムから $\pm 3 \Delta T$ に変化させて、電力変換効率を測定する。なお、 ΔT は、クロック信号に基づく時間である。

[0026] ここで、基準デッドタイムは、デッドタイムの調整開始前に、予めデッドタイムテーブル31に記憶されているデッドタイムである。なお、基準デッドタイムは、複数の電源装置1のそれぞれのドライブ回路11の遅延時間のバラツキと、スイッチング素子Q1からQ4の特性のバラツキを考慮して設定される。この基準デッドタイムは、平均的なデッドタイムに基づいて、最適なデッドタイムであると推定されるデッドタイムである。

[0027] 第3の手順として、検査装置2では、電力変換効率が最も高くなるデッドタイム、すなわち、検査装置2は、入力電流 I_{in} が一番低くなるデッドタイムを最適デッドタイムと判定する。この手順において、検査装置2は、最適デッドタイムの情報を電源装置1に通知し、電源装置1は、現在の出力電流 I_o に対応する最適デッドタイムをデッドタイムテーブル31に上書きす

る。

そして、検査装置 2 は、出力電流 I_o を異なる幾つかの電流値に変化させて、上記第 2 の手順と第 3 の手順とを繰り返し実行し、それぞれの電流値に応じて、デッドタイムテーブル 31 に記憶されたデッドタイムのデータを最適デッドタイムに補正する。

[0028] なお、基準デッドタイムが最適デッドタイムにより補正される量は、異なる出力電流 I_o の値に対して同じ傾向になることが多い。なお、同じ傾向とは、第 1 の出力電流 I_o のとき、最適なデッドタイムが基準デッドタイムに対して正方向に変化させた値である場合、他の出力電流 I_o においても最適なデッドタイムは基準デッドタイムに対して正方向に変化させた値になる傾向である。この場合は、1 つの出力電流 I_o から得られた補正量により、デッドタイムテーブル 31 に記憶されたデッドタイムの全体のデータを補正してもよい。

[0029] このように、検査装置 2 は、電力変換効率が最も大きくなる最適デッドタイムを決定し、この決定した最適デッドタイムを電源装置 1 の記憶部 30 に上書きする。これにより、本実施形態の電源装置 1 は、デッドタイムを測定するための測定回路や最適デッドタイムを判定する回路を製品の内部に追加することなく、製品毎に最適なデッドタイムを個別に設定することができる。

[0030] 図 3 は、電源装置 1 の構成例を示す構成図である。この図 3 に示す電源装置 1 は、直流電源 21 から入力される直流電圧 V_{in} を、所定の定電圧の直流電圧 V_{out} に変換する DC/DC コンバータである。図 3 に示すように、電源装置 1 は、一次側回路 40、同期整流回路 60、電流検出回路 70、処理ユニット 10、ドライブ回路 11 を備える。この電源装置 1 は、トランス 50 により一次側回路と二次側回路との間を絶縁するように構成されており、一次巻線 51 は、この一次巻線 51 を駆動するフルブリッジ回路 20 に接続されている。また、電源装置 1 には、負荷装置 80 が接続される。

[0031] 一次側回路 40 は、一次巻線 51、電流検出用トランス 54 の一次巻線 5

5、フルブリッジ回路20、コンデンサC1、直流電源21、及び第1電流検出回路を備える。

フルブリッジ回路20は、一次巻線51を駆動するブリッジ回路であり、例えば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) を用いた4つのスイッチング素子、すなわち、スイッチング素子Q1、スイッチング素子Q2、スイッチング素子Q3、及びスイッチング素子Q4で構成されている。このスイッチング素子Q1からQ4のそれぞれには、ボディーダイオードD1からD4（以下、「ボディーダイオード」を、単に「ダイオード」とも呼ぶ。）が並列に接続されている。つまり、スイッチング素子Q1からQ4のそれぞれは、ドレイン側に、対応するダイオードD1からD4のカソード端子が接続され、ソース側にアノード端子が接続されるボディーダイオードD1からD4を備えている。

[0032] このフルブリッジ回路20において、電流を供給する側のスイッチング素子Q1及びQ3のドレインは、直流電源21の正電圧側の電源線Vin+に接続され、電流が供給される側のスイッチング素子Q2及びQ4のソースは、直流電源21の負電圧側の電源線Vin-に接続されている。なお、直流電源21には、ノイズ吸収用のコンデンサC1が並列に接続されている。

[0033] そして、スイッチング素子Q1のソースとスイッチング素子Q2のドレインとの接続点には、一次巻線51の一方の端子aが接続されている。

また、スイッチング素子Q3のソースとスイッチング素子Q4のドレインとの接続点には、一次巻線55の一方の端子kに接続される。一次巻線55の他方の端子gは、一次巻線51の他方の端子bに接続されている。スイッチング素子Q1からQ4それぞれのゲートに信号G1からG4が、処理ユニット10からドライブ回路11を介して供給される。

これにより、電源装置1は、一次巻線51をフルブリッジ回路20により駆動するとともに、一次巻線51に流れる電流を電流検出用トランス54により計測することができる。

[0034] なお、このフルブリッジ回路20は、一次巻線51のリーケージインダクタンス（漏れインダクタンス）と、スイッチング素子Q1からQ4のキャパシタンス成分（寄生容量）とにより、スイッチング素子Q1からQ4のオン状態とオフ状態との過渡状態にだけ共振作用を利用する部分共振型のフルブリッジ回路として構成されている。つまり、制御部101は、スイッチング素子Q1からQ4の寄生容量に蓄積される電荷ができるだけ小さくなるタイミングで、スイッチング素子Q1及びQ4、あるいはスイッチング素子Q2及びQ3をオンにすることにより、スイッチング素子Q1からQ4におけるスイッチング損失を低減するようにしている。なお、スイッチング素子Q1からQ4におけるキャパシタンス成分は、ドレイン・ソース間の容量とゲート・ドレイン間の容量との和である。

[0035] そして、フルブリッジ回路20内のスイッチング素子Q1からQ4のそれぞれのゲートには、ドライブ回路11から出力されるゲート信号G1からG4が供給される。これによりスイッチング素子Q1からQ4がオン状態とオフ状態と制御される。このゲート信号G1からG4は、処理ユニット10内の制御部101から出力されるオンオフ制御信号CNT（PWM信号）に基づいて生成される信号である。

このドライブ回路11は、後述する同期整流スイッチ回路61内のスイッチング素子Q5及びQ6をオン状態とオフ状態とに制御するゲート信号G5及びG6も生成する。このゲート信号G5及びG6は、処理ユニット10内の制御部101から出力されるオンオフ制御信号CNTに基づいて生成される信号である。

[0036] ドライブ回路11は、スイッチング素子Q1からQ4をオン状態とオフ状態とに制御する場合に、スイッチング素子Q1及びQ4がオン状態でかつスイッチング素子Q2及びQ3がオフ状態である期間と、スイッチング素子Q1及びQ4がオフ状態でかつスイッチング素子Q2及びQ3がオン状態である期間とが交互に到来するゲート信号を生成する。これにより、一次巻線51の一端から他端に向けて電流が流れ、また、一次巻線51の他端から一端

に向けて電流が流れる。一次巻線 5 1 に方向の異なる電流が交互に流れると、二次巻線 5 2、5 3 には、誘起電圧 V_1 、及び V_2 が発生する。

[0037] 一次側回路 4 0 には、電源線 V_{in+} を介してフルブリッジ回路 2 0 に流れる電流を計測するための第 1 電流検出回路 2 2 が設けられている。この第 1 電流検出回路 2 2 は、スイッチング素子 Q_1 から Q_4 の過電流を防ぐための電流検出回路である。この第 1 電流検出回路 2 2 の検出結果に基づいて、処理ユニット 1 0 は、電源線 V_{in+} を介してフルブリッジ回路 2 0 に所定値以上の過電流が流れたことが検出された場合に、スイッチング素子 Q_1 から Q_4 を瞬時にオフ状態にするようにドライブ回路 1 1 に指示し、スイッチング素子 Q_1 から Q_4 が過電流により破壊されることを防いでいる。

[0038] 一次巻線 5 1 と一次巻線 5 5 とには一次側回路 4 0 のフルブリッジ回路 2 0 が接続される。二次巻線 5 2 及び 5 3 には、この二次巻線 5 2 及び 5 3 に誘起される電圧を全波整流する同期整流回路 6 0 が接続される。電流検出用トランス 5 4 の二次巻線 5 6 には、電流検出回路 7 0 が接続される。

[0039] 次に、二次巻線側の同期整流回路 6 0 の構成について説明する。

同期整流回路 6 0 は、二次巻線 5 2 及び 5 3、同期整流スイッチ回路 6 1、整流平滑回路（チョークコイル L_{11} とコンデンサ C_{11} ）、第 2 電流検出回路 6 2 を備える。同期整流回路 6 0 は、二次巻線 5 2 及び 5 3 に誘起される電圧 V_1 、 V_2 （誘導起電力）を全波整流して直流電圧に変換する。

この同期整流回路 6 0 において、同期整流スイッチ回路 6 1 を構成するスイッチング素子 Q_5 及び Q_6 は、制御部 1 0 1 によりオン状態とオフ状態とのタイミングが制御され、二次巻線 5 2 及び 5 3 に誘起される電圧 V_1 、 V_2 を同期整流する。同期整流回路 6 0 は、同期整流した直流電圧をチョークコイル L_{11} とコンデンサ C_{11} で平滑化し、出力端子 Out_1 と Out_2 を介して、負荷装置 8 0 に電力を供給する。

負荷装置 8 0 は、例えば、ランプや、モータや、或いは、バッテリー等である。

[0040] 同期整流スイッチ回路 6 1 のスイッチング素子 Q_5 及び Q_6 は、例えば M

OSFETで構成されている。そして、スイッチング素子Q5及びQ6のそれぞれには、ボディダイオードD5及びD6が並列に接続されている。つまり、スイッチング素子Q5及びQ6のそれぞれは、ドレイン側に対応するダイオードD5及びD6のカソード端子が接続され、ソース側にアノード端子が接続される。

[0041] 上記同期整流回路60において、トランス50の二次巻線のセンタータップ、つまり、二次巻線52及び53の接続点の端子dは、チョークコイルL11の一端に接続され、チョークコイルL11の他端は、コンデンサC11の正電圧側の電極に接続されるとともに、正電圧側の出力端子Out1に接続されている。

また、二次巻線52の端子cには、同期整流スイッチ回路61内のスイッチング素子Q6のドレインが接続され、スイッチング素子Q6のソースは、基準電位線GNDを介して、基準電位側の出力端子Out2に接続されている。

また、二次巻線53の端子eには、同期整流スイッチ回路61内のスイッチング素子Q5のドレインが接続され、スイッチング素子Q5のソースは、基準電位線GNDを介して出力端子Out2に接続されている。

[0042] 上記構成において、処理ユニット10は、二次巻線52、53に電圧V2、V3が誘起されるタイミングに同期して、スイッチング素子Q5及びQ6のオン状態とオフ状態とのタイミングを制御する。このように、スイッチング素子Q5及びQ6をオン状態とオフ状態と制御することにより、ダイオードD5及びD6の順方向電圧Vfにより発生する電力損失を低減することができる。

[0043] また、同期整流回路60には、スイッチング素子Q5（或は、スイッチング素子Q5及びQ6の両方）に流れる電流を計測する第2電流検出回路62が設けられている。第2電流検出回路62は、計測したスイッチング素子Q5（或は、スイッチング素子Q5及びQ6の両方）に流れる電流を示す信号を処理ユニット10に出力する。

[0044] 次に、電流検出回路 70 について説明する。

電流検出回路 70 は、電流検出用トランス 54 の二次巻線 56、整流回路 71、ダイオード 72、分圧回路 73、及び第 3 電流検出回路 74 を備える。

ここで、一次巻線 51、二次巻線 52、53 は、トランス 50 を構成し、一次巻線 55、二次巻線 56 は、電流検出用トランス 54 を構成する。

[0045] 本実施形態の電源装置 1 では、電流検出用トランス 54 と電流検出回路 70 とを用いて、一次巻線 51 に流れる電流を検出することにより、出力電流 I_o を間接的に検出するように構成されている。これは、同期整流回路 60 のチョークコイル L_{11} に直列に電流検出用トランスを挿入して出力電流 I_o を検出する場合、例えば、100A を超えるような出力電流 I_o を検出する場合には、電流検出用トランスの検出値にノイズが重畳することがあり、また、発熱の問題が発生する可能性がある。そこで、一次巻線 51 に流れる一次側電流を電流検出用トランス 54 で検出することにより、出力電流 I_o を検出している。なお、同期整流回路 60 内で出力電流 I_o を検出してもよい。

[0046] 電流検出回路 70 は、電流検出用トランス 54 の二次巻線 56 の端子 m 、 n に接続される整流回路 71 と、ダイオード 72 と分圧回路 73 と、第 3 電流検出回路 74 と、を有している。ダイオード 72 のアノードは、整流回路 71 の一方の端子に接続され、カソードは分圧回路 73 に接続される。分圧回路 73 は、分圧した結果を表す信号 S_1 を処理ユニット 10 に出力する。第 3 電流検出回路 74 の一端は、整流回路 71 の一方の端子に接続され、検出した結果を表す信号 S_2 を処理ユニット 10 に出力する。

[0047] 整流回路 71 は、ダイオードブリッジ回路で構成される全波整流回路である。分圧回路 73 は、抵抗分圧回路で構成されている。ダイオード 72 と分圧回路 73 とで構成される回路は、整流回路 71 から出力される電流 I_{ct} の還流ループを形成する。この分圧回路 73 から処理ユニット 10 に出力される信号 S_1 は、例えば、スイッチング素子 Q_1 から Q_4 の過電流保護用の

信号として用いることができる。

ダイオード 72 は、後述する第 3 電流検出回路 74 のダイオード 741 に
おいて生じる V_f （順方向の電圧降下分）を補償するための電圧補償用のダ
イオードである。

[0048] 第 3 電流検出回路 74 は、電流検出用トランス 54 の二次巻線 56 から整
流回路 71 を介して出力される電流 I_{ct} により、出力電流 I_o を間接的に
検出する。

図 4 A は、第 3 電流検出回路 74 の構成例を示す構成図である。この図 4
A に示すように、第 3 電流検出回路 74 は、ダイオード 741 を介して電流
 I_{ct} により充電されるコンデンサ 742 と、コンデンサ 742 の両端の電
圧を検出するための分圧用の抵抗器 743、744 と、ノイズ吸収用のコン
デンサ 745 と、抵抗器 746 と、で構成されている。

[0049] ダイオード 741 のアノードは、第 3 電流検出回路 74 の入力端子である
。ダイオード 741 のカソードは、抵抗器 743 の一端とコンデンサ 742
の一端とに接続される。ダイオード 741 は、電流のピークを検出する働き
をする。

[0050] 抵抗器 743 の他端は、抵抗器 744 の一端とコンデンサ 745 の一端と
抵抗器 746 の一端とに接続される。

コンデンサ 742 の他端、抵抗器 744 の他端、及びコンデンサ 745 の
他端は、接地される。

コンデンサ 742、コンデンサ 745、抵抗器 743、抵抗器 744、及
び抵抗器 746 によって、所望の応答速度で電流を検出する回路が構成され
る。

抵抗器 746 の他端は、処理ユニット 10 の ADC110 に接続される。

[0051] また、図 4 B は、第 3 電流検出回路 74 の動作を説明するための波形図で
ある。図 4 B において、横軸は時刻、縦軸は電圧と電流である。

第 3 電流検出回路 74 において、図 4 B に示す全波整流波形の電流 I_{ct}
が、整流回路 71 から第 3 電流検出回路 74 に向けて流れると、電流 I_{ct}

により第3電流検出回路74のコンデンサ742が充電される。そして、この電流 I_{ct} により充電されるコンデンサ742の両端の電圧 V_{ct} は、図4Bに示すように、平滑された電圧波形となる。この電圧 V_{ct} は、抵抗器743、744により分圧され、抵抗器744と抵抗器743の接続点N1には、処理ユニット10内のA/D変換器(ADC)110の入力電圧範囲に適合する電圧信号 V_{sc} が生成される。なお、抵抗器744には、並列にノイズ吸収用のコンデンサ745が接続されている。

[0052] そして、この電圧信号 V_{sc} は、抵抗器740を介して、信号S2として、処理ユニット10内のA/D変換器110に入力される。A/D変換器110は、信号S2をA/D変換し、このA/D変換したデジタル値の信号を、制御部101に入力する。

このように、電流検出回路70では、一次巻線51に流れる電流を検出することにより、出力電流 I_o を間接的に検出することができる。

[0053] 上記構成の電源装置1において、処理ユニット10内の制御部101は、ドライブ回路11を介して、フルブリッジ回路20内のスイッチング素子Q1からQ4のそれぞれにゲート信号G1からG4を供給する。つまり、制御部101は、不図示の出力電圧検出回路により、出力電圧 V_{out} を検出し、この出力電圧 V_{out} が一定になるように、スイッチング素子Q1からQ4のオン状態とオフ状態とのタイミング(デューティ比)を制御する。

また、制御部101は、ドライブ回路11を介して、同期整流スイッチ回路61内のスイッチング素子Q5及びQ6のそれぞれにゲート信号G5及びG6を供給する。つまり、制御部101は、スイッチング素子Q5及びQ6のオン状態とオフ状態とのタイミングを制御することにより、スイッチング素子Q5及びQ6に同期整流を行わせる。

[0054] そして、制御部101は、スイッチング素子Q1からQ4のオン状態とオフ状態とのタイミングを制御する場合に、上アーム側のスイッチング素子と、下アーム側のスイッチング素子とが同時にオン状態にすると貫通電流が流れてスイッチング素子が破壊される恐れがあるため、これを回避するために

、同時に2つのスイッチング素子がオフ状態にする期間をデッドタイムとして設けている。

[0055] 図5は、スイッチング素子Q1からQ4のゲート信号の波形を示すタイムチャートである。この図5では、横軸に時間 t を示し、縦軸に、スイッチング素子Q1のゲート信号G1の波形と、スイッチング素子Q2のゲート信号G2の波形と、スイッチング素子Q3のゲート信号G3の波形と、スイッチング素子Q4のゲート信号G4の波形と、一次巻線51に印加される電圧波形と、を並べて示している。なお、各ゲート信号が、ハイ信号(H)の場合に、当該ゲート信号に対応するスイッチング素子がオン状態になり、ロー信号(L)の場合に、当該ゲート信号に対応するスイッチング素子がオフ状態になる。

[0056] この図5において、時刻 t_0 では、スイッチング素子Q1及びQ3がオフ状態にあり、スイッチング素子Q2及びQ4がオン状態にある。つまり、時刻 t_0 において、スイッチング素子Q2及びQ4により、一次巻線51に流れる電流を還流させている状態にある。

そして、時刻 t_0 の後の時刻 t_1 において、制御部101は、ゲート信号G4をLにしてスイッチング素子Q4をオフ状態にし、この時刻 t_1 から所定のデッドタイム DT_{34} を経過した時刻 t_2 において、ゲート信号G3をHにしてスイッチング素子Q3をオン状態にする。これは、スイッチング素子Q4をオフ状態にした後に、スイッチング素子Q3を直ちにオン状態にすると、スイッチング素子Q4のターンオフタイムによる動作遅れにより、スイッチング素子Q3とスイッチング素子Q4により貫通電流が流れるためである。これを回避するために、デッドタイム DT_{34} を設ける。

[0057] そして、時刻 t_2 の後の時刻 t_3 において、制御部101は、ゲート信号G2をLにしてスイッチング素子Q2をオフ状態にする。つまり、時刻 t_2 から時刻 t_3 までの期間において、一次巻線51に負極性の電圧が印加される。なお、ここで、負極性の電圧とは、一次巻線51の端子bの電位が、端子aの電位よりも高い状態を表す。

[0058] 続いて、時刻 t_3 においてスイッチング素子 Q_2 がオフ状態になった後、所定のデッドタイム DT_{12} が経過した時刻 t_4 において、制御部 101 は、ゲート信号 G_1 を H にしてスイッチング素子 Q_1 をオン状態にする。つまり、スイッチング素子 Q_2 をオフ状態にした後に、スイッチング素子 Q_1 を直ちにオン状態にすると、スイッチング素子 Q_2 のターンオフタイムによる動作遅れにより、スイッチング素子 Q_1 とスイッチング素子 Q_2 に貫通電流が流れる恐れがある。これを回避するために、デッドタイム DT_{12} を設ける。

[0059] そして、時刻 t_4 の後の時刻 t_5 において、制御部 101 は、ゲート信号 G_3 を L にしてスイッチング素子 Q_3 をオフ状態にする。従って、時刻 t_4 から時刻 t_5 の間は、スイッチング素子 Q_1 及び Q_3 がオン状態になり、スイッチング素子 Q_1 及び Q_3 により、一次巻線 51 に流れる電流を還流させている状態になる。

[0060] 続いて、時刻 t_5 においてスイッチング素子 Q_3 がオフ状態になった後、所定のデッドタイム DT_{34} が経過した時刻 t_6 において、制御部 101 は、ゲート信号 G_4 を H にしてスイッチング素子 Q_4 をオン状態にする。つまり、スイッチング素子 Q_3 をオフ状態にした後に、スイッチング素子 Q_4 を直ちにオン状態にすると、スイッチング素子 Q_3 のターンオフタイムによる動作遅れにより、スイッチング素子 Q_3 及び Q_4 に貫通電流が流れる恐れがある。これを回避するために、デッドタイム DT_{34} を設ける。

[0061] そして、時刻 t_6 の後の時刻 t_7 において、制御部 101 は、ゲート信号 G_1 を L にしてスイッチング素子 Q_1 をオフ状態にする。つまり、時刻 t_6 から時刻 t_7 までの期間において、一次巻線 51 に正極性の電圧が印加される。なお、ここで、正極性の電圧とは、一次巻線 51 の端子 a の電位が、端子 b の電位よりも高い状態を意味している。

[0062] 続いて、時刻 t_7 においてスイッチング素子 Q_1 がオフ状態になった後、所定のデッドタイム DT_{12} が経過した時刻 t_8 において、制御部 101 は、ゲート信号 G_2 を H にしてスイッチング素子 Q_2 をオン状態にする。つま

り、スイッチング素子Q1をオフ状態にした後に、スイッチング素子Q2を直ちにオン状態にすると、スイッチング素子Q1のターンオフタイムによる動作遅れにより、スイッチング素子Q1及びQ2に貫通電流が流れる恐れがある。これを回避するために、デッドタイムDT12を設ける。

[0063] そして、時刻t8の後の時刻t9において、制御部101は、ゲート信号G4をLにしてスイッチング素子Q4をオフ状態にする。つまり、時刻t8から時刻t9までの期間は、スイッチング素子Q2及びQ4がオン状態になり、スイッチング素子Q2及びQ4により、一次巻線51に流れる電流を還流させている状態になる。

その後の時刻t9以降の動作は、上述した時刻t1以降の動作が繰り返される。

なお、図5に示す位相シフト量 Δ は、上アーム側のスイッチング素子Q1のゲート信号G1と、上アーム側のスイッチング素子Q3のゲート信号G3との、位相差を示している。

[0064] また、図6は、記憶部30に記憶されるデッドタイムテーブル31の例を示す説明図である。この図6に示すように、記憶部30には、デッドタイムのデータがテーブルの形式で記憶されている。つまり、フルブリッジ回路20を構成するスイッチング素子のデッドタイムDT12とデッドタイムDT34とが、電源装置1の出力電流I_oに関連づけられてテーブルの形式で記憶されている。制御部101は、電源装置1の出力電流I_oの大きさに応じて、図6に示すデッドタイムテーブル31を参照する。

なお、このデッドタイムテーブル31は、記憶部30内において、EEPROM (Electrically Erasable Programmable Read-Only Memory) に記憶されている。

[0065] また、デッドタイムテーブル31に記憶されるデッドタイムの初期値のデータは、例えば、ドライブ回路11の遅延時間のバラツキの平均値と、スイッチング素子Q1からQ4の特性のバラツキの平均値とに対応して、最適デッドタイムとして推定される値を用いることができる。この初期値のデータ

は、出力電流値ゼロ（0）、101、102、103、104、105、106ごとに設定される値である。つまり、デッドタイムテーブル31に記憶される初期値のデータは、ドライブ回路11の遅延時間と、スイッチング素子Q1からQ4の特性とが上記平均値に一致する場合に、最適なデッドタイムとなる。

[0066] そして、制御部101は、例えば、出力電流10の値が103の場合に、デッドタイムDT12として、デッドタイムdt4を選択し、また、デッドタイムDT34として、デッドタイムdt4'を選択する。そして、制御部101は、図3に示したゲート信号G1からG4を生成する場合に、デッドタイムdt4及びデッドタイムdt4'を用いて、ゲート信号G1からG4を生成する。

[0067] また、図7A～図7Cは、デッドタイムがDT1、DT2、DT3の場合におけるスイッチング素子のドレイン・ソース間電圧Vdsの例を示す波形図である。ただし、 $DT1 < DT2 < DT3$ である。この波形図は、例えば、スイッチング素子Q2のドレイン・ソース間電圧Vdsの波形の例である。図7AはデッドタイムがDT1である場合の波形であり、図7BはデッドタイムがDT2である場合の波形であり、図7CはデッドタイムがDT3である場合の波形である。図7A～図7Cにおいて、横軸は時刻、縦軸は電圧である。

この波形図に示すように、スイッチング素子Q2のドレイン・ソース間電圧は、オン状態にあるゼロ電圧に近い値から、オフ状態の電圧Voffに上昇する際に、部分共振波形となる。このため、スイッチング素子Q2をどの時点でスイッチングを行うかにより、スイッチング素子Q2のターンオフ時のスイッチングロス（スイッチング損失）が変化する。つまり、デッドタイムDTを変化させることにより波形が変化し、この波形の変化に伴い、スイッチングロスが変化する。他のスイッチング素子についても同様である。

[0068] 例えば、図8は、デッドタイムを変化させた場合の電力変換効率の測定例を示す説明図である。

この図 8 は、前述の図 2 に示すように、電源装置 1 の入力側に電圧計 5 と電流計 6 とを配置し、電源装置 1 の出力側に電圧計 7 と電流計 8 とを配置する。そして、基準となるデッドタイム（基準デッドタイム）を、＋方向（時間を延ばす方向）と、－方向（時間を短くする方向）とに、所定の時間 ΔT を単位時間として変化させる。

[0069] この図 8 に示す例では、出力電流 I_o が一定の条件の基で、基準となるデッドタイムを 0 とし、デッドタイムを、基準デッドタイムから＋方向に、＋3（基準デッドタイム＋ $3 \times \Delta T$ ）まで変化させ、－方向に、－3（基準デッドタイム－ $3 \times \Delta T$ ）まで変化させている。そして、検査装置 2 は、デッドタイムの時間幅に応じて変化する電力変換効率 e を計測する。この図 8 に示す例では、デッドタイムが「0（基準デッドタイム）」の場合に、最も高い電力変換効率 e_{11} となり、デッドタイムが「＋3（基準デッドタイム＋ $3 \times \Delta T$ ）」の場合に、電力変換効率が最も低くなる。

[0070] 図 9 A は、デッドタイムを変化させた場合の電力変換効率の変化を示すグラフであり、図 8 に示した電力変換効率 e の測定結果をグラフで示した図である。

この図 9 A では、横軸に、デッドタイムの変化を示し、縦軸に電力変換効率のレベルを示している。この図 9 では、基準となるデッドタイムを 0 とし、この基準となるデッドタイムを、＋方向と、－方向とに、所定の時間 ΔT を単位時間として変化させた場合の電力変換効率の変化特性を示している。また、縦軸において、符号 e_1 から e_{12} は、電力変換効率のレベルを示している。

この図 9 A の特性曲線 A 1 に示すように、デッドタイムを変化させることにより、電力変換効率が変わり、この例では、デッドタイムがゼロ（0）、つまり、デッドタイムが基準デッドタイムである場合に、電力変換効率が最高になる。

[0071] 一方、ドライブ回路 11 の遅延時間のバラツキや、スイッチング素子 Q 1 から Q 4 の特性のバラツキにより、デッドタイムに対する電力変換効率の特

性が変化する。図 9 B は、スイッチング素子の特性のバラツキによる電力変換効率の変化の例を示すグラフである。

この図 9 B の特性曲線 B 1 に示すように、デッドタイムが + 1 (基準デッドタイム + ΔT) の時に、電力変換効率が最高の効率になることがある。

[0072] このような場合、検査装置 2 は、「基準デッドタイム + ΔT 」のデッドタイムを、電力変換効率 e が最大となる最適デッドタイムと判定し、この最適デッドタイムと、この最適デッドタイムが適用される出力電流値の情報とを、電源装置 1 に送信する。電源装置 1 は、検査装置 2 から受信した最適デッドタイムと出力電流値の情報に基づいて、記憶部 30 内のデッドタイムテーブル 31 を最適デッドタイムのデータに書き換える。

なお、デッドタイムには、図 5 に示すように、デッドタイム DT_{12} とデッドタイム DT_{34} の 2 種類があり、上記最適デッドタイムの設定は、各出力電流 I_o の値に応じて、デッドタイム DT_{12} とデッドタイム DT_{34} のそれぞれについて設定される。

[0073] また、図 10 は、最適デッドタイムの設定処理の流れを示すフローチャートである。この図 10 は、上述した電源装置 1 と検査装置 2 とにおける最適デッドタイムの設定処理の流れを、フローチャートで示したものである。

なお、デッドタイムには、図 5 に示したように、デッドタイム DT_{12} と、デッドタイム DT_{34} の 2 種類があるが、デッドタイム DT_{12} とデッドタイム DT_{34} のそれぞれについて、最適デッドタイムの設定処理が行われる。ここで、デッドタイム DT_{12} とデッドタイム DT_{34} についての最適デッドタイムの設定の順番は、何れが先であってもよく、例えば、デッドタイム DT_{12} を設定した後に、デッドタイム DT_{34} の設定を行う。

[0074] また、図 2 で説明したように、検査装置 2 により最適デッドタイムを判定する場合、電源装置 1 の入力電圧 V_{in} と、出力電圧 V_{out} と、出力電流 I_o とが一定になるように設定して、入電流が最小になる場合のデッドタイムを、最適デッドタイムとして判定する簡易な方法がある。

この図 10 で示す例は、図 2 で説明した簡易な方法とは異なり、検査装置

2が、電源装置1の入力電圧 V_{in} と、出力電圧 V_{out} と、出力電流 I_o と、入力電流 I_{in} を取得して電力変換効率を測定し、この測定結果に基づいて最適デッドタイムを判定する例を示している。

[0075] 以下、図10を参照して、最適デッドタイムの設定処理の手順について説明する。

なお、図2に示すように、電源装置1の入力側に、入力電圧 V_{in} を測定する電圧計5と、入力電流 I_{in} を測定する電流計6とが予め配置され、また、電源装置1の出力側に、出力電圧 V_{out} を測定する電圧計7と、出力電流 I_o を測定する電流計8とが予め配置されているものとする。

[0076] まず、最初に、電源装置1及び検査装置2は、入力電圧 V_{in} と、出力電圧 V_{out} と、出力電流 I_o とが一定になるように設定する（ステップS110）。例えば、負荷装置80として、電子負荷装置を用いて、出力電流 I_o が一定になるようにする。

電源装置1の制御部101は、出力電流 I_o に応じたデッドタイムを、デッドタイムテーブル31から読み出し、ドライブ回路11を介して、ゲート信号G1からG4を生成する。なお、この最適デッドタイムの設定処理の開始の時点において、デッドタイムは、基準デッドタイムとなる。

[0077] 続いて、検査装置2は、入力電圧 V_{in} と、出力電圧 V_{out} と、出力電流 I_o と、入力電流 I_{in} と、を取得し、基準デッドタイムにおける電力変換効率を算出し、この電力変換効率のデータを記憶部204に記憶する（ステップS120）。

続いて、検査装置2は、デッドタイムを現在のデッドタイムを増加方向に+1（ ΔT 増加）するように電源装置1に指示する（ステップS130）。このステップS130の処理が最初に行われる場合、デッドタイムは、「基準デッドタイム+1× ΔT 」となる。

続いて、電源装置1は、検査装置2からの指示に基づいて、現在のデッドタイムを+1（ ΔT 増加）した新たなデッドタイムをデッドタイムテーブル31に記憶して、デッドタイムを変更する。電源装置1の制御部101は、

この変更されたデッドタイムに基づいて、ゲート信号G 1からG 4を生成し、スイッチング素子Q 1からQ 4を駆動する（ステップS 1 4 0）。

[0078] 続いて、検査装置2は、入力電圧 V_{in} と、出力電圧 V_{out} と、出力電流 I_o と、入力電流 I_{in} と、を取得し、電力変換効率を算出し、この電力変換効率のデータを記憶部204に記憶する（ステップS 1 5 0）。

続いて、検査装置2は、デッドタイムを+3（基準デッドタイム+ $3 \times \Delta T$ ）まで変更したか否かを判定する（ステップS 1 6 0）。そして、ステップS 1 6 0の判定処理において、デッドタイムを+3まで変更していないと判定された場合（ステップS 1 6 0：NO）、検査装置2は、ステップS 1 3 0の処理に戻り、デッドタイムの変更と、電力変換効率の計測処理とを継続する。

[0079] 一方、ステップS 1 6 0の判定処理において、デッドタイムを+3まで変更したと判定された場合（ステップS 1 6 0：YES）、検査装置2は、ステップS 1 7 0の処理に移行する。

そして、検査装置2は、デッドタイムを-1にする（ステップS 1 7 0）。また、検査装置2は、ステップS 2 0 0において-3ではないと判定された場合、デッドタイムを-1だけ減算する。例えば、デッドタイムが-1の場合、この処理によってデッドタイムは、-2になる。

続いて、電源装置1は、-1にしたデッドタイムまたは1減算したデッドタイムをデッドタイムテーブル31に記憶して、デッドタイムを変更する。電源装置1は、この変更されたデッドタイムに基づいて、ゲート信号G 1からG 4を生成し、スイッチング素子Q 1からQ 4を駆動する（ステップS 1 8 0）。

[0080] 続いて、検査装置2は、入力電圧 V_{in} と、出力電圧 V_{out} と、出力電流 I_o と、入力電流 I_{in} と、を取得し、電力変換効率を算出し、この電力変換効率のデータを記憶部204に記憶する（ステップS 1 9 0）。

続いて、検査装置2は、デッドタイムを-3（基準デッドタイム- $3 \times \Delta T$ ）まで変更したか否かを判定する（ステップS 2 0 0）。そして、ステッ

プS 2 0 0の判定処理において、デッドタイムを-3まで変更していないと判定された場合（ステップS 2 0 0：N O）、検査装置2は、ステップS 1 7 0の処理に戻り、デッドタイムの変更と、電力変換効率の計測処理とを継続する。

[0081] 一方、ステップS 2 0 0の判定処理において、デッドタイムを-3まで変更したと判定された場合（ステップS 2 0 0：Y E S）、検査装置2は、ステップS 2 1 0の処理に移行する。

そして、検査装置2は、デッドタイムを基準デッドタイムから±3方向に変化させて計測した電力変換効率のデータに基づいて、電力変換効率が高くなるデッドタイムを判定する。つまり、検査装置2は、入力電流 I_{in} が一番低くなるデッドタイムを最適デッドタイムと判定する（ステップS 2 1 0）。

続いて、検査装置2は、最適デッドタイムの情報を電源装置1に通知する（ステップS 2 2 0）。

続いて、電源装置1は、検査装置2から通知された最適デッドタイムを、記憶部30内のデッドタイムテーブル31に書き込む（ステップS 2 3 0）。

そして、このステップS 2 3 0の処理を実行した後に、電源装置1と検査装置2とは、このPCS 4 0の最適デッドタイムの設定処理を終える。

[0082] そして、検査装置2は、上記ステップS 1 1 0からS 2 3 0までの処理を、異なる幾つかの出力電流 I_o に対して繰り返し実行し、それぞれの電流値に応じた最適デッドタイムを判定して電源装置1に通知する。

電源装置1は、検査装置2から取得した最適デッドタイムをデッドタイムテーブル31に書き込むことにより、デッドタイムテーブル31に最適デッドタイムを設定する。

[0083] なお、検査装置2は、異なる幾つかの出力電流 I_o に対してデッドタイムの補正を行う場合に、測定対象となる1つ目の出力電流 I_o に対応するデッドタイムを決定するとき、デッドタイムを正負の方向の何れの方向に変化さ

せたときに電力変換効率が最も大きくなったかを記憶してもよい。例えば、デッドタイムを正方向に変化させたときに電力変換効率が最も大きくなると判定された場合、検査装置 2 は、2 つ目の出力電流に対するデッドタイムを決定する際に、正方向からデッドタイムを変化させ、電力変換効率が下がり始め、ピークを迎えたことが検出された時点でデッドタイムの調整を終了してもよい。

[0084] [第 2 実施形態]

図 3 に示した電源装置 1 では、一次巻線 5 1 に流れる電流を、電流検出用トランス 5 4 と電流検出回路 7 0 とを用いて検出することにより、出力電流 I_o を間接的に測定している。勿論、出力電流 I_o は、同期整流回路 6 0 内に電流検出回路を設けて検出してもよい。

[0085] 図 1 1 は、本発明の第 2 実施形態に係る電源装置 1 A の構成例を示す構成図である。

この図 1 1 に示す電源装置 1 A は、図 3 に示す電源装置 1 と比較すると、図 3 に示す一次巻線 5 1 側の電流検出用トランス 5 4 と、電流検出回路 7 0 とを除外し、代わりに、同期整流回路 6 0 内に、電流検出用トランス 6 3 と、出力電流検出回路 6 4 とを新たに追加した点が構成上で異なる。また、図 3 に示す第 1 電流検出回路 2 2 と、第 2 電流検出回路 6 2 とを省略した点が構成上で異なる。

他の構成は、図 3 に示す電源装置 1 と同様である。このため、同一の構成部分には同一の符号を付し、重複する説明は省略する。

[0086] この図 1 1 に示す電源装置 1 A では、チョークコイル L_{11} と出力端子 Out_1 との間に電流検出用トランス 6 3 を挿入し、この電流検出用トランス 6 3 により、電源装置 1 A から負荷装置 8 0 に流れる出力電流 I_o を検出する。

電流検出用トランス 6 3 の二次側には、二次巻線側に流れる電流の還流ループを形成するとともに、出力電流 I_o の電流値を検出するための出力電流検出回路 6 4 が接続されている。この出力電流検出回路 6 4 には、例えば、

図４に示した第３電流検出回路７４と同様な回路が内蔵されており、出力電流検出回路６４により検出された電流信号 I_s が、処理ユニット１０に入力される。

そして、上記電源装置１Ａにおける最適デッドタイムの設定動作は、出力電流 I_o を同期整流回路６０内の電流検出用トランス６３で検出する点を除いて、第１実施形態の電源装置１と同様に行われる。このため、重複する説明は、省略する。

このように、第２実施形態の電源装置１Ａでは、出力端子 $Out1$ から負荷装置８０に流れる出力電流 I_o を直接検出することにより、出力電流 I_o の値に応じた最適デッドタイムを設定することができる。

[0087] [第３実施形態]

上述した第１実施形態及び第２実施形態では、一次巻線５１をフルブリッジ回路２０で駆動する例について説明したが、本発明は、一次巻線５１を、ハーフブリッジ回路で駆動する場合においても、効果的に適用できるものである。

[0088] 図１２は、本発明の第３実施形態に係る電源装置１Ｂの構成例を示す構成図である。

この図１２に示すハーフブリッジ回路２０Ａを備える電源装置１Ｂの回路構成は、一般的によく知られたものである。このハーフブリッジ回路２０Ａは、スイッチング素子 $Q1$ 及び $Q2$ を交互にオン状態、オフ状態し、コンデンサ $C2$ 、 $C3$ に蓄積された電荷により、一次巻線５１を駆動する。そして、二次巻線５２、５３に誘起される電圧を、同期整流回路６０（或いは、ダイオード整流回路）により全波整流し、チョークコイル $L11$ を介して負荷装置８０に給電する。

そして、このハーフブリッジ回路２０Ａでは、スイッチング素子 $Q1$ 及び $Q2$ の出力容量と、トランス５０のリーケージインダクタンス（漏れインダクタンス）とを共振させることにより、スイッチング素子 $Q1$ 及び $Q2$ を零電圧近くでスイッチングし、スイッチング素子 $Q1$ 及び $Q2$ のスイッチング

ロスを低減している。

[0089] 上記構成において、スイッチング素子Q 1及びQ 2のオン状態とオフ状態との遷移期間に、スイッチング素子Q 1及びQ 2が同時にオフ状態になるデッドタイムを設けている。このデッドタイムにおいては、上述した第1実施形態のフルブリッジ回路20の場合と同様に、スイッチングロスが発生する。

このスイッチングロスを低減するために、検査装置2は、第1実施形態の電源装置1と同様な方法により最適デッドタイムを判定して、電源装置1B内の記憶部30に最適デッドタイムを設定する。

これにより、トランス50に一次側にハーフブリッジ回路20Aを用いた電源装置1Bにおいても、最適なデッドタイムを設定することができる。

[0090] また、本発明の電源装置は、フォワード型のDC-DCコンバータ装置に於いて、主スイッチング素子のスイッチング時に部分共振作用を利用して、スイッチング時の損失の発生を低減する場合にも効果的に適用できるものである。

さらに、本発明の電源装置は、プッシュプル型のDC/DCコンバータ装置にも効果的に適用できるものである。

[0091] なお、ここで、本発明と上記実施形態との対応関係について補足して説明する。上記実施形態において、本発明における電源装置は、電源装置1、電源装置1A、又は、電源装置1Bが対応する。また、本発明における第1デッドタイムは、記憶部30のデッドタイムテーブル31に記憶されるデータであって、最適デッドタイムに書き換えられる前のデッドタイムのデータが対応する。また、第2デッドタイムは、検査装置2により判定された最適デッドタイムが対応し、記憶部30のデッドタイムテーブル31は、最終的に、この最適デッドタイムに書き換えられる。

また、本発明におけるスイッチング回路は、フルブリッジ回路20又はハーフブリッジ回路20Aが対応し、本発明におけるスイッチング素子は、例えば、フルブリッジ回路20内のスイッチング素子Q 1からQ 4が対応する

。

[0092] (1) そして、上記実施形態において、電源装置 1 は、スイッチング回路（フルブリッジ回路 20）を構成するスイッチング素子（Q1 から Q4）の第 1 デッドタイムを記憶する記憶部 30 と、入力電流の測定結果に基づいて設定された第 2 デッドタイムの情報を外部入力する取得部 102 と、記憶部 30 に記憶された第 1 デッドタイムを取得部 102 が取得した第 2 デッドタイムに書き換える書換部 103 と、記憶部 30 に記憶された第 2 デッドタイムに応じてスイッチング素子（Q1 から Q4）を制御する制御部 101 と、を備える。

このような構成の電源装置 1 では、入力電流の測定結果に基づいて設定された第 2 デッドタイム（最適デッドタイム）を外部から取得し、記憶部 30 に記憶された第 1 デッドタイムのデータを第 2 デッドタイムに書き換える。制御部 101 は、第 2 デッドタイムに応じてスイッチング素子を制御する。

これにより、電源装置 1 は、入力電流を測定するための回路やデッドタイムを決定する新たな回路を製品の内部に追加することなく、入力電流が最も少なくなる第 2 デッドタイム（最適デッドタイム）を製品毎に設定できる。

[0093] (2) 上記実施形態において、取得部 102 は、電力変換効率の測定結果に基づいて設定された第 2 デッドタイムの情報を外部入力する。

このような構成の電源装置 1 では、電力変換効率の測定結果に基づいて設定された第 2 デッドタイム（最適デッドタイム）を外部から取得し、記憶部 30 に記憶された第 1 デッドタイムのデータを第 2 デッドタイムに書き換える。制御部 101 は、第 2 デッドタイムに応じてスイッチング素子を制御する。

これにより、電源装置 1 は、電力変換効率を測定するための回路やデッドタイムを決定する回路を製品の内部に追加することなく、電力変換効率が最大になる第 2 デッドタイム（最適デッドタイム）を製品毎に設定できる。

[0094] (3) 上記実施形態において、取得部 102 は、第 2 デッドタイムを取得する際に、入出力電流と入出力電圧に基づいて第 2 デッドタイムを判定する

デッドタイム設定部（検査装置２）から、第２デッドタイムを入力する。

このような構成の電源装置１であれば、デッドタイム設定部（検査装置２）が、電源装置１の入出力電流と入出力電圧に基づいて第２デッドタイムを判定し、電源装置１の取得部１０２は、デッドタイム設定部（検査装置２）から第２デッドタイムの情報を取得して、この第２デッドタイムを記憶部３０に記憶する。

これにより、デッドタイム設定部（検査装置２）は、電力変換効率が最大になる第２デッドタイム（最適デッドタイム）を、電源装置１の入出力電流と入出力電圧に基づいて決定し、電源装置１は、この第２デッドタイムの情報をデッドタイム設定部（検査装置２）から取得して記憶部３０に記憶することができる。

[0095] （４）また、上記実施形態の電源装置１において、第２デッドタイム（最適デッドタイム）は、電源装置１への入力電圧 V_{in} 、電源装置１からの出力電圧 V_{out} 、及び電源装置１からの出力電流 I_o を一定に保った状態で、記憶部３０に記憶された第１デッドタイムが変化させられたときに、電源装置１の入力電流 I_{in} が最も少なくなる値である。

このような構成の電源装置１あれば、電源装置１の入力電圧 V_{in} 、電源装置１からの出力電圧 V_{out} 、及び電源装置１からの出力電流 I_o を一定に保った状態で、デッドタイムを変化させて、入力電流 I_{in} を測定する。そして、電源装置１は、入力電流が最も少なくなるときのデッドタイムである第２デッドタイム（最適デッドタイム）の情報を、取得部１０２により取得し、この第２デッドタイムを記憶部３０に記憶する。

これにより、電源装置１は、入力電圧 V_{in} 、出力電圧 V_{out} 、及び出力電流 I_o を一定に保った状態で、入力電流 I_{in} が最も少なくなるときのデッドタイムを、第２デッドタイム（最適デッドタイム）を取得部１０２により取得し、記憶部３０に記憶することができる。

[0096] （５）また、本発明の電源装置において、記憶部３０には、出力電流と第１デッドタイムとの関係が、出力電流毎に記憶され、書換部１０３は、記憶

部 30 に記憶された出力電流毎の第 1 デッドタイムを、取得部 102 が取得した出力電流毎の第 2 デッドタイムにそれぞれ書き換える。

このような構成の電源装置であれば、記憶部 30 には、出力電流と第 1 デッドタイムとの関係が、出力電流毎に記憶される。そして、電源装置 1 は、取得部 102 により、出力電流毎の第 2 デッドタイムの情報を取得し、記憶部 30 に記憶された出力電流毎の第 1 デッドタイムを、取得部 102 が取得した出力電流毎の第 2 デッドタイムにそれぞれ書き換える。

これにより、電源装置 1 は、出力電流毎に、第 2 デッドタイム（最適デッドタイム）を設定することができる。

[0097] (6) また、本発明の電源装置において、前記スイッチング素子は、ハーフブリッジ回路又はフルブリッジ回路を構成する素子である。

このような構成の電源装置であれば、ハーフブリッジ回路又はフルブリッジ回路を構成するスイッチング素子に対して、電力変換効率を最大にする第 2 デッドタイム（最適デッドタイム）を設定することができる。

[0098] (7) また、本発明の電源装置 1 において、ハーフブリッジ回路又はフルブリッジ回路（フルブリッジ回路 20）において、スイッチング素子（Q1 から Q4）は、部分共振作用を利用してスイッチングされる。

このような構成の電源装置 1 であれば、部分共振型のフルブリッジ回路又はハーフブリッジ回路を構成するスイッチング素子（Q1 から Q4）に対して、電力変換効率を最大にする第 2 デッドタイム（最適デッドタイム）を設定することができる。

[0099] (8) また、本発明の検査装置 2 は、スイッチング回路（フルブリッジ回路 20）のスイッチング素子（Q1 から Q4）の第 1 デッドタイムが、外部入力されるデッドタイムの情報により変更可能な電源装置 1 に対して、第 1 デッドタイムを変更するように指示して電源装置の入力電流を計測する測定部 201 と、測定部 201 により計測された入力電流の測定値に基づいて、最も入力電流が少なくなるときのデッドタイムを第 2 デッドタイムと判定する判定部 202 と、第 2 デッドタイムの情報を電源装置 1 に通知して、電源

装置 1 において第 1 デッドタイムを第 2 デッドタイムに設定させる書込部 203 と、を備える。

このような構成の検査装置 2 では、電源装置 1 に対して、第 1 デッドタイムを変更するように指示して、スイッチング素子（Q 1 から Q 4）のデッドタイムを変更させながら、電源装置 1 の入力電流を計測する。そして、検査装置 2 は、入力電流の測定結果に基づいて、入力電流が最も少なくなるデッドタイムを、第 2 デッドタイム（最適デッドタイム）と判定する。そして、検査装置 2 は、このデッドタイムの情報を電源装置 1 に通知して、電源装置 1 において第 1 デッドタイムを第 2 デッドタイムに設定させる。

これにより、検査装置 2 は、電源装置 1 のスイッチング回路（フルブリッジ回路 20）のスイッチング素子（Q 1 から Q 4）のデッドタイムを変更させながら、入力電流を測定して、第 2 デッドタイム（最適デッドタイム）を判定することができる。そして、検査装置 2 は、この第 2 デッドタイムを電源装置 1 に通知して、記憶部 30 に記憶させることができる。

このため、電源装置 1 は、入力電流を測定するための新たな回路やデッドタイムを決定する回路を製品の内部に追加することなく、入力電流が最も少なくなる第 2 デッドタイム（最適デッドタイム）を製品毎に設定することができる。

[0100] （9）また、本発明の検査装置 2 において、測定部 201 は、電源装置 1 への入力電圧、電源装置 1 からの出力電圧、及び電源装置 1 からの出力電流を一定に保った状態で、電源装置 1 に対して、第 1 デッドタイムを変更するように指示して電力変換効率を計測し、判定部 202 は、測定部 201 により計測された入力電流の測定値に基づいて、電力変換効率が最も高くなるときのデッドタイムを第 2 デッドタイムとして判定する。

このような構成の検査装置であれば、検査装置は、電源装置への入力電圧、電源装置からの出力電圧、及び電源装置からの出力電流を一定に保った状態で、電源装置に対して第 1 デッドタイムを変更するように指示して電力変換効率を計測し、電源装置の電力変換効率が最も高くなるときのデッドタイ

ムを第2デッドタイムとして判定する。

これにより、検査装置は、電力変換効率を測定することにより、第2デッドタイム（最適デッドタイム）を、容易に判定することができる。

[0101] （10）また、本発明の電源装置1の最適化方法は、電源装置1のスイッチング回路（フルブリッジ回路20）を構成するスイッチング素子（Q1からQ4）のデッドタイムを検査装置2により最適化する電源装置1の最適化方法であって、電源装置1が、第1デッドタイムを検査装置2からの指示により変更する手順を含み、検査装置2が、電源装置1に対して、第1デッドタイムを変更させるように指示するとともに、電源装置1の入力電流を測定する手順と、検査装置2が、入力電流の測定結果に基づいて、最も入力電流が少なくなる時のデッドタイムを第2デッドタイムと判定する手順と、検査装置2が、第2デッドタイムの情報を電源装置1に通知して、電源装置1において、第1デッドタイムを第2デッドタイムに設定させる手順と、を含むことを特徴とする。

このような電源装置1の最適化方法であれば、検査装置2は、スイッチング素子（Q1からQ4）の第1デッドタイムが変更可能な電源装置1に対して、第1デッドタイムを変更するように指示して電源装置1の入力電流を測定する。そして、検査装置2は、この入力電流の測定結果に基づいて、入力電流が最も少なくなる第2デッドタイム（最適デッドタイム）を判定する。そして、検査装置2は、第2デッドタイムの情報を電源装置1に送信して、電源装置1において第1デッドタイムを第2デッドタイムに設定させる。

これにより、電源装置1は、入力電流を測定するための回路やデッドタイムを決定する新たな回路を製品の内部に追加することなく、入力電流が最も少なくなる最適デッドタイムを製品毎に設定できる。

[0102] （11）また、本発明の電源装置1の最適化方法は、第2デッドタイムは、電源装置1への入力電圧、電源装置1からの出力電圧、及び電源装置1からの出力電流を一定に保った状態で、第1デッドタイムが変化させられたとき、電源装置1の入力電流が最も少なくなる値である。

このような電源装置 1 の最適化方法であれば、検査装置 2 は、電源装置 1 への入力電圧、電源装置 1 からの出力電圧、及び電源装置 1 からの出力電流を一定に保った状態で、デッドタイムを変化させる。そして、検査装置 2 は、入力電流が最も少なくなるときのデッドタイムを第 2 デッドタイム（最適デッドタイム）と判定する。

これにより、検査装置 2 は、入力電流を測定することにより、電源装置 1 の最適デッドタイム（第 2 デッドタイム）を容易に判定することができる。

[0103] (12) また、電源装置 1 の最適化方法において、検査装置 2 が、第 1 の出力電流に対する第 2 デッドタイムを決定したとき、第 1 デッドタイムを変化させた正負方向を示す情報に基づいて第 2 の出力電流に対する第 2 デッドタイムを決定する手順を含む。

このような電源装置 1 の最適化方法であれば、検査装置 2 は、異なる幾つかの出力電流に対してデッドタイムの補正を行う場合に、測定対象となる 1 つ目の出力電流に対応するデッドタイムを決定するとき、デッドタイムを正負の方向の何れの方向に変化させたときに、入力電流が最も少なくなった、または電力変換効率が最も大きくなったかを記憶する。例えば、デッドタイムを正方向に変化させたときに電力変換効率が最も大きくなると判定された場合、検査装置 2 は、2 つ目の出力電流に対するデッドタイムを決定する際に、正方向からデッドタイムを変化させ、電力変換効率が下がり始め、ピークを迎えたことが検出された時点でデッドタイムの調整を終了する。

これにより、検査装置 2 は、幾つかの出力電流に対してデッドタイムの補正を行う場合に、迅速に第 2 デッドタイム（最適デッドタイム）を判定することができる。

[0104] 以上、本発明の実施の形態について説明したが、本発明の電源装置 1 は、上述の図示例にのみ限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変更を加え得ることは勿論である。

[0105] なお、上述した電源装置 1、1 A、1 B における処理ユニット 10、制御部 101、及び検査装置 2 は専用のハードウェアにより実現されるものであ

ってもよく、また、各機能部の機能を実現するためのプログラムをコンピュータ読み取り可能な記録媒体に記録して、この記録媒体に記録されたプログラムをコンピュータシステムに読み込ませ、実行することによりその機能を実現させるものであってもよい。

すなわち、上述の処理ユニット１０、及び検査装置２に、ＣＰＵ、ＲＯＭ、及びＲＡＭ等を有するマイクロコントローラやマイクロコンピュータ等のコンピュータシステムを搭載し、ＣＰＵが、ソフトウェアプログラムを読み込み実行することにより、処理ユニット１０の一部又は全部の処理機能を実現してもよい。

符号の説明

- [0106] １，１Ａ，１Ｂ・・・電源装置、２・・・検査装置、
１０・・・処理ユニット、１１・・・ドライブ回路、
２０・・・フルブリッジ回路、
２０Ａ・・・ハーフブリッジ回路、２１・・・直流電源、
３０・・・記憶部、３１・・・デッドタイムテーブル
４０・・・一次側回路、５０・・・トランス、５１・・・一次巻線、
５２，５３・・・二次巻線、５４・・・電流検出用トランス、
６０・・・同期整流回路、６１・・・同期整流スイッチ回路、
７０・・・電流検出回路、７４・・・第３電流検出回路、８０・・・負荷装置、
１０１・・・制御部、１０２・・・取得部、１０３・・・書換部、
２０１・・・測定部、２０２・・・判定部、
２０３・・・書込部、２０４・・・記憶部、
Ｑ１，Ｑ２，Ｑ３，Ｑ４，Ｑ５，Ｑ６・・・スイッチング素子

請求の範囲

- [請求項1] スイッチング回路を構成するスイッチング素子の第1デッドタイムを記憶する記憶部と、
- 入力電流の測定結果に基づいて設定された第2デッドタイムの情報を外部入力する取得部と、
- 前記記憶部に記憶された前記第1デッドタイムを前記取得部が取得した前記第2デッドタイムに書き換える書換部と、
- 前記記憶部に記憶された前記第2デッドタイムに応じて前記スイッチング素子を制御する制御部と、
- を備えることを特徴とする電源装置。
- [請求項2] 前記取得部は、
- 電力変換効率の測定結果に基づいて設定された前記第2デッドタイムの情報を外部入力する
- ことを特徴とする請求項1に記載の電源装置。
- [請求項3] 前記取得部は、前記第2デッドタイムを取得する際に、
- 入出力電流と入出力電圧に基づいて前記第2デッドタイムを判定するデッドタイム設定部から、前記第2デッドタイムを入力する
- ことを特徴とする請求項1または請求項2に記載の電源装置。
- [請求項4] 前記第2デッドタイムは、
- 前記電源装置への入力電圧、前記電源装置からの出力電圧、及び前記電源装置からの出力電流を一定に保った状態で、前記記憶部に記憶された前記第1デッドタイムが変化させられたときに、前記電源装置の入力電流が最も少なくなる値である
- ことを特徴とする請求項1から請求項3のいずれか1項に記載の電源装置。
- [請求項5] 前記記憶部には、前記出力電流と前記第1デッドタイムとの関係が、出力電流毎に記憶され、
- 前記書換部は、前記記憶部に記憶された出力電流毎の前記第1デッ

ドタイムを、前記取得部が取得した出力電流毎の前記第2デッドタイムにそれぞれ書き換える

ことを特徴とする請求項4に記載の電源装置。

[請求項6]

前記スイッチング素子は、

フルブリッジ回路またはハーフブリッジ回路を構成する素子である

ことを特徴とする請求項1から請求項5のいずれか1項に記載の電源装置。

[請求項7]

前記ハーフブリッジ回路又はフルブリッジ回路において、

前記スイッチング素子は、部分共振作用を利用してスイッチングされる

ことを特徴とする請求項6に記載の電源装置。

[請求項8]

スイッチング回路のスイッチング素子の第1デッドタイムが、外部入力されるデッドタイムの情報により変更可能な電源装置に対して、前記第1デッドタイムを変更するように指示して前記電源装置の入力電流を計測する測定部と、

前記測定部により計測された入力電流の測定値に基づいて、最も入力電流が少なくなるときのデッドタイムを第2デッドタイムと判定する判定部と、

前記第2デッドタイムの情報を前記電源装置に通知して、前記電源装置において前記第1デッドタイムを前記第2デッドタイムに設定させる書込部と、

を備えることを特徴とする検査装置。

[請求項9]

前記測定部は、前記電源装置への入力電圧、前記電源装置からの出力電圧、及び前記電源装置からの出力電流を一定に保った状態で、前記電源装置に対して、前記第1デッドタイムを変更するように指示して電力変換効率を計測し、最も電力変換効率が高くなるデッドタイムを第2デッドタイムと判定し、

前記判定部は、前記測定部により計測された入力電流の測定値に基

づいて、最も入力電流が少なくなるときのデッドタイムを第2デッドタイムとして判定する

ことを特徴とする請求項8に記載の検査装置。

[請求項10] 電源装置のスイッチング回路を構成するスイッチング素子のデッドタイムを検査装置により最適化する電源装置の最適化方法であって、

前記電源装置が、第1デッドタイムを前記検査装置からの指示により変更する手順を含み、

前記検査装置が、前記電源装置に対して、前記第1デッドタイムを変更させるように指示するとともに、前記電源装置の入力電流を測定する手順と、

前記検査装置が、前記入力電流の測定結果に基づいて、最も入力電流が少なくなるときのデッドタイムを第2デッドタイムと判定する手順と、

前記検査装置が、前記第2デッドタイムの情報を前記電源装置に通知して、前記電源装置において、前記第1デッドタイムを前記第2デッドタイムに設定させる手順と、

を含むことを特徴とする電源装置の最適化方法。

[請求項11] 前記第2デッドタイムは、

前記電源装置への入力電圧、前記電源装置からの出力電圧、及び前記電源装置からの出力電流を一定に保った状態で、前記第1デッドタイムが変化させられたとき、前記電源装置の電力変換効率が最も高くなる値である

ことを特徴とする請求項10に記載の電源装置の最適化方法。

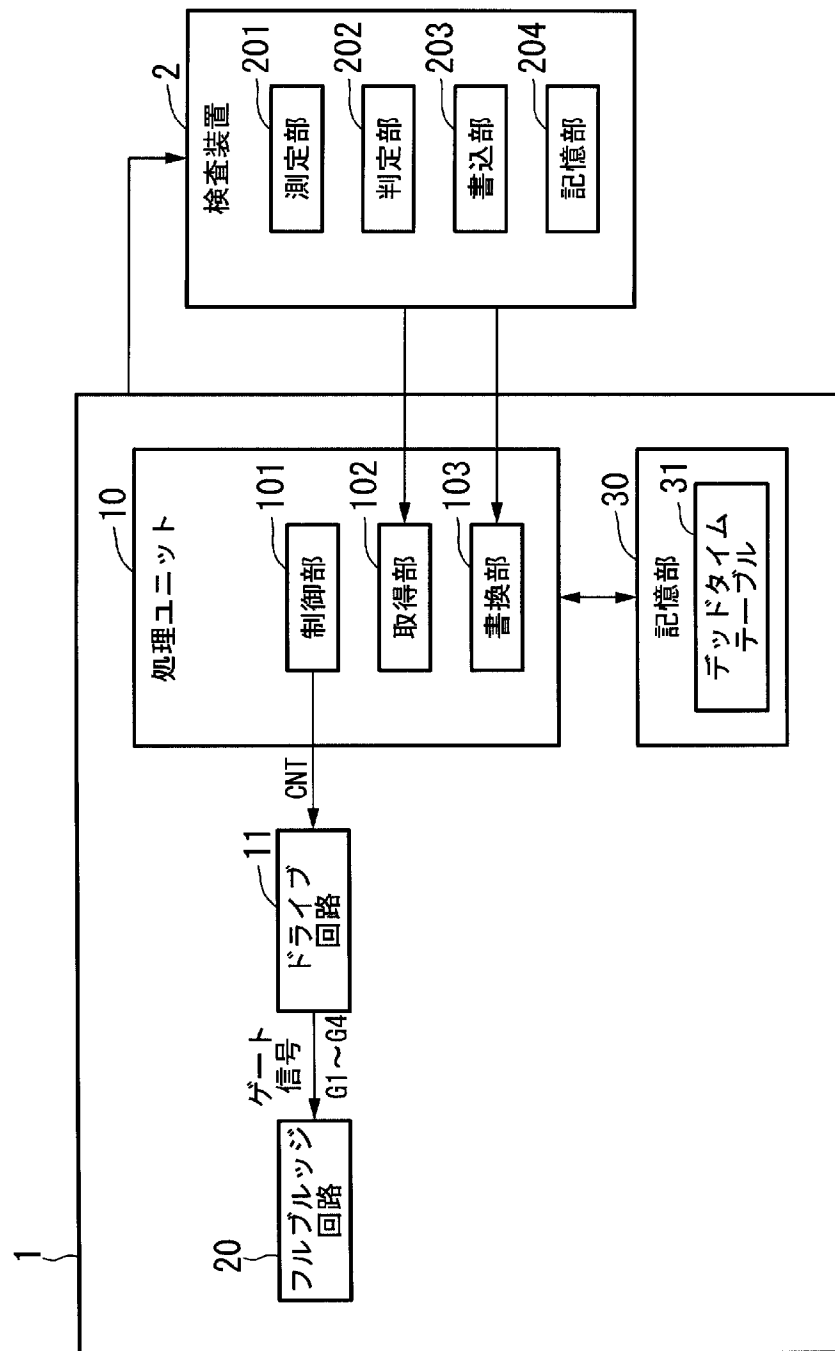
[請求項12] 前記検査装置が、

第1の出力電流に対する前記第2デッドタイムを決定したとき、前記第1デッドタイムを変化させた正負方向を示す情報に基づいて第2の出力電流に対する前記第2デッドタイムを決定する手順を

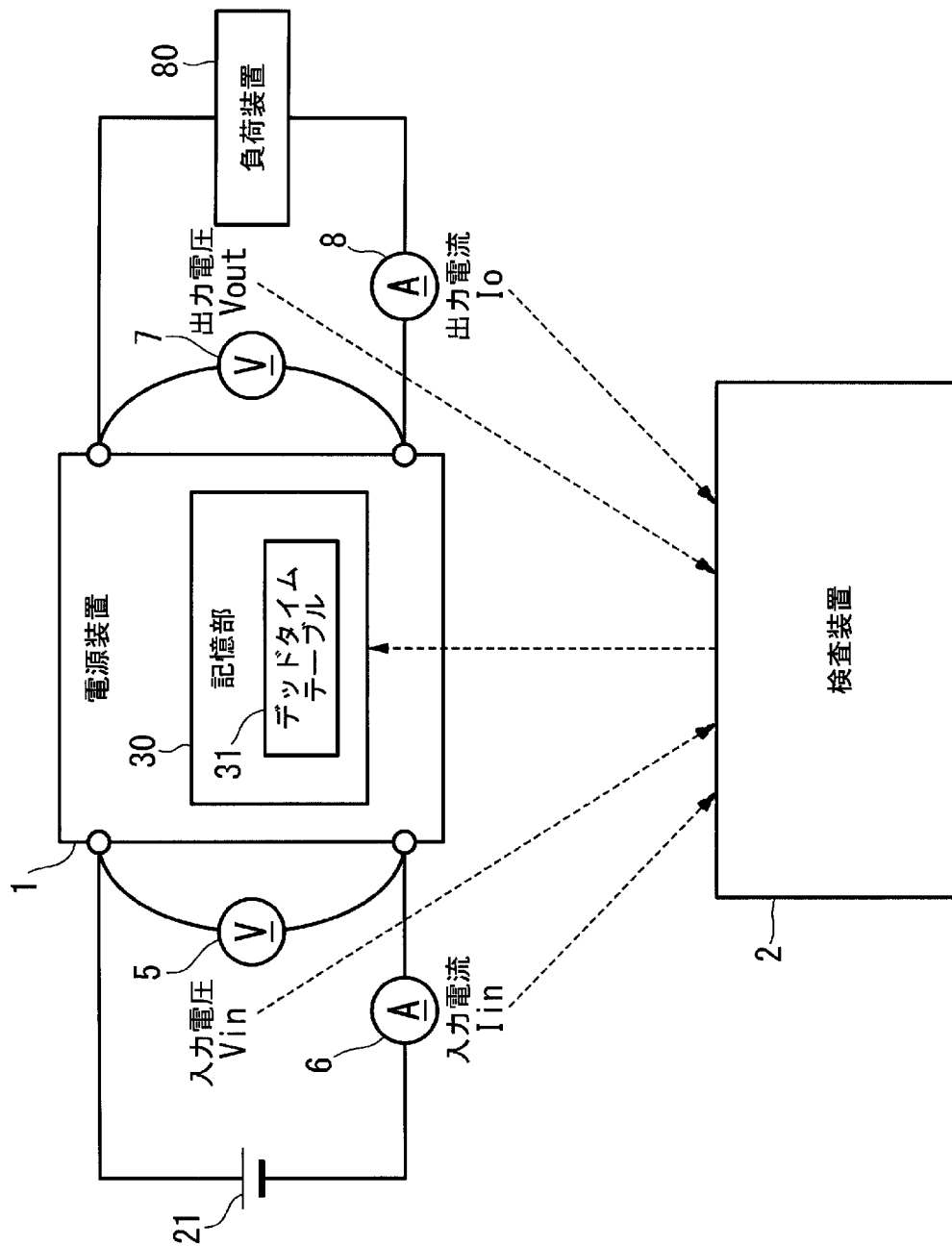
含むことを特徴とする請求項10または請求項11に記載の電源装

置の最適化方法。

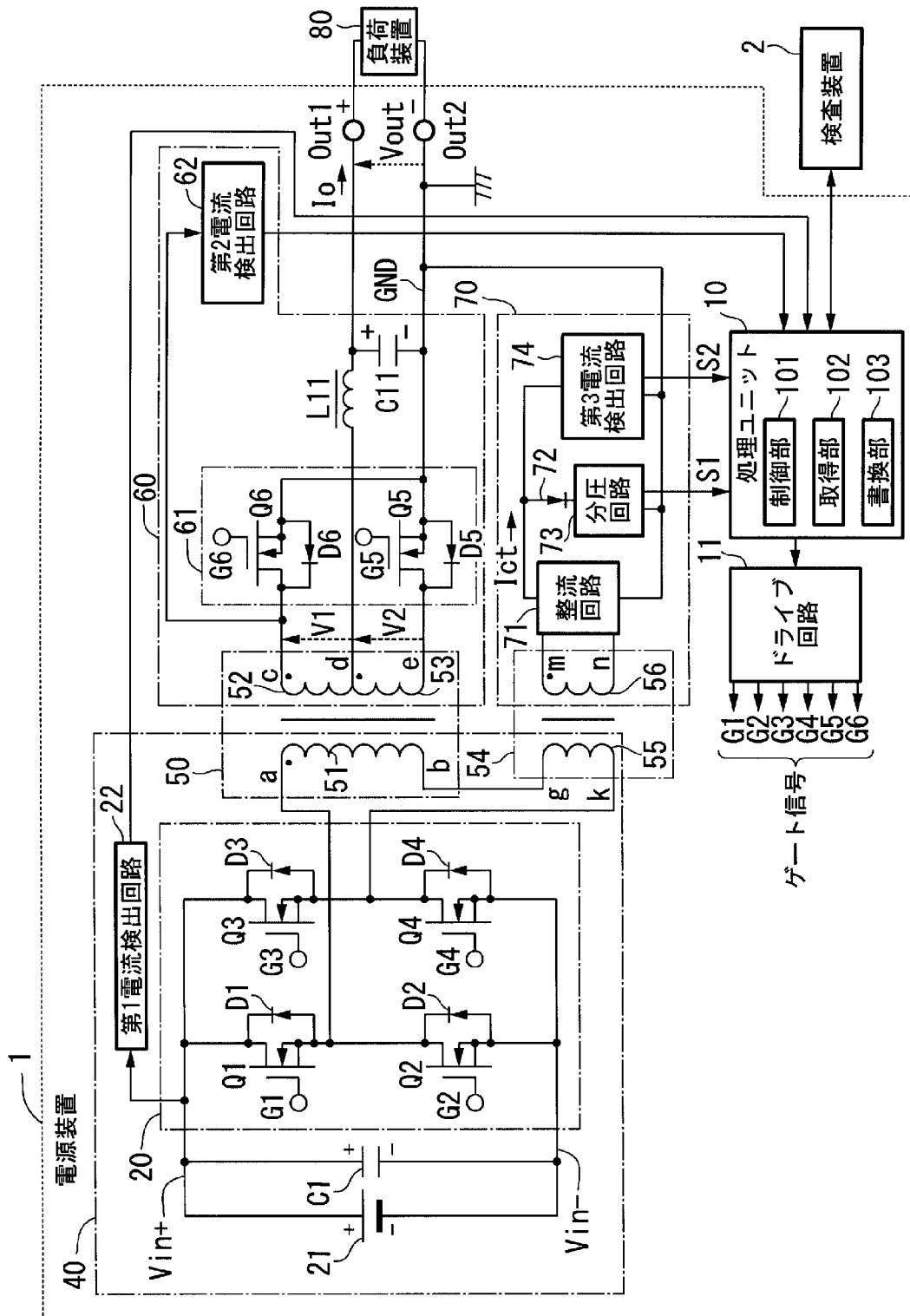
[図1]



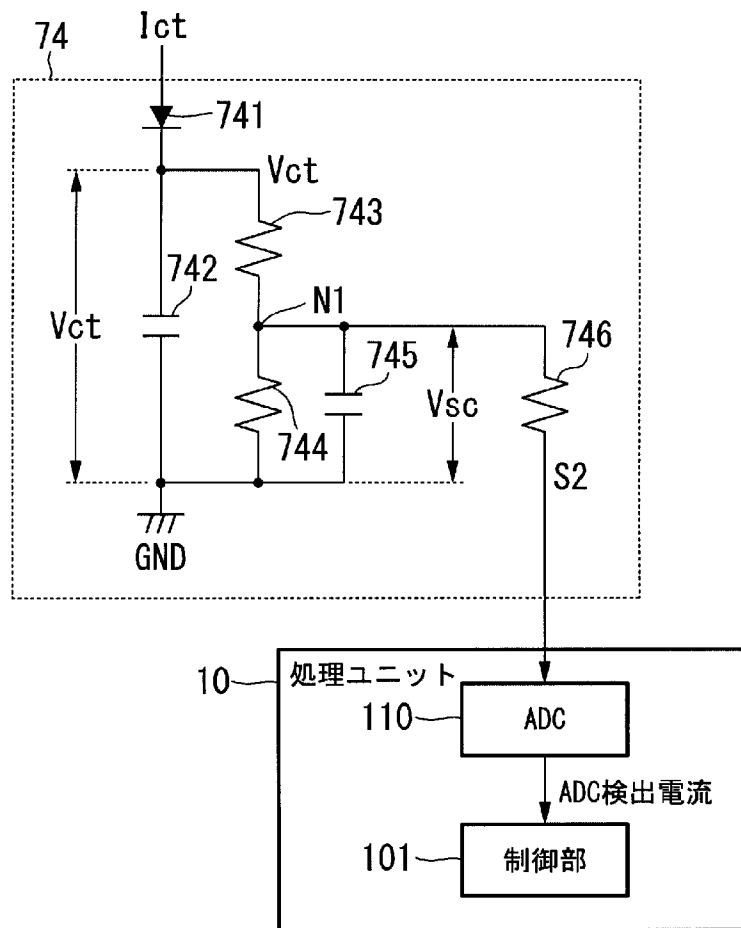
[図2]



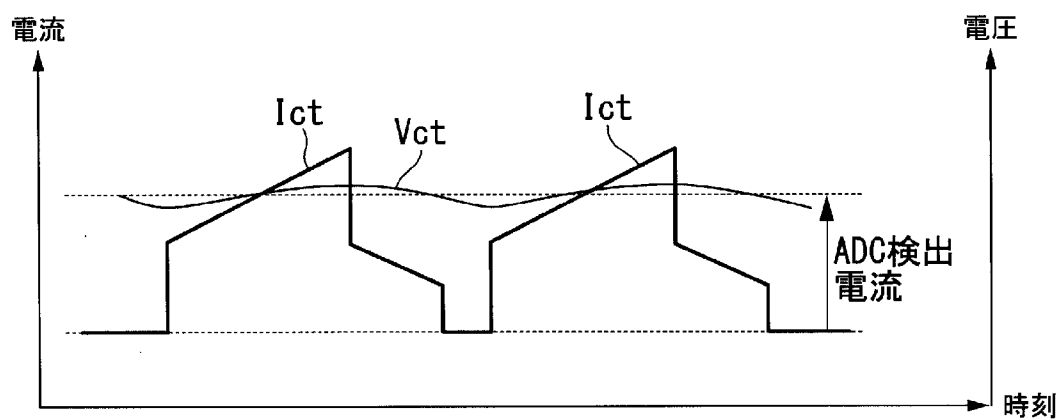
[図3]



[図4A]



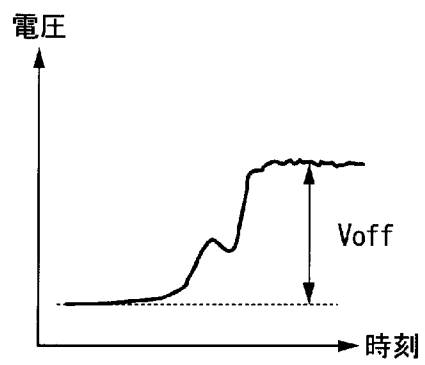
[図4B]



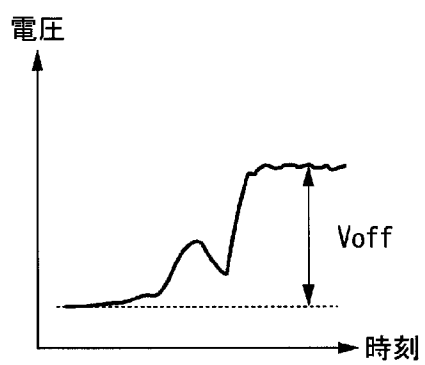
31

出力電流 (A)	デッドタイム (clk)	
	DT12	DT34
0	dt1	dt1'
Io1	dt2	dt2'
Io2	dt3	dt3'
Io3	dt4	dt4'
Io4	dt5	dt5'
Io5	dt6	dt6'
Io6	dt7	dt7'

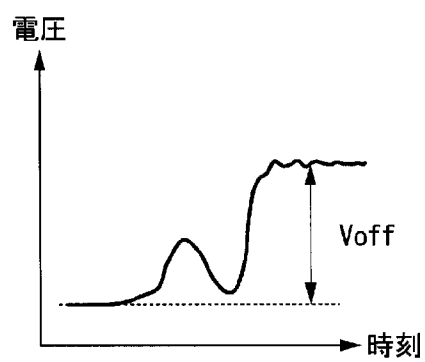
[図7A]



[図7B]



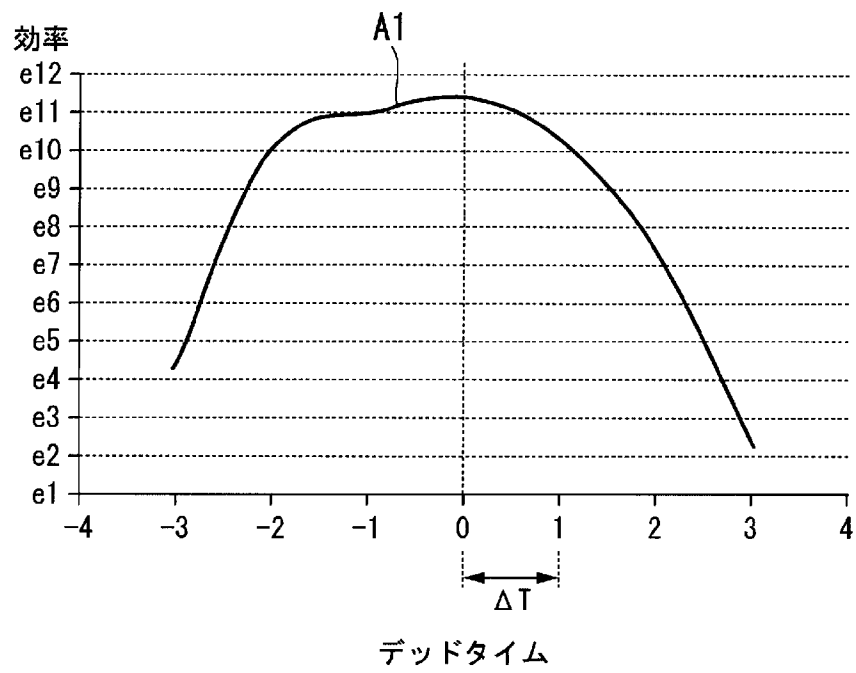
[図7C]



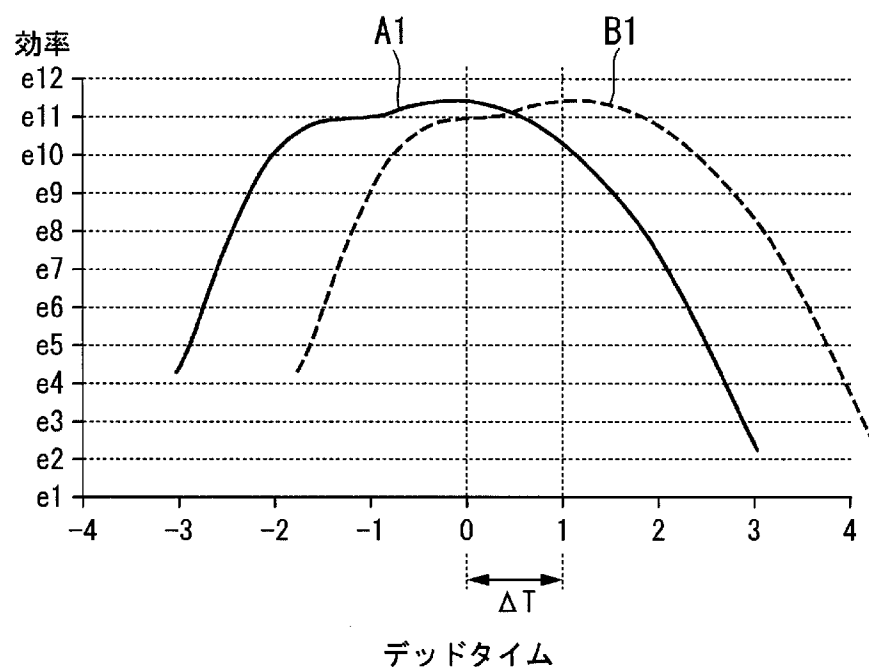
[図8]

デッドタイム	Vin	Iin	Vo	Io	効率e
-3	Vin1	Iin1	Vo1	Io1	e4.34
-2	Vin1	Iin2	Vo1	Io1	e10.31
-1	Vin1	Iin3	Vo1	Io1	e11.40
0	Vin1	Iin4	Vo1	Io1	e11.44
1	Vin1	Iin5	Vo1	Io1	e10.30
2	Vin1	Iin6	Vo1	Io1	e7.36
3	Vin1	Iin7	Vo1	Io1	e2.34

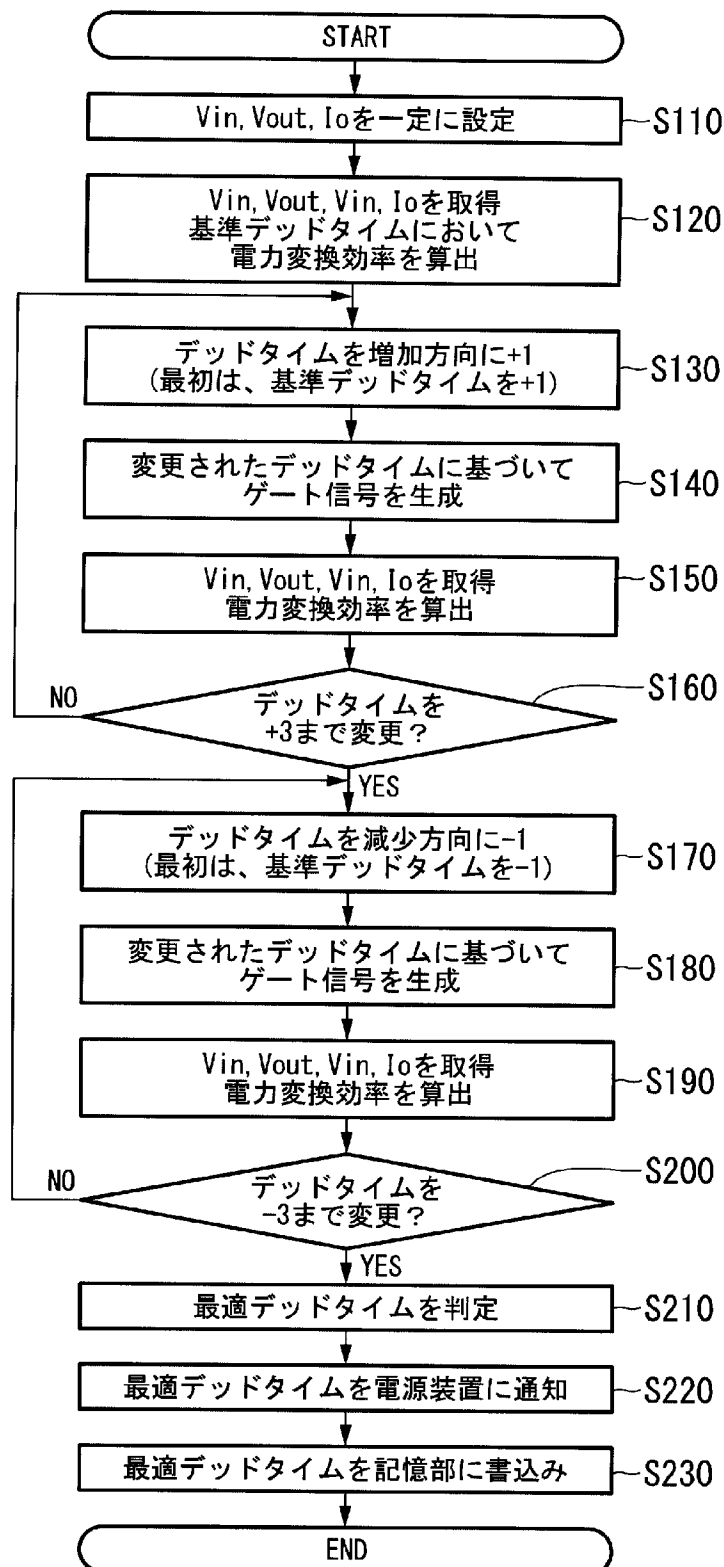
[図9A]



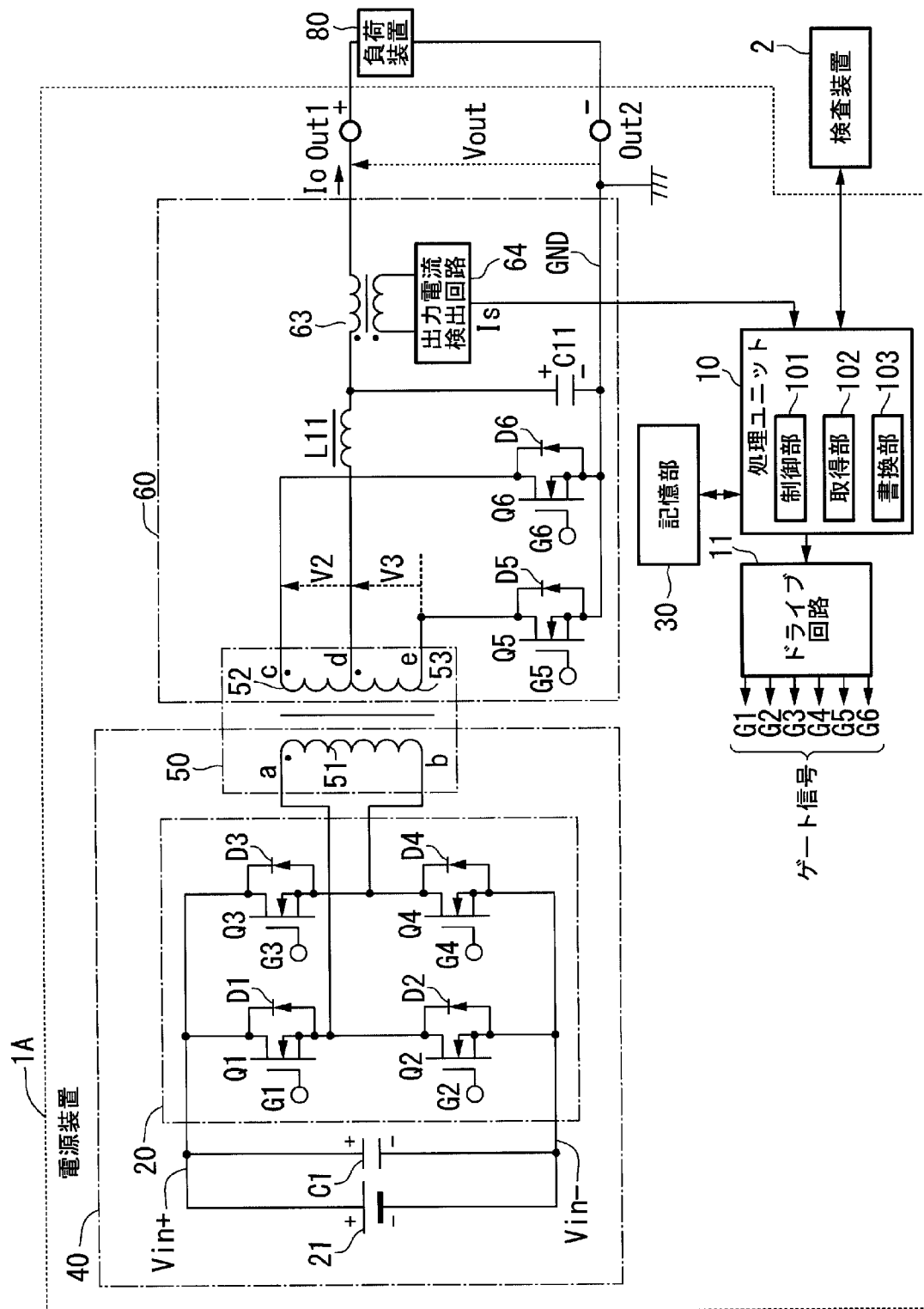
[図9B]



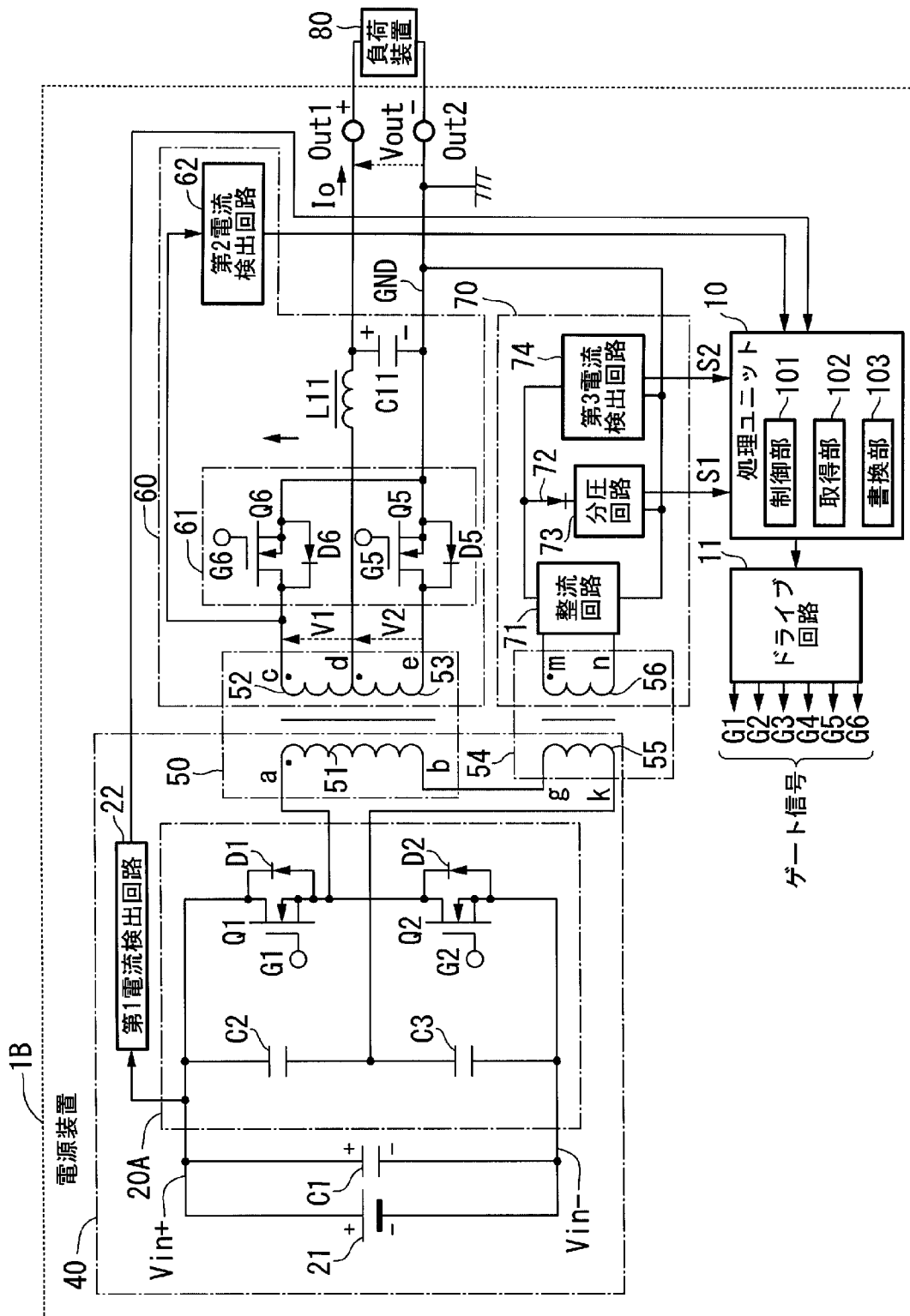
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/082240

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/28(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2005/0281058 A1 (Issa BATARSEH), 22 December 2005 (22.12.2005), paragraphs [0024] to [0028], [0032] to [0035]; fig. 1 to 5A & WO 2006/009576 A2 & CN 101176049 A	1-11 12
Y A	JP 2003-125588 A (Mitsubishi Electric Corp.), 25 April 2003 (25.04.2003), paragraphs [0078] to [0083]; fig. 17 & US 2003/0072117 A1 & DE 10218070 A1 & FR 2830995 A1 & FR 2858888 A1 & FR 2859581 A1 & FR 2859582 A1 & FR 2859583 A1 & CN 1412925 A	1-11 12

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
17 February, 2014 (17.02.14)

Date of mailing of the international search report
25 February, 2014 (25.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/082240

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2013-132112 A (Hitachi Computer Peripherals Co., Ltd.), 04 July 2013 (04.07.2013), paragraph [0046]; fig. 1 to 2 (Family: none)	1-11 12
A	JP 2013-62952 A (Ricoh Co., Ltd.), 04 April 2013 (04.04.2013), paragraphs [0026], [0031] to [0033], [0046] to [0047]; fig. 5, 8 (Family: none)	1-12
A	JP 2009-11045 A (NEC Electronics Corp.), 15 January 2009 (15.01.2009), paragraphs [0006], [0030] to [0031]; fig. 9 to 10 & US 2009/0001949 A1	1-12
A	JP 2004-140913 A (TDK Corp.), 13 May 2004 (13.05.2004), entire text (Family: none)	1-12
A	JP 2003-174773 A (Matsuda Micronics Corp.), 20 June 2003 (20.06.2003), paragraphs [0006] to [0008], [0010]; fig. 2 to 3 (Family: none)	1-12

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/28(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	US 2005/0281058 A1 (Issa BATARSEH) 2005.12.22, 段落 [0024]-[0028], [0032]-[0035], 図 1-5A & WO 2006/009576 A2 & CN 101176049 A	1-11 12
Y A	JP 2003-125588 A (三菱電機株式会社) 2003.04.25, 段落【0078】 - 【0083】, 図 17 & US 2003/0072117 A1 & DE 10218070 A1 & FR 2830995 A1 & FR 2858888 A1 & FR 2859581 A1 & FR 2859582 A1 & FR 2859583 A1 & CN 1412925 A	1-11 12

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 2 . 2 0 1 4

国際調査報告の発送日

2 5 . 0 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

神山 貴行

3 V

3 4 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2013-132112 A (日立コンピュータ機器株式会社) 2013. 07. 04, 段落【0046】, 図 1-2 (ファミリーなし)	1-11 12
A	JP 2013-62952 A (株式会社リコー) 2013. 04. 04, 段落【0026】, 【0031】 - 【0033】, 【0046】 - 【0047】, 図 5, 8 (ファミリーなし)	1-12
A	JP 2009-11045 A (NECエレクトロニクス株式会社) 2009. 01. 15, 段落【0006】, 【0030】 - 【0031】, 図 9-10 & US 2009/0001949 A1	1-12
A	JP 2004-140913 A (TDK株式会社) 2004. 05. 13, 全文 (ファミリーなし)	1-12
A	JP 2003-174773 A (マツダマイクロニクス株式会社) 2003. 06. 20, 段落【0006】 - 【0008】, 【0010】, 図 2-3 (ファミリーなし)	1-12