(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 697 34 563 T2** 2006.07.27

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 851 502 B1**
(21) Deutsches Aktenzeichen: **697 34 563.7**
(96) Europäisches Aktenzeichen: **97 310 529.9**
(96) Europäischer Anmeldetag: **23.12.1997**
(97) Erstveröffentlichung durch das EPA: **01.07.1998**
(97) Veröffentlichungstag
der Patenterteilung beim EPA: **09.11.2005**
(47) Veröffentlichungstag im Patentblatt: **27.07.2006**

(51) Int Cl.[8]: ***H01L 27/146*** (2006.01)
H01L 27/144 (2006.01)

(30) Unionspriorität:

34314696	**24.12.1996**	**JP**
33850597	**09.12.1997**	**JP**

(73) Patentinhaber:
Canon K.K., Tokio/Tokyo, JP

(74) Vertreter:
TBK-Patent, 80336 München

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT, NL

(72) Erfinder:
Tashiro, Kazuaki, Ohta-ku, Tokyo, JP

(54) Bezeichnung: **Dünnschicht-Halbleiterbauelement und Verfahren zu dessen Herstellung**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

HINTERGRUND DER ERFINDUNG

Gebiet der Erfindung

[0001] Die vorliegende Erfindung betrifft eine Dünnfilm-Halbleitervorrichtung und ein Herstellungsverfahren davon und insbesondere eine Dünnfilm-Halbleitervorrichtung, welche die für eine hohe Leistungsgüte geeignete Struktur und eine große Fläche aufweist, und ein Herstellungsverfahren der Dünnfilm-Halbleitervorrichtung, das sie sogleich und bei niedrigen Kosten herstellen kann.

Verwandter Stand der Technik

[0002] Die großflächige Dünnfilm-Halbleitervorrichtung umfaßt eine Vorrichtung wie eine Bildlesevorrichtung oder Bildanzeigevorrichtung, bei der Einheitselemente eindimensional oder zweidimensional gruppiert angeordnet sind, und ein Dünnfilm-Transistor ist ein häufig verwendetes Bauelement zum Treiben der Vorrichtung und zum Lesen oder Schreiben von Information.

[0003] Dieser Dünnfilm-Transistor wird zuerst beschrieben werden. Von der Struktur des Dünnfilm-Transistors wird vorausgesetzt, daß sie vom allgemein inversen Staffel-Typ ist. Fig. 1A–Fig. 1D, welche als schematische Querschnittsansichten veranschaulicht sind, zeigen ein Beispiel der Struktur des Dünnfilm-Transistors und ein Beispiel der Schritte eines Herstellungsverfahren davon.

[0004] Indem ein Material wie Aluminium oder Chrom verwendet wird, wird eine erste leitfähige Schicht **602** auf einem Substrat **601** wie einem Glas-Substrat mittels Dampfabscheidung oder Sputtern abgeschieden (Fig. 1A). Diese Schicht wird dann in einer gewünschten Form mittels Photolithographie strukturiert. Dies bildet eine Gate-Elektrode **603** des Dünnfilm-Transistors aus (Fig. 1B).

[0005] Danach wird eine Gate-isolierende Schicht, Halbleiterschichten etc. auf dieser Gate-Elektrode abgeschieden, indem der CVD-Prozeß (Chemische Dampfabscheidung) oder dergleichen verwendet wird. Spezifischerweise wird ein hydrierter amorpher Siliziumnitridfilm als Gate-isolierender Film **604** abgeschieden, indem Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas verwendet wird. Anschließend wird mit Silan-Gas und Wasserstoffgas eine intrinsische hydrierte amorphe Siliziumschicht als intrinsische Halbleiterschicht **605** abgeschieden. Ferner wird unter Verwendung von Silan-Gas und Phosphin- (PH_3) Gas verdünnt mit Wasserstoffgas eine N^+-Typ hydrierte amorphe Siliziumschicht als Verunreinigungshalbleiterschicht **606** abgeschieden. Danach wird eine zweite leitfähige Schicht **607** unter Verwendung des Materials wie Aluminium oder Chrom mittels Dampfabscheidung oder Sputtern abgeschieden (Fig. 1C). Anschließend wird sie in einer gewünschten Form mittels Photolithographie strukturiert. Dies wird als eine Metallschicht für die Source-Elektrode und Drain-Elektrode des Dünnfilm-Transistors verwendet. Danach wird ein unnötiger Abschnitt der N^+-Typ hydrierten amorphen Siliziumschicht mittels Trockenätzen entfernt, um eine ohmsche Schicht zu der Source-Elektrode und zu der Drain-Elektrode auszubilden, wobei somit die Source-Elektrode und Drain-Elektrode **608**, **609** vervollständigt werden (Fig. 1D).

[0006] Ferner wird eine zweidimensionale Bildlesevorrichtung als eine Dünnfilm-Halbleitervorrichtung beispielhaft veranschaulicht, welche eine Kombination von solch inversen Staffeltyp-Dünnfilmtransistoren mit photoelektrischen Konversionselementen ist. Fig. 2A ist eine schematische Draufsicht von einem Pixel in der Bildlesevorrichtung. Fig. 2B ist eine schematische Querschnittsansicht entlang 2B-2B von Fig. 2A.

[0007] In Fig. 2A und Fig. 2B bezeichnet das Bezugszeichen **801** ein Substrat, **802** bezeichnet eine untere Elektrode des photoelektrischen Konversionselements, **803** eine Gate-Elektrode, **804** eine isolierende Schicht, **805** eine Halbleiterschicht, **806** eine ohmsche Schicht (ohmsche Kontaktschicht), **807** eine Drain-Elektrode, **808** eine Source-Elektrode und **809** eine isolierende Schutz-Schicht. Ferner stellt S11 das photoelektrische Konversionselement (ein MIS-Typ-Photosensor in diesem Beispiel), T11 den Dünnfilm-Transistor (TFT), SIG eine Signalleitung, g1 eine Gate-Treiberleitung und V_1 eine Spannungsquellenleitung dar. In Fig. 2A sind die isolierende Schicht **804**, die ohmsche Schicht **806** und die Schutzschicht **809** nicht veranschaulicht, um eine Komplexität der Veranschaulichung zu vermeiden und die Halbleiterschicht **805** ist durch eine durchgezogene Linie veranschaulicht.

[0008] Wie veranschaulicht ist, weist das photoelektrische Konversionselement S11 die Struktur auf, in der die untere Elektrode **802**, die isolierende Schicht **804**, die Halbleiterschicht **805** und die ohmsche Schicht **806** in der genannten Reihenfolge auf dem Substrat **801** gestapelt sind. Die ohmsche Schicht **806** weist eine Funktion als eine obere Elektrode des photoelektrischen Konversionselements S11 auf. Das photoelektrische Konversionselement S11 weist die isolierende Schicht **804** und die Halbleiterschicht **805** zwischen der ohmschen Schicht **806** und der unteren Elektrode **802** auf, was die oberen und unteren Elektroden werden, wobei die MIS-Typ-Struktur gebildet wird.

[0009] Der Dünnfilm-Transistor weist die Gate-Elektrode **803** auf dem Substrat **801** auf und weist die iso-

lierende Schicht **804**, die ein Gate-isolierender Film wird, und die Halbleiterschicht **805** in dieser Reihenfolge darauf auf. Die ohmsche Schicht **806** wird auf der Halbleiterschicht **805** mit einem Zwischenraum ausgebildet, der eine Kanalzone bildet, die mit der Gate-Elektrode **803** korrespondiert, und durch diese ohmsche Schicht **806** weist der Transistor ein leitfähiges Material, beispielsweise ein Metall wie Aluminium, als Source- und Drain-Elektroden **808**, **807** auf.

[0010] Die untere Elektrode **802** ist ausgebildet, um sich jeweils von der Spannungsquellenleitung V_1 zu erstrecken, während sich jeweils die Gate-Elektrode **803** von der Gate-Treiberleitung g1 und die Drain-Elektrode **807** von der Signalleitung SIG erstrecken.

[0011] In der Zeichnung ist das Bezugszeichen **806** auf dem photoelektrischen Konversionselement S11, was der MIS-Typ-Photosensor ist, eine N^+-Typ hydrierte amorphe Siliziumschicht und fungiert als eine Fensterschicht. Diese N^+-Typ hydrierte amorphe Siliziumschicht fungiert ferner als eine injektionshindernde Schicht (eine Sperrschicht) ebenso wie sie als eine Elektrodenschicht, wie vorstehend beschrieben, fungiert.

[0012] Fig. 3 zeigt eine äquivalente Schaltung eines Pixels dieser Bildlesevorrichtung. Ein Pixel weist einen MIS-Typ-Photosensor S11 und einen Dünnfilm-Transistor T11 zur Signaltransmission auf. Buchstaben D, G bezeichnen jeweils die obere Elektrode (die ohmsche Schicht **806** in diesem Beispiel) und die untere Elektrode **802** des MIS-Typ-Photosensors. Symbole Cgs, Cgd stellen Kondensatoren dar, die durch Überlappung zwischen der Gate-Elektrode **803** und der Source-Elektrode **808** und Überlappung zwischen der Gate-Elektrode **803** und der Drain-Elektrode **807** (d_1, d_2 in Fig. 1D) des Dünnfilm-Transistors ausgebildet sind, und Vs steht für eine Spannungsquelle bzw. Stromquelle. Die in dem MIS-Typ-Photosensor S11 durch Licht erzeugte Ladung wird durch den Dünnfilm-Transistor T11 in den Kondensatoren Cgs, Cgd gespeichert und danach wird diese Ladung mittels einer nicht veranschaulichten Leseschaltung ausgelesen. Dies ist ein Fall von einem Bit, jedoch werden in der Praxis diese Cgs, Cgd zu jenen der anderen Dünnfilm-Transistoren addiert, die mit dieser Gate-Leitung verbunden sind. Auf diese Weise machen Speicherkondensatoren Gebrauch von Cgs, Cgd.

[0013] Der Dünnfilm-Transistor und das photoelektrische Konversionselement können beide durch denselben schichtausbildenden Prozeß hergestellt werden und beide weisen die MIS- (Metal Insulator Semiconductor: Metall-Isolator-Halbleiter) Typ-Struktur auf, welche die Elektrode an der unteren Seite aufweist.

[0014] Ein Beispiel des Antriebs des vorstehend angeführten MIS-Typ-Photosensors wird unten beschrieben werden, indem die schematischen Energiebänderdiagramme verwendet werden, die in Fig. 4A und Fig. 4B dargestellt sind.

[0015] Fig. 4A ist ein schematisches Energiebänderdiagramm des photoelektrischen Konversionselements, um die Wirkungsweise in einem Auffrischungsmodus zu zeigen, und Fig. 4B die Wirkungsweise in einem photoelektrischen Konversionsmodus. In Fig. 4A korrespondieren die Bezugszeichen **1** bis **5** jeweils mit der Drain-Elektrode **807**, der ohmschen Schicht **806**, der Halbleiterschicht **805**, der isolierenden Schicht **804** und der unteren Elektrode **802**. Dementsprechend zeigen die Diagramme die Zustände entlang der Richtung der Schichtdicke. In dem Auffrischungsmodus weist die D-Elektrode ein negatives Potential bezüglich der G-Elektrode auf und demgemäß werden Löcher, die durch schwarze Punkte in der intrinsischen (intrinsisch oder im wesentlichen intrinsisch) hydrierten amorphen Siliziumschicht **3** bezeichnet sind, welche zum Beispiel die Halbleiterschicht **805** ist, in die D-Elektrode durch ein elektrisches Feld geführt. Zur gleichen Zeit wie dies werden Elektronen, die durch weiße Kreise bezeichnet sind, in die intrinsische hydrierte amorphe Siliziumschicht **3** injiziert. Zu diesem Zeitpunkt werden einige Löcher und Elektronen in der N^+-Typ hydrierten amorphen Siliziumschicht **2**, welche zum Beispiel die ohmsche Schicht **806** ist, und in der intrinsischen hydrierten amorphen Siliziumschicht **3** rekombiniert, um zu annihilieren. Nach einem Verstreichen einer hinreichend langen Zeitperiode werden die Löcher in der intrinsischen hydrierten amorphen Siliziumschicht **3** aus der intrinsischen hydrierten amorphen Siliziumschicht **3** herausgetrieben (Fig. 4A). Wenn der Modus von diesem Zustand in den photoelektrischen Konversionsmodus geschaltet wird, wird die D-Elektrode mit einem positiven Potential bezüglich der G-Elektrode versehen und demgemäß werden die Elektronen in der intrinsischen hydrierten amorphen Siliziumschicht **3** instantan in die D-Elektrode gelenkt. Jedoch werden, da die N^+-Typ hydrierte amorphe Siliziumschicht **2** als eine injektionshindernde Schicht wirkt, Löcher daran gehindert, von der D-Elektrode in die intrinsische hydrierte amorphe Siliziumschicht **3** injiziert zu werden. Wenn in diesem Zustand Licht in die intrinsische hydrierte amorphe Siliziumschicht **3** einfällt, wird das Licht absorbiert, um ein Elektron-Loch-Paar zu erzeugen. Dieses Elektron wird in die D-Elektrode durch das elektrische Feld gelenkt und das Loch bewegt sich in die intrinsische hydrierte amorphe Siliziumschicht **3**, um die Grenzfläche zu dem hydrierten amorphen Siliziumnitridfilm **4** zu erreichen, welcher beispielsweise die isolierende Schicht **804** ist. An dieser Stelle wird die Bewegung des Lochs blockiert, so daß das Loch in der intrinsischen hydrierten amorphen Siliziumschicht **3** bleiben wird. Zu diesem Zeitpunkt bewegt

sich das Elektron in die D-Elektrode, während das Loch sich zu der Grenzfläche zu der hydrierten amorphen Siliziumnitridschicht **4** in der intrinsischen hydrierten amorphen Siliziumschicht **3** bewegt. Demgemäß fließt ein elektrischer Strom von der G-Elektrode, um die elektrische Neutralität in dem Element zu erhalten. Da dieser elektrische Strom mit dem von dem Licht erzeugten Elektron-Loch-Paar korrespondiert, ist der elektrische Strom proportional zu dem einfallenden Licht.

[0016] Fig. 5 zeigt ein Beispiel eines schematischen Schaltungsdiagramms von der Gesamtheit der Bildlesevorrichtung. Photoelektrische Konversionselemente S11 bis S33, Dünnfilm-Transistoren T11 bis T33 zum Treiben, Verdrahtungen etc. sind von der oben beschriebenen Struktur, wobei sie auf demselben Substrat ausgebildet sein können, indem die durch denselben Prozeß ausgebildeten Schichten verwendet werden. Vs stellt eine Stromquelle zum Lesen und Vg eine Stromquelle zum Auffrischen dar. Jede Stromquelle Vs, Vg ist durch Schalter SWs, SWg mit den unteren Elektroden G von allen photoelektrischen Konversionselementen S11 bis S33 verbunden. Der Schalter SWs ist über einen Inverter mit einer Auffrischungs-Steuerschaltung RF verbunden, während der Schalter SWg unmittelbar mit der Auffrischungs-Steuerschaltung RF verbunden ist. Die Schalter werden in einer derartigen Weise gesteuert, daß der Schalter SWg eingeschaltet ist während einer Auffrischungsperiode und der Schalter SWs eingeschaltet ist während der anderen Perioden. Signalausgänge sind mit einer integrierten Schaltung zur Detektion bzw. Erfassung IC durch Signalleitungen SIG verbunden. In Fig. 5 sind neun Pixel in drei Blöcken angeordnet, Ausgaben von drei Pixeln pro Block werden zu einem Zeitpunkt übertragen und die integrierte Detektionsschaltung konvertiert sukzessive die Signale in Ausgaben, um sie auszugeben. Obgleich dieses Beispiel den zweidimensionalen Bildeingabeteilabschnitt von neun Pixeln zur leichteren Beschreibung zeigt, ist der Bildeingabeteilabschnitt praktischerweise in der Struktur einer höheren Dichte von Pixeln konzipiert. Beispielsweise ist unter der Annahme, daß die Pixelgröße 150 µm im Quadrat ist und die Bildlesevorrichtung in der Größe von 40 cm im Quadrat konzipiert ist, die Anzahl von Pixeln ungefähr 1,800,000.

[0017] Ein Beispiel von Herstellungsschritten der obigen Bildlesevorrichtung ist in Fig. 6A bis Fig. 6F dargestellt.

1. Auf sauberem Glas-Substrat **801** wird nach Reinigen Chrom in der Dicke von 100 nm (1000 Å) mittels Sputtern abgeschieden. Ein Muster bzw. eine Struktur aus Photoresist bzw. Photoschutzlack wird in einer gewünschten Form auf dieser Chrom-Schicht ausgebildet. Ätzen wird mit diesem Photoresist-Muster als eine Maske durchgeführt. Danach wird der Photoresist abgeschält und das Substrat wird gereinigt, wobei die Gate-Elektroden **803** des Dünnfilm-Transistors von jedem Pixel, untere Elektroden **802** des MIS-Typ-Photosensors und Verdrahtungsabschnitte ausgebildet werden. (Fig. 6A)
2. Auf diesem Substrat wird dann eine hydrierte amorphe Siliziumnitridschicht, um die isolierende Schicht **804** zu werden, durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet. Anschließend wird eine intrinsische hydrierte amorphe Siliziumschicht, um die Halbleiterschicht **805** zu werden, durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas und Wasserstoff- (H_2) Gas ausgebildet. Ferner wird eine N^+-typ hydrierte amorphe Siliziumschicht, um die ohmsche Schicht **806** zu werden, durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Phosphin- (PH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet. (Fig. 6B)
3. Ein Photoresist-Muster für Kontaktlöcher und zur Isolation wird mittels Photolithographie hergestellt und mit diesem Photoresist-Muster als einer Maske wird ein Trockenätzen ausgeführt, um Teile der isolierenden Schicht **804** (hydrierte amorphe Siliziumnitridschicht), der Halbleiterschicht **805** (intrinsische hydrierte amorphe Siliziumschicht) und der ohmschen Schicht **806** (N^+-typ hydrierte amorphe Siliziumschicht) zu entfernen. Dann wird der Photoresist abgeschält und das Substrat wird gereinigt, wobei somit eine Ausbildung von Kontaktlöchern (nicht dargestellt) und einer Isolation erzielt wird. (Fig. 6C)
4. Aluminium wird in der Dicke von 1 µm darauf mittels Sputtern abgeschieden. Danach wird ein Photoresist-Muster in einer gewünschten Form auf der Aluminiumschicht abgeschieden. Indem dieses Photoresist-Muster als eine Maske verwendet wird, wird ein Ätzvorgang ausgeführt. Dann wird der Photoresist abgeschält und das Substrat wird gereinigt, wobei somit die Source-Elektroden **808** der Dünnfilm-Transistoren, die Drain-Elektroden **807** der Dünnfilm-Transistoren und die Elektroden von Verdrahtungsabschnitten erzielt werden. Zu diesem Zeitpunkt wird die Aluminiumschicht auf dem MIS-Typ-Photosensor entfernt und in diesem Beispiel wird die N^+-Typ hydrierte amorphe Siliziumschicht, welche die ohmsche Schicht **806** ist, als eine Fensterschicht und als obere Elektroden genutzt. (Fig. 6D)
5. Anschließend wird ein Photoresist-Muster in einer gewünschten Form auf diesem Aluminium-Muster ausgebildet und mit diesem Muster als eine Maske wird das Ätzen von lediglich der N^+-Typ hydrierten amorphen Siliziumschicht der ohmschen Schicht **806** in Kanalabschnitten der Dünnfilm-Transistoren ausgeführt, welche mit Abschnitten zwischen den Source-Elektroden **808** und den Drain-Elektroden **807** korrespondieren. Dann wird der Photoresist abgeschält und das

Substrat wird gereinigt, wobei somit die Kanäle ausgebildet werden. (Fig. 6E)

6. Anschließend wird eine hydrierte amorphe Siliziumnitridschicht als die Oberflächenschutzschicht **809** in der Dicke von 600 nm (6000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet.

[0018] In dem oben beschriebenen Dünnfilm-Transistor sind die Überlappungsbreiten d_1, d_2 von 2 bis 3 µm notwendig zwischen der Gate-Elektrode **603** und der Source- oder Drain-Elektrode **608**, **609**, wie in Fig. 1D dargestellt ist. Dies rührt von der Begrenzung der Genauigkeit der Ausrichtung beim Ausbilden des Photoresist-Musters für die Source- und Drain-Elektroden in dem Herstellungsverfahren, wie oben beschrieben wurde, her. Die Redundanz ist nämlich der Ausrichtung mitgegeben, so daß eine Abweichung der Ausrichtung nicht die Funktion des TFT verschlechtern wird. In den Abschnitten der Überlappungsbreiten wird jedoch der Kondensator Cgs zwischen der Gate-Elektrode und der Source-Elektrode und der Kondensator Cgd zwischen der Gate-Elektrode und der Drain-Elektrode ausgebildet.

[0019] Die Kondensatoren Cgs, Cgd des Dünnfilm-Transistors bewirken manchmal verschiedene negative Effekte. Beispielsweise verzögern die Kondensatoren die Antwort bzw. Reaktion des Dünnfilm-Transistors auf die Gate-Spannung. Spezifischerweise wird, wenn die Ladung jedes Pixels ausgelesen wird, die Spannung sukzessive an die Gate-Elektroden der Dünnfilm-Transistoren zur Übertragung in die jeweiligen Pixel angelegt, um jedes Gate einzuschalten, wobei die gespeicherte Ladung übertragen wird. Die Antwort auf die Gate-Spannung zu diesem Zeitpunkt wird durch einen Widerstand R der Gate-Verdrahtung bzw. Gate-Leiterbahn und durch Kapazitäten der Kondensatoren Cgs, Cgd definiert. Dies warf manchmal das Problem auf, daß die Bildlesevorrichtung darin versagte, einem Hochgeschwindigkeitsschaltvorgang zum Betreiben der gesamten Vorrichtung zu folgen, beispielsweise in einem Modus, der mit einem Laufbild kompatibel ist. Die Kondensatoren weisen häufig zu große Kapazitäten bezüglich der Signalbeträge auf, die als Speicherkondensatoren zu verwenden sind. Demgemäß muß auch eine kleine Ausgabe ausgelesen werden und ein IC mit sehr geringem Rauschen ist zum Lesen notwendig, was das Problem einer Erhöhung in den Belastungen an das IC darstellt. Da die Kapazitäten der Kondensatoren gegenwärtig groß sind, ist es unvermeidbar, die Kondensatoren als Lesekondensatoren zu verwenden. Dies führt manchmal zu einer Verengung des Konzeptions- bzw. Designspielraums. Falls die Kapazitäten der Kondensatoren auf ein niedriges Niveau verringert werden, kann der optimale Lesekondensator separat konzipiert werden, ohne die Kondensatoren zu verwenden. Indem dieser Kondensator unmittelbar vor dem Lesen des IC's angeordnet wird, können die Belastungen an dem IC verringert werden.

[0020] Wenn derartige Dünnfilm-Transistoren mit den Kondensatoren Cgs, Cgd zum Treiben verwendet werden und zum Lesen von eindimensionalen oder zweidimensionalen Sensoren, die in einer Matrix gruppiert angeordnet sind, werden diese Kondensatoren häufig parasitäre Kapazitäten, die ein Übersprechen oder dergleichen beim Signallesen verursachen und den Betrieb negativ beeinträchtigen.

[0021] Demgemäß wurden Anstrengungen unternommen, um die Überlappungsbreiten durch den sogenannten Selbstausrichtungs- (Selbst-Ausrichten) Prozeß für den einzelnen Dünnfilm-Transistor zu eliminieren. Ein Beispiel davon ist in Fig. 7A–Fig. 7F dargestellt, um schematische Schritt-Diagramme zur Erläuterung eines Beispiels der Herstellungstechnologie der Selbstausrichtung zu zeigen. Es wird unter Bezugnahme auf Fig. 7A bis Fig. 7F beschrieben werden.

[0022] Auf Glas-Substrat **701** wird zuerst eine erste leitfähige Schicht **702** abgeschieden, indem ein Material wie Aluminium oder Chrom durch Dampfabscheidung oder Sputtern verwendet wird. Anschließend wird es in einer gewünschten Form mittels Photolithographie strukturiert. Dies wird als Gate-Elektrode **703** des Dünnfilm-Transistors verwendet.

[0023] Dann wird ein Gate-isolierender Film, Halbleiterschichten etc. auf dieser Gate-Elektrode durch den CVD-Prozeß (Chemical Vapor Deposition: Chemische Dampfabscheidung) oder dergleichen abgeschieden. Ein hydrierter amorpher Siliziumnitridfilm wird zuerst als Gate-isolierender Film **704** unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas abgeschieden. Anschließend wird eine intrinsische hydrierte amorphe Siliziumschicht als intrinsische Halbleiterschicht **705** mit Silan-Gas und Wasserstoffgas abgeschieden. Ferner wird eine N^+-Typ hydrierte amorphe Siliziumschicht als Verunreinigungs- bzw. Fremdstoff-Halbleiterschicht **706** unter Verwendung von Silan-Gas und Phosphin-Gas verdünnt mit Wasserstoffgas abgeschieden. Die Technologie der Selbstausrichtung wird realisiert durch Verbessern des Belichtungsverfahrens in der Photolithographie bei Ausbilden von Source- Elektrode und Drain-Elektrode. Ein Photoresist **707** wird nämlich auf der N^+-Typ hydrierten amorphen Siliziumschicht **706** ausgebildet. Dieser Photoresist wird einer Rückbelichtung von der Rückseite des Substrats unterworfen, indem die in der gewünschten Form ausgebildete Gate-Elektrode **703** als eine Maske verwendet wird. Durch diesen Schritt wird das Photoresist-Muster **708** in derselben Breite wie jene der Gate-Elektrode ausgebildet. Danach wird, während dieses Photoresist-Muster dort gehal-

ten wird, eine zweite leitfähige Schicht **709** abgeschieden, indem das Material wie Aluminium oder Chrom durch Dampfabscheidung oder Sputtern verwendet wird. Dann wird ein Ablösungsschritt des Photoresists ausgeführt. Dies bewirkt, daß das Photoresist-Muster auf der Gate-Elektrode abzuheben ist, woraufhin die Metallschicht in den Source-Elektroden- und Drain-Elektrodenabschnitten belassen wird, um die Source- und Drain-Elektroden auszubilden. Anschließend wird mit der Metallschicht der Source-Elektrode und Drain-Elektrode als eine Maske ein Trockenätzvorgang ausgeführt, um unnötige Abschnitte der N^+-Typ hydrierten amorphen Siliziumschicht zu entfernen, um die ohmsche Schicht zu der Source-Elektrode und zu der Drain-Elektrode auszubilden, wobei die Source-Elektrode und Drain-Elektrode **701**, **711** vervollständigt werden, welche reduzierte Überlappungsbreiten mit der Gate-Elektrode aufweisen.

[0024] Jedoch muß, da dieses Verfahren die Rückbelichtung anwendet, die zweite leitfähige Schicht der Lichtabschirmungseigenschaft nach der Belichtung ausgebildet werden und das Abhebeverfahren ist unvermeidbar. Der Schritt des Ausbildens der Source-Elektrode und Drain-Elektrode durch das Abheben beansprucht Platz zu derselben Zeit wie das Abziehen bzw. Ablösen des Photoresist-Musters auf der Gate-Elektrode in dem Entwicklungsschritt. In einigen Fällen wurden Querschnitte der Source- und Drain-Elektroden nicht immer in der Selbstausrichtungsformung (Selbst-Ausrichtungsart) bezüglich der Gate-Elektrode im Gegensatz zur Erwartung ausgebildet. Es entstand manchmal das Problem, daß der Schritt des Ausbildens der zweiten leitfähigen Schicht mit dem photoempfindlichen Resist bzw. Schutzlack, der bleibend gehalten wurde, wahrscheinlich ursächlich für eine Ausbeuteabnahme war wegen eines Entwicklungsfehlers hervorgerufen durch Verschlechterung des Photoresists durch einen Hochtemperaturschritt (150 bis 200°C).

[0025] Um den Abhebeschritt zu vermeiden, ist es ebenso möglich, einen transparenten Leiter, z.B. ITO (Indium Tin Oxide: Indium Zinn Oxid), für die zweite leitfähige Schicht in einer derartigen Weise zu verwenden, um das leitfähige Material auf der N^+-typ hydrierten amorphen Siliziumschicht **706** auszubilden, danach einen negativen Resist darauf auszubilden, nichtbestrahlte Abschnitte zu entfernen, während der Resist nur in bestrahlten Abschnitten belassen wird, und die entfernten Abschnitte zu ätzen. Indem der negative Resist verwendet wird, kann das Photoresist-Muster mit Ausnahme des Kanalabschnitts in der Selbstausrichtungsweise bezüglich der Gate-Elektrode ausgebildet werden, jedoch wird bei Anwendungen dieses Dünnfilm-Transistors zum Treiben oder zum Lesen einer eindimensionalen oder zweidimensionalen Bildlesevorrichtung, in welcher derartige Transistoren zu einer Matrix gruppiert angeordnet sind, der Verdrahtungswiderstand durch die ITO-Verdrahtungen bzw. -Leiterbahnen erhöht, was Schwierigkeiten beim Treibvorgang verursachen könnte. Somit ist es nicht bevorzugt.

[0026] Bei Anwendungen, worin die Dünnfilm-Transistoren mit anderen Bauelementen kombiniert wurden, hatte der oben erwähnte Selbstausrichtungsprozeß die verbesserungsfähigen Punkte, wie oben beschrieben wurde.

ZUSAMMENFASSUNG DER ERFINDUNG

[0027] Im Hinblick auf die oben beschriebenen technologischen Mängel wurden Anstrengungen unternommen, eine Selbstausrichtungstechnik vorzusehen, indem billige Materialien und sehr leichte bzw. einfache Prozesse einerseits verwendet werden, während andererseits, um von dem Beispiel des Dünnfilm-Transistors zu sprechen, die Fähigkeit vorhanden ist, die Überlappungsbreiten zwischen der Gate-Elektrode und der Source-/Drain-Elektrode zu minimieren, und ein Herstellungsverfahren zum Herstellen einer Dünnfilm-Halbleitervorrichtung, sogar eine großflächige Dünnfilm-Halbleitervorrichtung, sogleich und mit hoher Qualität und bei niedrigen Kosten vorzusehen.

[0028] Die bevorzugten Ausführungsformen der vorliegenden Erfindung, die untenstehend beschrieben sind, sehen eine Dünnfilm-Halbleitervorrichtung vor, die bei hoher Geschwindigkeit betreibbar ist, beispielsweise fähig zur Laufbilderfassung, und welche herausragende photoelektrische Konversionscharakteristiken aufweist, und sehen ein Herstellungsverfahren davon vor.

[0029] In Übereinstimmung mit einem Aspekt der vorliegenden Erfindung ist eine Dünnfilm-Halbleitervorrichtung vorgesehen, umfassend ein photoelektrisches Konversionselement mit einer ersten Elektrode, einer isolierenden Schicht, einer jeweiligen Halbleiterschicht und einer zweiten Elektrode in der genannten Reihenfolge auf einem Substrat; und einen Dünnfilm-Transistor mit einer jeweiligen Halbleiterschicht auf einer isolierenden Schicht, die auf dem Substrat vorgesehen ist, einem Paar ohmscher Kontaktschichten, die mit einem Zwischenraum auf der Halbleiterschicht des Dünnfilm-Transistors angeordnet sind, Source- und Drain-Elektroden, die in Kontakt mit den jeweiligen ohmschen Kontaktschichten vorgesehen sind, und einer Gate-Elektrode, die über eine zweite isolierende Schicht in dem Zwischenraum vorgesehen ist.

[0030] In Übereinstimmung mit einem anderen Aspekt der vorliegenden Erfindung ist ein Verfahren zum Herstellen einer Dünnfilm-Halbleitervorrichtung vorgesehen, welche ein photoelektrisches Konversionselement und einen Dünnfilm-Transistor aufweist,

wobei das Verfahren einen Schritt des Ausbildens einer ersten leitfähigen Schicht auf einem Substrat und des Ausbildens einer ersten Elektrodenstruktur aus der leitfähigen Schicht aufweist; einen Schritt des Ausbildens einer ersten isolierenden Schicht, einer Halbleiterschicht, und einer zweiten isolierenden Schicht, um die erste Elektrodenstruktur zu bedecken; einen Schritt des Strukturierens der zweiten isolierenden Schicht; und einen Schritt des Ausbildens einer ohmschen Kontaktschicht in Übereinstimmung mit der somit strukturierten zweiten isolierenden Schicht.

[0031] In der obigen Vorrichtung kann die zweite Elektrode die ohmsche Kontaktschicht sein.

[0032] In der obigen Vorrichtung können die isolierende Schicht des photoelektrischen Konversionselements und die isolierende Schicht des Dünnfilm-Transistors eine gemeinsame isolierende Schicht sein.

[0033] Ferner kann sich in der obigen Vorrichtung die isolierende Schicht des Dünnfilm-Transistors von der isolierenden Schicht des photoelektrischen Konversionselements erstrecken.

[0034] In der obigen Vorrichtung kann eine Breite der zweiten isolierenden Schicht des Dünnfilm-Transistors breiter als eine Breite der Gate-Elektrode sein.

[0035] Zusätzlich kann in der obigen Vorrichtung die zweite isolierende Schicht auf einem weiteren Halbleiter vorgesehen sein, der auf der Halbleiterschicht des Dünnfilm-Transistors ausgebildet ist.

[0036] In der obigen Vorrichtung kann der weitere Halbleiter aus einem polykristallinen Halbleitermaterial sein.

[0037] In der obigen Vorrichtung kann die Halbleiterschicht des Dünnfilm-Transistors aus amorphem Halbleitermaterial sein und kann der weitere Halbleiter aus polykristallinem Halbleitermaterial sein.

[0038] Ferner kann in der obigen Vorrichtung die ohmsche Kontaktschicht eine Verunreinigung aufweisen, die zum Steuern eines Leitungstyps des Halbleiters fähig ist.

[0039] Zusätzlich kann in der obigen Vorrichtung die zweite Elektrode des photoelektrischen Konversionselements elektrisch mit einer Elektrode von den Source- und Drain-Elektroden des Dünnfilm-Transistors verbunden sein; und die zweite Elektrode des photoelektrischen Konversionselements kann sich von der ohmschen Kontaktschicht des Dünnfilm-Transistors erstrecken.

[0040] Das obige Verfahren kann ferner einen Schritt des Ausbildens einer Gate-Elektrode auf der somit strukturierten zweiten isolierenden Schicht vor Ausbildung der ohmschen Kontaktschicht aufweisen.

[0041] Ferner kann das obige Verfahren einen Schritt zum Vorsehen einer leitfähigen Schicht auf der ohmschen Kontaktschicht nach Ausbildung der ohmschen Kontaktschicht und danach zum Strukturieren der leitfähigen Schicht vorsehen.

[0042] Ferner kann in dem obigen Verfahren der Schritt des Ausbildens der ohmschen Kontaktschicht in einem derartigen Zustand ausgeführt werden, daß ein Resist-Material auf dem zweiten isolierenden Film in Übereinstimmung mit dem Gateisolierenden Film des Dünnfilm-Transistors gehalten wird.

[0043] In dem obigen Verfahren kann vorzugsweise die Halbleiterschicht ein amorpher Halbleiter sein und das Verfahren kann ferner einen Schritt des Polykristallisierens von zumindest einem Teil einer Oberflächenseite des Halbleiters nach Ausbilden der Halbleiterschicht aufweisen.

[0044] Zusätzlich kann in dem obigen Verfahren der Schritt des Ausbildens der ohmschen Kontaktschicht ausgeführt werden, indem eine Substanz zum Steuern eines Leitungstyps in einen polykristallinen Halbleiter eingeführt wird.

KURZE BESCHREIBUNG DER ZEICHNUNGEN

[0045] Fig. 1A, Fig. 1B, Fig. 1C und Fig. 1D sind schematische Querschnittsansichten zur Erläuterung eines Beispiels der Herstellungsschritte eines Dünnfilm-Transistors;

[0046] Fig. 2A ist eine schematische Draufsicht zur Erläuterung eines Beispiels der Struktur von einem Pixel in einer photoelektrischen Konversionsvorrichtung;

[0047] Fig. 2B ist eine schematische Querschnittsansicht zur Erläuterung eines Beispiels der Struktur von einem Pixel in der photoelektrischen Konversionsvorrichtung;

[0048] Fig. 3 ist ein schematisches Ersatz-Schaltungsdiagramm, das einem Pixel entspricht;

[0049] Fig. 4A und Fig. 4B sind schematische Energiebänderdiagramme zur Erläuterung eines Beispiels zum Treiben des photoelektrischen Konversionselements;

[0050] Fig. 5 ist ein schematisches Ersatz-Schaltungsdiagramm der photoelektrischen Konversionsvorrichtung;

[0051] Fig. 6A, Fig. 6B, Fig. 6C, Fig. 6D, Fig. 6E

und Fig. 6F sind schematische Querschnittsansichten zur Erläuterung eines Beispiels von Herstellungsschritten einer photoelektrischen Konversionsvorrichtung;

[0052] Fig. 7A, Fig. 7B, Fig. 7C, Fig. 7D, Fig. 7E und Fig. 7F sind schematische Querschnittsansichten zur Erläuterung eines Beispiels von Herstellungsschritten eines Dünnfilm-Transistors;

[0053] Fig. 8A ist eine schematische Draufsicht zur Erläuterung eines Beispiels der Struktur von einem Pixel in einer photoelektrischen Konversionsvorrichtung;

[0054] Fig. 8B ist eine schematische Querschnittsansicht zur Erläuterung eines Beispiels der Struktur von einem Pixel in der photoelektrischen Konversionsvorrichtung;

[0055] Fig. 9 ist ein schematisches Ersatz-Schaltungsdiagramm, das einem Pixel entspricht;

[0056] Fig. 10A, Fig. 10B, Fig. 10C, Fig. 10D, Fig. 10E, Fig. 10F, Fig. 10G, Fig. 10H, Fig. 10I, Fig. 10J und Fig. 10K sind schematische Querschnittsansichten zur Erläuterung eines Beispiels von Herstellungsschritten der photoelektrischen Konversionsvorrichtung;

[0057] Fig. 11A ist eine schematische Draufsicht zur Erläuterung eines Beispiels der Struktur von einem Pixel in einer photoelektrischen Konversionsvorrichtung;

[0058] Fig. 11B ist eine schematische Querschnittsansicht zur Erläuterung eines Beispiels der Struktur von einem Pixel in der photoelektrischen Konversionsvorrichtung;

[0059] Fig. 12A, Fig. 12B, Fig. 12C, Fig. 12D, Fig. 12E, Fig. 12F, Fig. 12G, Fig. 12H, Fig. 12I, Fig. 12J und Fig. 12K sind schematische Querschnittsansichten zur Erläuterung eines Beispiels von Herstellungsschritten der photoelektrischen Konversionsvorrichtung;

[0060] Fig. 13A ist eine schematische Draufsicht zur Erläuterung eines Beispiels der Struktur von einem Pixel in einer photoelektrischen Konversionsvorrichtung;

[0061] Fig. 13B ist eine schematische Querschnittsansicht zur Erläuterung eines Beispiels der Struktur von einem Pixel in der photoelektrischen Konversionsvorrichtung; und

[0062] Fig. 14A, Fig. 14B, Fig. 14C, Fig. 14D, Fig. 14E, Fig. 14F, Fig. 14G, Fig. 14H, Fig. 14I, Fig. 14J, Fig. 14K, Fig. 14L und Fig. 14M sind schematische Querschnittsansichten zur Erläuterung eines Beispiels von Herstellungsschritten der photoelektrischen Konversionsvorrichtung.

BESCHREIBUNG DER BEVORZUGTEN AUSFÜHRUNGDFORMEN

[0063] Die Ausführungsformen der vorliegenden Erfindung werden im einzelnen durch Bezugnahme auf die Zeichnungen beschrieben.

(Ausführungsform 1)

[0064] Eine zweidimensionale Bildlesevorrichtung wird beispielhaft veranschaulicht als eine Dünnfilm-Halbleitervorrichtung der vorliegenden Erfindung und wird nachfolgend beschrieben werden. Fig. 8A ist eine schematische Draufsicht von einem Pixel der Bildlesevorrichtung gemäß der vorliegenden Erfindung. Fig. 8B ist eine schematische Querschnittsansicht entlang 8B-8B von Fig. 8A. Fig. 9 zeigt eine Ersatz-Schaltung von einem Pixel dieser Bildlesevorrichtung.

[0065] In Fig. 8A, Fig. 8B bezeichnet das Bezugszeichen **101** ein Glas-Substrat, ein transparentes Element oder ein Substrat, bei dem zumindest dessen Oberfläche elektrisch isolierend ist, und **102** eine untere Elektrode des photoelektrischen Konversionselements S11, welche aus einem elektrisch leitfähigen Material wie einem Metall hergestellt ist. Das Bezugszeichen **104** bezeichnet eine isolierende Schicht, welche durch Siliziumnitrid oder Siliziumoxid typisiert ist, und **105** eine Halbleiterschicht, welche aus einem nicht-einkristallinen Halbleiter hergestellt ist, beispielsweise typisiert durch amorphes Silizium oder polykristallines Silizium. Das Bezugszeichen **106** stellt eine ohmsche Schicht dar, welche aus einem Halbleiter hergestellt ist, der Verunreinigungen enthält, die zur Steuerung des Leitungstyps des Halbleiters geeignet sind. Der Halbleiter für die ohmsche Schicht **106** kann normalerweise aus nicht-einkristallinen Halbleitern ausgewählt sein, die durch N^+-Typ amorphes Silizium und N^+-Typ polykristallines Silizium typisiert sind. Das Bezugszeichen **103** bezeichnet eine Gate-Elektrode des Dünnfilm-Transistors (TFT) T11, **107** bezeichnet eine Source-Elektrode des TFT T11 und **108** eine Drain-Elektrode des TFT T11. Ein leitfähiges Material wie ein Metall kann für derartige Elektroden verwendet werden. Das Bezugszeichen **110** bezeichnet einen Gate-isolierenden Film des TFT T11, welcher aus einem isolierenden Material hergestellt werden kann, zum Beispiel wie Siliziumnitrid oder Siliziumoxid. Das Bezugszeichen **109** steht für eine Schutzschicht, welche in geeigneter Weise aus einem isolierenden Material wie Siliziumnitrid oder Siliziumoxid hergestellt werden kann. Das Bezugszeichen **111** stellt einen Kontaktabschnitt zum elektrischen Verbinden der Gate-Leitung g1 mit der Gate-Elektrode **103** dar, indem von einem Kon-

taktloch Gebrauch gemacht wird.

[0066] Wie in Fig. 8A und Fig. 8B dargestellt ist, weist das photoelektrische Konversionselement S11 die gestapelte Struktur auf, welche die untere Elektrode **102**, die isolierende Schicht **104**, die Halbleiterschicht **105** und die ohmsche Schicht **106** in dieser Reihenfolge auf dem Substrat **101** aufweist.

[0067] Der Dünnfilm-Transistor T11 weist die Halbleiterschicht **105** auf der isolierenden Schicht **104** auf, die auf dem Substrat **101** vorgesehen ist, die ohmsche Schicht **106**, welche aus Zonen mit einem Zwischenraum dazwischen auf der Halbleiterschicht **105** besteht, den Source- und Drain-Elektroden **108**, **107**, welche jeweils in Kontakt mit den jeweiligen Zonen der ohmschen Schicht **106** vorgesehen sind, und die Gate-Elektrode **103**, welche durch den Gate-isolierenden Film **110** in dem Zwischenraum vorgesehen ist.

[0068] Wie in Fig. 8A und Fig. 8B dargestellt ist, ist ein Pixel aus einem unteren MIS-Typ- (unterer Metallelektroden-Typ) Photosensor S11 und einem oberen MIS-Typ- (oberer Gate-Elektrodentyp) Dünnfilm-Transistor T11 zur Signalübertragung gebildet. Diese Struktur realisiert eine Koexistenz des oberen MIS-Typ-Dünnfilm-Transistors und des unteren MIS-Typ-Photosensors, indem die gemeinsamen Halbleiter benutzt werden, während die isolierende Schicht und die Halbleiterschicht durch gemeinsame Prozesse ausgebildet werden.

[0069] Die Elemente mit denselben Bezugszeichen wie diejenigen, die in Fig. 2A, Fig. 2B und Fig. 3 verwendet werden, bezeichnen dieselben Elemente. Der Betrieb des photoelektrischen Konversionselements S11 ist, wie vorher beschrieben wurde.

[0070] Die in dem unteren MIS-Typ-Photosensor S11 durch Licht erzeugte Ladung wird durch den Dünnfilm-Transistor T11 im Speicherkondensator C gespeichert und danach wird die Ladung von einer nicht veranschaulichten Leseschaltung ausgelesen. Die gesamte Struktur der Bildlesevorrichtung ist, wie in Fig. 5 dargestellt ist.

[0071] Ein Beispiel eines detaillierten Herstellungsverfahrens der vorliegenden Ausführungsform wird in spezifischer Weise unter Bezugnahme auf Fig. 10A bis Fig. 10K beschrieben. Die folgenden Schritte (a) bis (k) korrespondieren jeweils mit jeweiligen Fig. 10A bis Fig. 10K.

(a) Auf Glas-Substrat **301** wird nach Reinigen Chrom **302** in der Dicke von 50 nm (500 Å) und dann Aluminium **303** in der Dicke von 50 nm (500 Å) durch Sputtern abgeschieden, wobei somit eine erste leitfähige Schicht ausgebildet wird. In der vorliegenden Ausführungsform ist die erste leitfähige Schicht aus der Doppelschichtstruktur aus Chrom und Aluminium. Eine Auswahl der Metallmaterialien sollte zu diesem Zeitpunkt gemacht werden, wobei Ätzselektivitäten beim anschließenden Strukturieren einer zweiten leitfähigen Schicht und bei anschließendem Strukturieren einer dritten leitfähigen Schicht zu berücksichtigen sind.

(b) Ein positiver Photoresist wird darauf aufgebracht und der positive Photoresist wird in einer gewünschten Form strukturiert. Indem dies als eine Maske verwendet wird, wird die Chrom/Aluminium-Schicht geätzt; danach wird der positive Photoresist abgeschält und das Substrat wird gereinigt, wobei die unteren Elektroden **304** und Speicherkondensatoren (nicht veranschaulicht) der unteren MIS-Typ-Photosensoren in den jeweiligen Pixeln und untere Elektroden (nicht veranschaulicht) von Verdrahtungsabschnitten bzw. Leiterbahnabschnitten ausgebildet werden.

(c) Auf diesem Substrat wird eine erste hydrierte amorphe Siliziumnitridschicht **305** als eine isolierende Schicht dann in der Dicke von 300 nm (3000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet. Anschließend wird eine intrinsische (oder im wesentlichen intrinsische) hydrierte amorphe Siliziumschicht **306** als eine Halbleiterschicht in der Dicke von 200 nm (2000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas und Wasserstoff- (H_2) Gas ausgebildet. Ferner wird eine zweite hydrierte amorphe Siliziumnitridschicht **307** als ein Gate-isolierender Film in der Dicke von 300 nm (3000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas abgeschieden.

(d) Ein Photoresist-Muster für Kontaktlöcher und eine Isolation wird durch Photolithographie hergestellt und ein Trokkenätzen wird ausgeführt, um Teile der ersten hydrierten amorphen Siliziumnitridschicht, der intrinsischen hydrierten amorphen Siliziumschicht und der zweiten hydrierten amorphen Siliziumnitridschicht zu entfernen. Dann wird der Photoresist abgeschält und das Substrat wird gereinigt, wobei eine Ausbildung von Kontaktlöchern (nicht veranschaulicht) und eine Isolation erzielt wird.

(e) Dann wird eine zweite leitfähige Schicht **308** abgeschieden, indem Chrom durch Dampfabscheidung oder Sputtern verwendet wird. Zu diesem Zeitpunkt wird ein Kontakt mit der ersten leitfähigen Schicht durch die Kontaktlöcher hergestellt. Ein Material für die zweite leitfähige Schicht ist in gewünschter Weise eines, das selektiv bei Ätzen der dritten leitfähigen Schicht in einem anschließenden Schritt belassen wurde. In diesem Beispiel wird Chrom verwendet, wobei auch die Relation mit der ersten leitfähigen Schicht in Betracht gezogen wird, jedoch kann das Material

willkürlich aus jeden beliebigen Metallen ausgewählt werden, solange wie die Ätzselektivitäten an der ersten leitfähigen Schicht und der dritten leitfähigen Schicht beachtet werden.

(f) Anschließend wird ein positiver Photoresist aufgebracht und der Photoresist wird in einer gewünschten Form strukturiert. Indem dies als eine Maske verwendet wird, wird die Chrom-Schicht geätzt und dann wird der Photoresist abgeschält. Dann wird das Substrat gereinigt, wobei die Gate-Elektroden **309** des Dünnfilm-Transistors hergestellt werden.

(g) Indem dieses Muster bzw. diese Struktur der zweiten leitfähigen Schicht als eine Maske verwendet wird, werden unnötige Abschnitte des zweiten hydrierten amorphen Siliziumnitridfilms **307** durch Trockenätzen entfernt. (In der Zeichnung bezeichnet das Bezugszeichen **310** die verbleibende hydrierte amorphe Siliziumnitridschicht, welche der Gate-isolierende Film in diesem Beispiel wird.)

(h) Indem das in den Schritten von (f) und (g) hergestellte Gate-Elektroden-Muster als eine Maske verwendet wird, wird die Oberfläche **311** der intrinsischen hydrierten amorphen Siliziumschicht mit Ausnahme des Gate-Elektroden-Musters in den N^+-Typ durch Plasmaentladung P unter Verwendung von Phosphin- (PH_3) Gas und Wasserstoff- (H_2) Gas umgewandelt. In der vorliegenden Ausführungsform wird die Oberfläche in den N^+-Typ umgewandelt, welcher ein angereicherter N-Typ ist. Dies dient zur Verbesserung der Loch-Sperreigenschaft und der ohmschen Eigenschaft für Elektronen und ist nicht wesentlich für die vorliegende Erfindung. Zu diesem Zeitpunkt wird das in dem Schritt von (f) hergestellte Photoresist-Muster gelassen wie es ist, wobei die Abschirmung gegen das Plasma vollkommen gemacht wird. In der vorliegenden Ausführungsform kann jedoch, da die Metallschicht aus Chrom bereits als Gate-Elektroden ausgebildet wurde und das Plasma sperrt, der Photoresist nach dem Schritt (g) abgeschält werden. Das Wasserstoff- (H_2) Gas erzeugt Wasserstoff-Radikale in dem Plasma und sie fördern eine Mikrokristallisation der Oberflächenschicht. Diese mikrokristallisierte Oberfläche wird mit Phosphor dotiert, um effizient in den N^+-Typ umgewandelt zu werden. Diese N^+-Typ-Oberflächenschicht fungiert als Teile der Source- und Drain-Elektroden von jedem Dünnfilm-Transistor und als eine Fensterschicht und als eine obere Elektrode (eine Loch-Sperrschicht) von jedem MIS-Sensor. In der vorliegenden Ausführungsform sind nämlich die Photosensoren von der unteren MIS-Typ-Struktur und das Licht fällt von der entgegengesetzten Seite auf die Metallschicht, d.h, von dieser N^+-Seite, ein. Unter Betrachtung von Absorption in diesem N-Typ-Abschnitt sollte dieser Abschnitt als so dünne Struktur wie möglich konzipiert sein. Wenn diese Fensterschicht durch das Verfahren der vorliegenden Erfindung ausgebildet wird, kann die Fensterschicht in einer sehr dünnen Dicke, ungefähr 10 nm (100 Å), und mit hinreichend hoher Leitfähigkeit ausgebildet werden. Nahezu vollkommene Selbstausrichtungstyp-Elektroden werden als Elektroden der Dünnfilm-Transistoren ausgebildet.

(i) Die dritte leitfähige Schicht **312** wird dann in der Dicke von 1 µm durch Dampfabscheidung oder Sputtern unter Verwendung von Aluminium abgeschieden.

(j) Anschließend wird ein positiver Resist aufgebracht und der Photoresist wird in einer gewünschten Form strukturiert. Indem dies als eine Maske verwendet wird, wird die Aluminum-Schicht geätzt; der Photoresist wird abgeschält und das Substrat wird gereinigt, wobei die Source-Elektroden **313** und Drain-Elektroden **314** der Dünnfilm-Transistoren, die oberen Elektroden (nicht veranschaulicht) von Kondensatoren und Verdrahtungen bzw. Leiterbahnen (nicht veranschaulicht) hergestellt werden. Zu diesem Zeitpunkt wird, da Chrom für die zweite leitfähige Schicht verwendet wird, nur Aluminium selektiv geätzt. Unter der ersten leitfähigen Schicht in Teilen der Kontaktlöcher und der Verdrahtungsabschnitte der ersten leitfähigen Schicht wird Aluminium, das an der Oberfläche nach der Isolation entblößt ist, zu derselben Zeit bei dieser Gelegenheit geätzt. Jedoch bleibt, da die erste leitfähige Schicht aus der Doppelschichtstruktur aus Chrom und Aluminium ist, auch wenn die Aluminiumschicht darin geätzt wird, Chrom als Verdrahtung übrig, so daß nichts dadurch beeinträchtigt wird. Die Struktur dieser ersten bis dritten leitfähigen Schichten ist nicht auf lediglich die Kombination der vorliegenden Ausführungsform beschränkt, sondern sie kann jede beliebige Struktur sein, solange wie die Ätzselektivitäten während der Schritte gewährleistet sind.

(k) Anschließend wird eine hydrierte amorphe Siliziumnitridschicht **315** als eine Oberflächenschutzschicht in der Dicke von 600 nm (6000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet.

[0072] Die Überlappungsbreiten d_1, d_2 zwischen der Gate-Elektrode und den Source-/Drain-Elektroden wurden zu diesem Zeitpunkt gemessen. Die Meßresultate bestätigten, daß die N^+-Typ-Abschnitte Teile der Source- und Drain-Elektroden bildeten und daß sie fähig waren, in nahezu perfekter Selbstausrichtungsweise ausgebildet zu werden.

[0073] In der vorliegenden Ausführungsform sind die Prozesse so leicht bzw. einfach wie jene des inversen Staffeltyps. Die Source- und Drain-Elektroden können nämlich ohne einen Schritt des Abhebens

oder dergleichen ausgebildet werden. Folglich sind Querschnittskonfigurationen nach Ausbildung von Elektroden und dergleichen außerordentlich vorzüglich.

[0074] Wenn die Dünnfilm-Transistoren der Bildlesevorrichtung von der inversen Staffeltyp-Struktur aus der Notwendigkeit des Prozesses für dieselbe Schichtstruktur wie die Photosensoren sind, müssen die Träger in der intrinsischen hydrierten amorphen Siliziumschicht auf- und ablaufen. In jenem Fall verringerte der Widerstand in diesem Abschnitt die Beweglichkeit des Transistors. Jedoch ist es durch Anwenden der Struktur und des Herstellungsverfahrens der vorliegenden Erfindung leicht, den koplanaren Typ zu verwirklichen, wo die Photosensoren von dem unteren MIS-Typ sind und die Dünnfilm-Transistoren von dem oberen MIS-Typ sind, so daß die Geschwindigkeit des Dünnfilm-Transistors erhöht werden kann.

[0075] Zusätzlich dazu verwirklichte ferner der Gebrauch der vorliegenden Erfindung eine ausreichend gute Selbstausrichtung von Source-Elektrode und Drain-Elektrode, obgleich die Schritte nicht so sehr viel verschieden waren; und es erlaubt uns somit, die Bildlesevorrichtung mit höherer Performance bzw. Ausführungsgüte herzustellen.

[0076] Ferner wurden die Überlappungsbreiten zwischen der Source-/Drain-Elektrode und der Gate-Elektrode verringert, d.h. eine korrekte Ausrichtung wurde durch die Gate-Elektroden bewirkt; demgemäß konnte der Spielraum, der vordem sichergestellt wurde als Abschätzung der Abweichung der Maskenausrichtung oder dergleichen, sehr klein in der vorliegenden Ausführungsform gestaltet werden. Dies machte das Designen bzw. Konzipieren jedes Pixels leichter. Da die Größe des Dünnfilm-Transistors verringert wurde, war die Photosensor-Zone vergrößerungsfähig, falls der Bereich bzw. die Fläche konstant war. Dies trug auch zu einer Vergrößerung der Empfindlichkeit bei. Mit derselben Empfindlichkeit wurden die Pixel kleiner ausgebildet, so daß die Auflösung steigerungsfähig war. Die parasitären Kapazitäten von Cgs, Cds wurden vordem als Lesekondensatoren verwendet wegen der Beschränkung von dem Prozeß, jedoch wurden die meisten der Cgs, Cds Kondensatorkomponenten in der vorliegenden Ausführungsform eliminiert, was uns erlaubte, die Lesekondensatoren frei zu konzipieren und die Freiheitsgrade des Designs bzw. der Konzeption erhöhte. Die vorliegenden Ausführungsform machte auch ein Hochgeschwindigkeitsschalten des Dünnfilm-Transistors möglich und machte ein Hochgeschwindigkeitslesen der Bildlesevorrichtung selbst möglich.

[0077] Obgleich die vorliegende Ausführungsform als ein Beispiel der zweidimensionalen Bildlesevorrichtung beschrieben wurde, kann die vorliegende Erfindung auch auf eine eindimensionale Bildlesevorrichtung angewendet werden, ohne auf die zweidimensionale Bildlesevorrichtung beschränkt zu sein.

[0078] Da die vorliegende Ausführungsform von dem Typ ist, welcher Elektronen in dem Halbleiter nutzt, wird die N-Typ-Schicht verwendet, um ein Loch-Sperren und die ohmsche Eigenschaft für Elektronen zu erzielen. Falls sie angeordnet wird, um Löcher zu nutzen, wird eine P-Typ-Schicht verwendet werden, um ein Elektronen-Sperren und die ohmsche Eigenschaft für Löcher zu erzielen. Die vorliegende Erfindung kann auch auf derartige Fälle angewendet werden.

(Ausführungsform 2)

[0079] Ein Beispiel der zweidimensionalen Bildlesevorrichtung wird als eine Dünnfilm-Halbleitervorrichtung der vorliegenden Erfindung beschrieben werden. Fig. 11A ist eine schematische Draufsicht eines Pixels der Bildlesevorrichtung gemäß der vorliegenden Erfindung. Fig. 11B ist eine schematische Querschnittsansicht entlang 11B-11B von Fig. 11A. Die vorliegenden Ausführungsform ist ein Beispiel, bei dem die Reihenfolge der Ausbildung der oberen Elektroden von jener in der Bildlesevorrichtung in Ausführungsform 1 geändert ist. Die gesamte Struktur der Bildlesevorrichtung ist dieselbe wie jene des in Fig. 5 dargestellten Beispiels.

[0080] Ein detailliertes Herstellungsverfahren der vorliegenden Ausführungsform wird in spezifischer Weise unter Bezugnahme auf Fig. 12A–Fig. 12K beschrieben werden. Die folgenden Schritte (a) bis (k) korrespondieren jeweils mit Fig. 12A bis Fig. 12K.

(a) Auf Glas-Substrat **501** wird nach Reinigen Chrom **502** in der Dicke von 50 nm (500 Å) und danach Aluminium **503** in der Dicke von 50 nm (500 Å) durch Sputtern abgeschieden. Die vorliegende Ausführungsform verwendet die erste leitfähige Schicht aus der Doppelschichtstruktur aus Chrom und Aluminium, jedoch kann die erste leitfähige Schicht entweder eine einzelne Chromschicht oder eine einzelne Aluminiumschicht sein, wie nachfolgend beschrieben ist. Die vorliegende Ausführungsform übernimmt absichtlich die Doppelschichtstruktur, um die Ausbeute der unteren Elektroden zu erhöhen. Es wird jedoch angemerkt, daß die Doppelschichtstruktur nicht eine notwendige Bedingung ist.

(b) Ein positiver Photoresist wird darauf aufgebracht und der positive Photoresist wird in einer gewünschten Form strukturiert. Indem dies als eine Maske verwendet wird, wird die Chrom/Aluminium-Schicht geätzt; danach wird der positive Photoresist abgeschält und das Substrat wird gereinigt, wobei die unteren Elektroden **504** und Speicherkondensatoren (nicht veranschaulicht)

der unteren MIS-Typ-Photosensoren in den jeweiligen Pixeln und die unteren Elektroden (nicht veranschaulicht) von Verdrahtungs- bzw. Leitbahnabschnitten ausgebildet werden.

(c) Auf diesem Substrat wird dann eine hydrierte amorphe Siliziumnitridschicht **505** in der Dicke von 300 nm (3000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet. Anschließend wird eine intrinsische (oder im wesentlichen intrinsische) hydrierte amorphe Siliziumschicht **506** in der Dicke von 200 nm (2000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas und Wasserstoff- (H_2) Gas ausgebildet. Ferner wird eine hydrierte amorphe Siliziumnitridschicht **507** in der Dicke von 300 nm (3000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet.

(d) Ein Photoresist-Muster für Kontaktlöcher und eine Isolation wird mittels Photolithographie hergestellt und ein Trokkenätzen wird ausgeführt, um Teile der ersten hydrierten amorphen Siliziumnitridschicht, der intrinsischen hydrierten amorphen Siliziumschicht und der zweiten hydrierten amorphen Siliziumnitridschicht zu entfernen. Dann wird der Photoresist abgeschält und das Substrat wird gereinigt, wobei eine Ausbildung von Kontaktlöchern und eine Isolation erzielt wird.

(e) Anschließend wird das Substrat mit einem positiven Resist **508** bedeckt.

(f) Dann wird ein Muster bzw. eine Struktur **509** des Photoresists in einer gewünschten Form hergestellt.

(g) Indem dieses Muster als eine Maske verwendet wird, werden unnötige Abschnitte des zweiten hydrierten amorphen Siliziumnitridfilms durch Trockenätzen entfernt. Ein Muster wird zu diesem Zeitpunkt die Form **510** des Gate-isolierenden Films werden.

(h) Indem das in den Schritten von (e), (f) und (g) hergestellte Gate-isolierende Film-Muster als eine Maske verwendet wird, wird die Oberfläche der intrinsischen hydrierten amorphen Siliziumschicht mit Ausnahme des Gate-isolierenden Film-Musters in den N^+-Typ durch Plasmaentladung P unter Verwendung von Phosphin- (PH_3) Gas und Wasserstoff- (H_2) Gas umgewandelt. In der vorliegenden Ausführungsform wird die Oberfläche in den N^+-Typ umgewandelt, welcher ein angereicherter N-Typ aus dem gleichen Grund wie in Ausführungsform **1** ist. Zu diesem Zeitpunkt wird das in dem Schritt von (f) hergestellte Photoresist-Muster gelassen, wie es ist, wobei die Abschirmung gegen das Plasma vollkommen gemacht wird. Das Wasserstoff- (H_2) Gas erzeugt Wasserstoff-Radikale in dem Plasma und sie fördern eine Mikrokristallisation der Oberflächenschicht. Diese mikrokristallisierte Oberfläche wird mit Phosphor dotiert, um effizient in den N^+-Typ umgewandelt zu werden. Diese N^+-Typ-Oberflächenschicht fungiert als Teile der Source- und Drain-Elektroden von jedem Dünnfilm-Transistor und als eine Fensterschicht und als eine obere Elektrode (eine Loch-Sperrschicht) von jedem unteren MIS-Photosensor. In der vorliegenden Ausführungsform sind nämlich die Photosensoren aus der unteren MIS-Typ-Struktur und das Licht fällt von der gegenüberliegenden Seite auf die Metallschicht ein, d.h. von dieser N^+-Seite. Indem eine Absorption in diesem N^+-Typ-Abschnitt betrachtet wird, sollte dieser Abschnitt als so dünne Schicht wie möglich konstruiert bzw. konzipiert sein. Wenn diese Fensterschicht durch das Verfahren der vorliegenden Erfindung ausgebildet wird, kann die Fensterschicht in einer sehr dünnen Dicke ausgebildet werden, ungefähr 10 nm (100 Å), und mit hinreichend hoher Leitfähigkeit. Nahezu perfekte Selbstausrichtungstyp-Elektroden werden als Elektroden von Dünnfilm-Transistoren ausgebildet.

(i) Nachdem dieser Photoresist abgeschält worden ist, wird eine zweite leitfähige Schicht **512** abgeschieden, indem Aluminium durch Dampfabscheidung oder Sputtern verwendet wird. Zu diesem Zeitpunkt wird ein Kontakt durch Kontaktlöcher mit der ersten Elektrodenschicht hergestellt.

(j) Danach wird ein positiver Resist aufgebracht und der Photoresist wird in einer gewünschten Form strukturiert. Indem dies als eine Maske verwendet wird, wird die Aluminiumschicht geätzt; der Photoresist wird abgeschält und das Substrat wird gereinigt, wobei die Gate-Elektroden **514**, die Source-Elektroden **513** und Drain-Elektroden **515** der Dünnfilm-Transistoren, die oberen Elektroden von Kondensatoren und Verdrahtungen hergestellt werden.

(k) Anschließend wird eine hydrierte amorphe Siliziumnitridschicht **516** als eine Oberflächenschutzschicht in der Dicke von 600 nm (6000 Å) durch die plasmaverstärkte CVD ausgebildet, indem Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas verwendet werden.

[0081] In der vorliegenden Ausführungsform wird, da die Oberfläche der intrinsischen hydrierten amorphen Siliziumschicht in den N^+-Typ mit dem Photoresist-Muster als einer Maske umgewandelt wird, es möglich, die Gate-Elektroden, die Source-Elektroden, die Drain-Elektroden, die Verdrahtungen, die oberen Elektroden etc. durch eine Gruppe bzw. Reihe aus Abscheiden und Strukturieren einer Metallschicht auszubilden. Die dritte leitfähige Schicht muß nämlich nicht hergestellt werden.

[0082] Folglich ist die Anzahl von Photolithographieschritten und Abscheidungsschritten um einen kleiner als jene in Ausführungsform 1, so daß die Dünnfilm-Halbleitervorrichtung bei niedrigeren Kos-

ten verwirklicht werden kann. In der vorliegenden Ausführungsform wurde die erste leitfähige Schicht aus Chrom und Aluminium hergestellt, jedoch kann sie eine einzelne Metallschicht sein. In diesem Fall kann dasselbe Metall für die erste leitfähige Schicht und die zweite leitfähige Schicht verwendet werden, was bevorzugt ist, da die Vorrichtungsbelastungen bei der Herstellung und dergleichen verringert werden.

[0083] In der vorliegenden Ausführungsform werden, da die Metallschicht der Gate-Elektroden und der Source-/Drain-Elektroden zu einem Zeitpunkt hergestellt wird, die Gate-Elektrodenabschnitte geringfügig innerhalb der Gateisolierenden Abschnitte ausgebildet. Demgemäß sind die Überlappungsbreiten d_1, d_2 gleich 0 oder weniger; vielmehr überlappen die Elektroden nicht miteinander in vielen Fällen.

[0084] Die vorliegende Ausführungsform verwirklichte leichte bzw. einfache Prozesse näher an jenen des inversen Staffeltyps. In der vorliegenden Ausführungsform können die Source-Elektroden und Drain-Elektroden ohne einen Schritt des Abhebens oder dergleichen ausgebildet werden wie in Ausführungsform 1. Folglich sind die Querschnittskonfigurationen nach Ausbildung von Elektroden etc. außerordentlich vorzüglich.

[0085] Mit anderen Worten, kann die vorliegende Ausführungsform die Hochleistungs-Halbleitervorrichtung vorsehen, welche die einfachere Struktur und ähnlich herausragende Charakteristiken wie jene von Ausführungsform 1 aufweist.

(Ausführungsform 3)

[0086] Die vorliegende Ausführungsform zeigt ein Beispiel unter Verwendung von Poly-Silizium (polykristallines Silizium) für wenigstens einen Teil des Dünnfilm-Transistors und von hydriertem amorphem Silizium für wenigstens einen Teil des Photosensors.

[0087] Fig. 13A ist eine schematische Draufsicht eines Pixels der Bildlesevorrichtung gemäß der vorliegenden Erfindung. Fig. 13B ist eine schematische Querschnittsansicht entlang 13B-13B von Fig. 13A. Wie veranschaulicht ist, weist das vorliegende Beispiel auch ein photoelektrisches Konversionselement S11 des unteren MIS-Typs (unterer Metall-Elektrodentyp) und einen Dünnfilm-Transistor T11 des oberen MIS-Typs (oberer Gate-Elektrodentyp) zur Signalübertragung in einem Pixel auf.

[0088] In den Zeichnungen bezeichnet das Bezugszeichen **1301** ein Substrat, **1302** eine untere Elektrode des photoelektrischen Konversionselements, **1303** eine Gate-Elektrode, **1304** eine isolierende Schicht, **1305** eine Halbleiterschicht, **1306** eine ohmsche Schicht, **1307** eine Drainelektrode, **1308** eine Source-Elektrode, **1309** eine Schutzschicht und **1310** einen Gateisolierenden Film. Das Bezugszeichen **1311** bezeichnet eine polykristalline Halbleiterschicht.

[0089] Ein detailliertes Herstellungsverfahren der vorliegenden Ausführungsform wird in spezifischer Weise unter Bezugnahme auf Fig. 14A bis Fig. 14M beschrieben werden. Die folgenden Schritte (a) bis (m) korrespondieren jeweils mit Fig. 14A bis Fig. 14M.

(a) Auf Glas-Substrat wird nach Reinigen Chrom **1402** in der Dicke von 50 nm (500 Å) und danach Aluminium **1403** in der Dicke von 50 nm (500 Å) durch Sputtern abgeschieden, wobei eine erste leitfähige Schicht ausgebildet wird. In der vorliegenden Ausführungsform ist die erste leitfähige Schicht aus der Doppelschichtstruktur aus Chrom und Aluminium. Eine Auswahl der Metallmaterialien sollte zu diesem Zeitpunkt getroffen werden, wobei vorzugsweise die Ätzselektivitäten beim anschließenden Strukturieren einer zweiten leitfähigen Schicht und beim anschließenden Strukturieren einer dritten leitfähigen Schicht in Betracht gezogen wird.

(b) Ein positiver Photoresist wird darauf aufgebracht und der positiver Photoresist wird in einer gewünschten Form strukturiert. Indem dies als eine Maske verwendet wird, wird die Chrom/Aluminium-Schicht geätzt; danach wird der positive Photoresist abgeschält und das Substrat wird gereinigt, wobei die unteren Elektroden **1404** und Speicherkondensatoren (nicht veranschaulicht) der unteren MIS-Typ-Photosensoren in den jeweiligen Pixeln und die unteren Elektroden (nicht veranschaulicht) von Verdrahtungsabschnitten ausgebildet werden.

(c) Auf diesem Substrat wird dann eine hydrierte amorphe Siliziumnitridschicht **1405** als eine isolierende Schicht in der Dicke von 300 nm (3000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet. Anschließend wird eine intrinsische (oder im wesentlichen intrinsische) hydrierte amorphe Siliziumschicht **1406** als eine Halbleiterschicht in der Dicke von 500 nm (5000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas und Wasserstoff- (H_2) Gas ausgebildet.

(d) Dann wird die Oberfläche der intrinsischen hydrierten amorphen Siliziumschicht kristallisiert, indem der XeCl-Excimer-Laser verwendet wird, um eine polykristalline Schicht auszubilden. In der vorliegenden Ausführungsform wird Licht aus einer Laserquelle in eine Linie aus Licht L durch einen Homogenisierer geändert und die gesamte Oberfläche **1407** der Oberflächenschicht wird durch Scannen mit dem Licht polykristallisiert. Die Bestrahlungsintensität ist 200 mJ/cm^2 und die Dicke der polykristallinen Schicht ist zu diesem Zeit-

punkt 100 nm (1000 Å), wobei die Dicke ausreichend ist, um als eine Kanalschicht des Dünnfilm-Transistors zu fungieren. Das Verfahren gemäß der vorliegenden Ausführungsform ist insofern sehr passend, als, da die Dünnfilm-Transistoren von der oberen Gate-Struktur sind, auch wenn die Dicke der hydrierten amorphen Siliziumschicht groß ist, lediglich die Oberflächenschicht polykristallisiert werden kann und dieser Abschnitt für die Kanäle genutzt werden kann. Da die Dicke der hydrierten amorphen Siliziumschicht nicht unter ein bestimmtes Niveau hinsichtlich der Empfindlichkeit des Photosensors verringert werden kann, ist das Verfahren gemäß der vorliegenden Erfindung vorteilhaft.

In der vorliegenden Ausführungsform wurde die Oberfläche der intrinsischen hydrierten amorphen Siliziumschicht kristallisiert, indem der XeCl-Excimer-Laser verwendet wird, jedoch kann das Kristallisationsverfahren jedes beliebige Kristallisationsverfahren sein, das für den Schritt der vorliegenden Erfindung geeignet ist, z.B. ein Laser einer geeigneteren Wellenlänge und Energie.

(e) Anschließend wird eine hydrierte amorphe Siliziumnitridschicht **1408** als ein Gate-isolierender Film in der Dicke von 300 nm (3000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas abgeschieden.

(f) Ein Photoresist-Muster für Kontaktlöcher und eine Isolation wird mittels Photolithographie hergestellt und ein Trockenätzen wird ausgeführt, um Teile der ersten hydrierten amorphen Siliziumnitridschicht, der intrinsischen hydrierten amorphen Siliziumschicht, einschließlich der kristallisierten Oberflächenschicht, und der zweiten hydrierten amorphen Siliziumnitridschicht zu entfernen. Dann wird der Photoresist abgeschält und das Substrat wird gereinigt, wobei eine Ausbildung von Kontaktlöchern (nicht veranschaulicht) und eine Isolation erzielt wird.

(g) Dann wird eine zweite leitfähige Schicht **1409**, um die Gate-Elektroden zu werden, abgeschieden, indem Chrom durch Sputtern verwendet wird. Zu diesem Zeitpunkt wird ein Kontakt zwischen der ersten leitfähigen Schicht und der zweiten leitfähigen Schicht durch die Kontaktlöcher hergestellt. Das Material für die zweite leitfähige Schicht wird vorzugsweise ausgewählt als eines, das in selektiver Weise übrig bleibt, ohne bei Ätzen der dritten leitfähigen Schicht in einem anschließenden Schritt beeinträchtigt zu werden. In dieser Ausführungsform wird Chrom verwendet, wobei ferner die Beziehung mit der ersten leitfähigen Schicht berücksichtigt wird, jedoch kann das Material willkürlich aus jeden beliebigen Metallen ausgewählt werden, solange wie die Ätzselektivitäten an der ersten leitfähigen Schicht und der dritten leitfähigen Schicht beachtet werden. Die Materialien sollten nämlich basierend auf solchen Kriterien ausgewählt werden, daß die erste leitfähige Schicht nicht einem fatalen Einfluß während des Ätzens der zweiten leitfähigen Schicht unterliegt und daß die erste leitfähige Schicht und die zweite leitfähige Schicht nicht einem fatalen Einfluß während des Ätzens der dritten leitfähigen Schicht unterliegen.

(h) Anschließend wird ein positiver Photoresist aufgebracht und der Photoresist wird in einer gewünschten Form strukturiert. Indem dies als eine Maske verwendet wird, wird die Chromschicht geätzt und dann wird der Photoresist abgeschält. Dann wird das Substrat gereinigt, wobei die Gate-Elektroden **1410** der Dünnfilm-Transistoren hergestellt werden. Die erste leitfähige Schicht ist aus der Doppelschichtstruktur aus Chrom und Aluminium, wobei die äußerste Oberfläche Aluminium ist. Dies schützt die erste leitfähige Schicht vor einer Beschädigung während des Ätzens der zweiten leitfähigen Schicht.

(i) Indem dieses Muster der zweiten leitfähigen Schicht als eine Maske verwendet wird, werden unnötige Abschnitte des zweiten hydrierten amorphen Siliziumnitridfilms durch Trockenätzen entfernt (das Bezugszeichen **1411** bezeichnet die verbliebene hydrierte amorphe Siliziumnitridschicht, welche ein Gate-isolierender Film in diesem Beispiel wird). Zu derselben Zeit werden 80 nm (800 Å) von 100 nm (1000 Å) der polykristallisierten Oberfläche der intrinsischen hydrierten amorphen Siliziumschicht herausgeätzt. Da dieser polykristallisierte Abschnitt eine Fensterschicht eines Sensorabschnitts in einem anschließendem Schritt wird, wird der verbliebene Film der polykristallisierten Schicht auf 20 nm (200 Å) zu dem Zweck eingestellt, eine Absorption von Licht in diesem Abschnitt zu unterdrücken.

(j) Indem das in den Schritten von (g) und (h) hergestellte Gate-Elektrodenmuster als eine Maske verwendet wird, wird die polykristallisierte Oberfläche **1407** der intrinsischen hydrierten amorphen Siliziumschicht mit Ausnahme des Gate-Elektrodenmusters in den N^+-Typ durch Plasmaentladung P unter Verwendung von Phosphin- (PH_3) Gas und Wasserstoff- (H_2) Gas ungewandelt. In der vorliegenden Ausführungsform wird die Oberfläche in den N^+-Typ umgewandelt, welcher ein angereicherter N-Typ ist. Dies dient zur Verbesserung der Loch-Sperreigenschaft und der ohmschen Eigenschaft für Elektronen und ist nicht wesentlich für die vorliegende Erfindung.

[0090] Zu diesem Zeitpunkt wird das in dem Schritt von (g) hergestellte Photoresist-Muster gelassen wie es ist, wobei die Abschirmung gegenüber dem Plasma vollkommen gemacht wird. In der vorliegenden Ausführungsform kann jedoch, da die Metallschicht aus Chrom bereits als Gate-Elektroden ausgebildet wurde und das Plasma sperrt, der Photoresist nach dem Schritt (h), abgeschält werden. Das Wasser-

stoff- (H_2) Gas erzeugt Wasserstoff-Radikale in dem Plasma und sie fördern eine Mikrokristallisation der Oberflächenschicht. Diese mikrokristallisierte Oberfläche wird mit Phosphor dotiert, um effizient in den N^+-Typ umgewandelt zu werden. In der vorliegenden Ausführungsform ist, da dieser N^+-Typ-Umwandlungsabschnitt bereits in dem Schritt (d) polykristallisiert wurde, dieser Abschnitt in der Lage, noch effizienter in den N^+-Typ umgewandelt zu werden. Diese N^+-Typ-Oberflächenschicht fungiert als Teile der Source- und Drain-Elektroden von jedem Dünnfilm-Transistor und als eine Fensterschicht und als eine obere Elektrode (eine Loch-Sperrschicht) jedes MIS-Sensors. In der vorliegenden Ausführungsform sind nämlich die Photosensoren von der unteren MIS-Typ-Struktur und das Licht fällt von der gegenüberliegenden Seite auf die Metallschicht, d.h. von dieser N^+-Seite, ein. Indem eine Absorption in diesem N^+-Typ-Abschnitt betrachtet wird, sollte dieser Abschnitt als eine so dünne Struktur wie möglich konzipiert werden.

[0091] Wenn diese Fensterschicht durch das Verfahren der vorliegenden Erfindung ausgebildet wird, kann die Fensterschicht in einer sehr dünnen Dicke ausgebildet werden, ungefähr 20 nm (200 Å), und mit hinreichend hoher Leitfähigkeit. Nahezu perfekte Selbstausrichtungstyp-Elektroden werden als Elektroden der Dünnfilm-Transistoren ausgebildet.

(j) Die dritte leitfähige Schicht **1412** wird dann in der Dicke von 1 µm abgeschieden, indem Aluminium durch Dampfabscheidung oder Sputtern verwendet wird, um die Source- und Drain-Elektroden etc. auszubilden.

(k) Anschließend wird ein positiver Resist aufgebracht und der Photoresist wird in einer gewünschten Form strukturiert. Indem dies als eine Maske verwendet wird, wird die Aluminiumschicht geätzt; der Photoresist wird abgeschält und das Substrat wird gereinigt, wobei die Source-Elektroden **1413** und Drain-Elektroden **1414** der Dünnfilm-Transistoren, die oberen Elektroden (nicht veranschaulicht) von Kondensatoren und Verdrahtungen (nicht veranschaulicht) hergestellt werden. Zu diesem Zeitpunkt wird, da Chrom für die zweite leitfähige Schicht verwendet wird, nur Aluminium selektiv geätzt. Unter der ersten leitfähigen Schicht in Teilen der Kontaktlöcher und der Verdrahtungsabschnitte der ersten leitfähigen Schicht wird Aluminium, das an der Oberfläche nach Isolation entblößt ist, zu derselben Zeit bei dieser Gelegenheit geätzt. Jedoch bleibt, da die erste leitfähige Schicht aus der Doppelschichtstruktur aus Chrom und Aluminium ist, auch wenn die Aluminiumschicht darin geätzt wird, Chrom als Verdrahtung, so daß nichts dadurch beeinträchtigt wird. Die Struktur dieser ersten bis dritten leitfähigen Schichten ist nicht auf lediglich die Kombination der vorliegenden Ausführungsform beschränkt, sondern sie kann jede beliebige Struktur sein, solange wie die Ätzselektivitäten während der Schritte gewährleistet sind.

(l) Anschließend wird eine hydrierte amorphe Siliziumnitridschicht **1415** als eine Oberflächenschutzschicht in der Dicke von 600 nm (6000 Å) durch die plasmaverstärkte CVD unter Verwendung von Silan- (SiH_4) Gas, Ammoniak- (NH_3) Gas und Wasserstoff- (H_2) Gas ausgebildet.

[0092] Die Überlappungsbreiten d_1, d_2 zwischen der Gate-Elektrode und der Source-/Drain-Elektrode wurden zu diesem Zeitpunkt gemessen. Die Meßergebnisse bestätigten, daß die N^+-Typ-Abschnitte Teile der Source- und Drain-Elektroden bildeten und daß sie in der Lage waren, in nahezu perfekter Selbstausrichtungsweise ausgebildet zu werden.

[0093] In der vorliegenden Ausführungsform gemäß der vorliegenden Erfindung können die Source- und Drain-Elektroden durch die leichten bzw. einfachen Prozesse ausgebildet werden, die denjenigen des inversen Staffeltyps ohne eine Schritt des Abhebens oder dergleichen vergleichbar sind. Folglich sind die Querschnittskonfigurationen nach Ausbildung von Elektroden und dergleichen außerordentlich vorzüglich.

[0094] In der vorliegenden Ausführungsform kann der Herstellungsschritt durch die Selbstausrichtung der Source- und Drain-Elektroden der Dünnfilm-Transistoren eine Umwandlung in den N^+-Typ mittels Plasma mit einem Photoresist als einer Maske wie in den Schritten (e)–(h) der Ausführungsform 2 beinhalten.

[0095] Ferner können, wenn die zweite isolierende Schicht mit einem Photoresist strukturiert wird, die Verdrahtungs- bzw. Leiterbahnabschnitte und die Gate-Elektroden der Dünnfilm-Transistoren gleichzeitig hergestellt werden, indem ein Metall wie Chrom für die zweite leitfähige Schicht verwendet wird. In diesem Fall ist es unter Berücksichtigung des Verdrahtungswiderstands besser, die erste leitfähige Schicht aus Aluminium/Chrom und die zweite Schicht aus Aluminium auszubilden. Dies eliminiert die Schritte des Ausbildens der dritten leitfähigen Schicht und des Strukturierens von ihr, wobei somit ferner der Prozeß vereinfacht wird und somit die Kosteneffizienz gesteigert wird.

[0096] Die vorliegende Ausführungsform kann die verschiedenen Charakteristiken einschließlich der Schaltcharakteristiken des Dünnfilm-Transistors noch mehr durch Polykristallisation steigern und kann die photosensitiven Charakteristiken des photoelektrischen Konversionselementteilabschnitts durch die Verwendung von amorphem Silizium optimieren. Dies verwirklichte einen Betrieb bei höherer Geschwindigkeit und erhöhte noch mehr die Anpassungsfähigkeit zum Erfassen von Laufbildinformation

zusätzlich zu den vorher erwähnten Effekten.

[0097] Obgleich die vorliegende Ausführungsform als ein Beispiel der zweidimensionalen Bildlesevorrichtung beschrieben wurde, kann die vorliegende Erfindung auch auf eine eindimensionale Bildlesevorrichtung angewandt werden, ohne auf die zweidimensionale Bildlesevorrichtung beschränkt zu sein.

[0098] Da die vorliegende Ausführungsform von der Art ist, bei der Elektronen in dem Halbleiter genutzt werden, wird die N^+-Typ-Schicht verwendet, um eine Loch-Sperrung und die ohmsche Eigenschaft für Elektronen zu erzielen. Falls sie angeordnet wird, um Löcher zu nutzen, wird eine P-Typ-Schicht verwendet werden, um eine Elektronen-Sperrung und die ohmsche Eigenschaft für Löcher zu erzielen.

[0099] Mit anderen Worten, da die Kanalabschnitte der Dünnfilm-Transistoren in der vorliegenden Ausführungsform kristallisiert sind, wird die Loch-Beweglichkeit ferner drastisch verbessert und die vorliegende Ausführungsform kann somit effektiv die Form zur Nutzung der Löcher verwirklichen.

Patentansprüche

1. Dünnfilm-Halbleitervorrichtung umfassend ein photoelektrisches Konversionselement mit einer ersten Elektrode, einer isolierenden Schicht, einer jeweiligen Halbleiterschicht und einer zweiten Elektrode in der genannten Reihenfolge auf einem Substrat; und einen Dünnfilm-Transistor mit einer jeweiligen Halbleiterschicht, einem Paar ohmscher Kontaktschichten, die mit einem Zwischenraum auf der Halbleiterschicht des Dünnfilm-Transistors angeordnet sind, Source- und Drain-Elektroden, die in Kontakt mit den jeweiligen ohmschen Kontaktschichten vorgesehen sind, und einer Gate-Elektrode, die über eine zweite isolierende Schicht in dem Zwischenraum vorgesehen ist.

2. Vorrichtung nach Anspruch 1, wobei die Halbleiterschicht des Dünnfilm-Transistors auf einer auf dem Substrat vorgesehenen isolierenden Schicht vorgesehen ist.

3. Vorrichtung nach Anspruch 1, wobei die zweite Elektrode eine ohmsche Kontaktschicht aufweist.

4. Vorrichtung nach Anspruch 1, wobei die Halbleiterschicht des photoelektrischen Konversionselements und die Halbleiterschicht des Dünnfilm-Transistors eine gemeinsame Halbleiterschicht sind.

5. Vorrichtung nach Anspruch 1, wobei die Halbleiterschicht des Dünnfilm-Transistors sich von der Halbleiterschicht des photoelektrischen Konversionselements erstreckt.

6. Vorrichtung nach Anspruch 2, wobei die isolierende Schicht des photoelektrischen Konversionselements und die isolierende Schicht des Dünnfilm-Transistors eine gemeinsame isolierende Schicht sind.

7. Vorrichtung nach Anspruch 2, wobei die isolierende Schicht des Dünnfilm-Transistors sich von der isolierenden Schicht des photoelektrischen Konversionselements erstreckt.

8. Vorrichtung nach Anspruch 1, wobei eine Breite der zweiten isolierenden Schicht des Dünnfilm-Transistors gleich einer oder breiter als eine Breite der Gate-Elektrode ist.

9. Vorrichtung nach Anspruch 1, wobei die zweite isolierende Schicht auf einem weiteren Halbleiter vorgesehen ist, welcher auf der Halbleiterschicht des Film-Transistors ausgebildet ist.

10. Vorrichtung nach Anspruch 9, wobei der weitere Halbleiter aus polykristallinem Halbleitermaterial ist.

11. Vorrichtung nach Anspruch 9, wobei die Halbleiterschicht des Dünnfilm-Transistors aus amorphem Halbleitermaterial ist und der weitere Halbleiter aus polykristallinem Halbleitermaterial ist.

12. Vorrichtung nach Anspruch 3, wobei die ohmsche Kontaktschicht eine Verunreinigung aufweist, die zum Steuern eines Halbleiterleitungstyps geeignet ist.

13. Vorrichtung nach Anspruch 1, wobei die zweite Elektrode des photoelektrischen Konversionselements elektrisch mit einer Elektrode von den Source- und Drain-Elektroden des Dünnfilm-Transistors verbunden ist.

14. Vorrichtung nach Anspruch 1, wobei die zweite Elektrode des photoelektrischen Konversionselements sich von der ohmschen Kontaktschicht des Dünnfilm-Transistors erstreckt.

15. Vorrichtung nach Anspruch 1, wobei die erste Elektrode des photoelektrischen Konversionselements elektrisch mit einer Elektrode von den Source- und Drain-Elektroden des Dünnfilm-Transistors verbunden ist.

16. Verfahren zum Herstellen einer Dünnfilm-Halbleitervorrichtung, welche ein photoelektrisches Konversionselement und einen Dünnfilm-Transistor aufweist, mit den folgenden Schritten:
Ausbilden einer ersten leitfähigen Schicht auf einem Substrat und Ausbilden einer ersten Elektrodenstruktur aus der leitfähigen Schicht, wobei eine erste Elektrode und eine Verdrahtung des photoelektrischen

Konversionselements ausgebildet wird;
Ausbilden einer ersten isolierenden Schicht, einer Halbleiterschicht, einer zweiten isolierenden Schicht und einer zweiten leitfähigen Schicht in der genannten Reihenfolge, um die erste Elektrodenstruktur zu bedecken; Strukturieren der zweiten leitfähigen Schicht, wobei die strukturierte zweite leitfähige Schicht eine Gate-Elektrode des Dünnfilm-Transistors wird; und
Strukturieren der zweiten isolierenden Schicht, wobei die strukturierte zweite isolierende Schicht ein Gateisolierender Film des Dünnfilm-Transistors wird; und
Ausbilden einer ohmschen Kontaktschicht durch Verwendung der zweiten leitfähigen Schicht und der somit strukturierten zweiten isolierenden Schicht.

17. Verfahren zum Herstellen einer Dünnfilm-Halbleitervorrichtung, welche ein photoelektrisches Konversionselement und einen Dünnfilm-Transistor aufweist, mit den folgenden Schritten:
Ausbilden einer ersten leitfähigen Schicht auf einem Substrat und Ausbilden einer ersten Elektrodenstruktur aus der leitfähigen Schicht, wobei eine erste Elektrode und eine Verdrahtung des photoelektrischen Konversionselements ausgebildet wird;
Ausbilden einer ersten isolierenden Schicht, einer Halbleiterschicht, einer zweiten isolierenden Schicht und einer zweiten leitfähigen Schicht in der genannten Reihenfolge, um die erste Elektrodenstruktur zu bedecken; Strukturieren der zweiten isolierenden Schicht, wobei die strukturierte zweite isolierende Schicht ein Gateisolierender Film des Dünnfilm-Transistors wird; und
Ausbilden einer ohmschen Kontaktschicht durch Verwendung der somit strukturierten zweiten isolierenden Schicht.

18. Verfahren nach Anspruch 17, ferner mit Ausbilden einer Gate-Elektrode auf der somit strukturierten zweiten isolierenden Schicht vor Ausbildung der ohmschen Kontaktschicht.

19. Verfahren nach Anspruch 17, ferner mit Vorsehen einer leitfähigen Schicht auf der ohmschen Kontaktschicht nach Ausbildung der ohmschen Kontaktschicht und danach mit Strukturieren der leitfähigen Schicht.

20. Verfahren nach Anspruch 18, ferner mit Vorsehen einer leitfähigen Schicht auf der ohmschen Kontaktschicht nach Ausbildung der ohmschen Kontaktschicht und danach mit Strukturieren der leitfähigen Schicht.

21. Verfahren nach Anspruch 16, wobei der Schritt des Ausbildens der ohmschen Kontaktschicht in einem derartigen Zustand ausgeführt wird, daß ein Resist-Material auf der Gate-Elektrode des Dünnfilm-Transistors gehalten wird.

22. Verfahren nach Anspruch 17, wobei der Schritt des Ausbildens der ohmschen Kontaktschicht in einem derartigen Zustand ausgeführt wird, daß ein Resist-Material auf dem zweiten isolierenden Film in Übereinstimmung mit dem Gateisolierenden Film des Dünnfilm-Transistors gehalten wird.

23. Verfahren nach Anspruch 16, wobei die Halbleiterschicht ein amorpher Halbleiter ist, wobei das Verfahren ferner das Polykristallisieren von zumindest einem Teil einer Oberflächenseite des Halbleiters nach Ausbilden der Halbleiterschicht umfaßt.

24. Verfahren nach Anspruch 16, wobei der Schritt des Ausbildens der ohmschen Kontaktschicht ausgeführt wird, indem eine Substanz zum Steuern eines Leitungstyps in einen polykristallinen Halbleiter eingeführt wird.

Es folgen 15 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1A

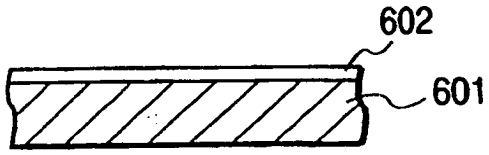

FIG. 1B

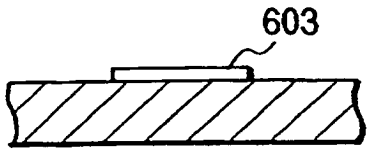

FIG. 1C

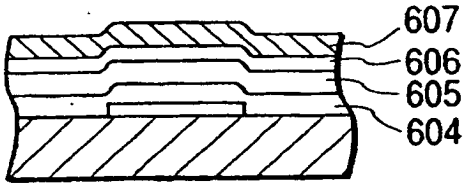

FIG. 1D

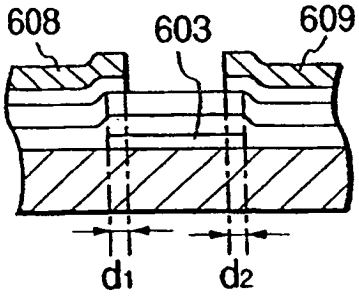

FIG. 2A

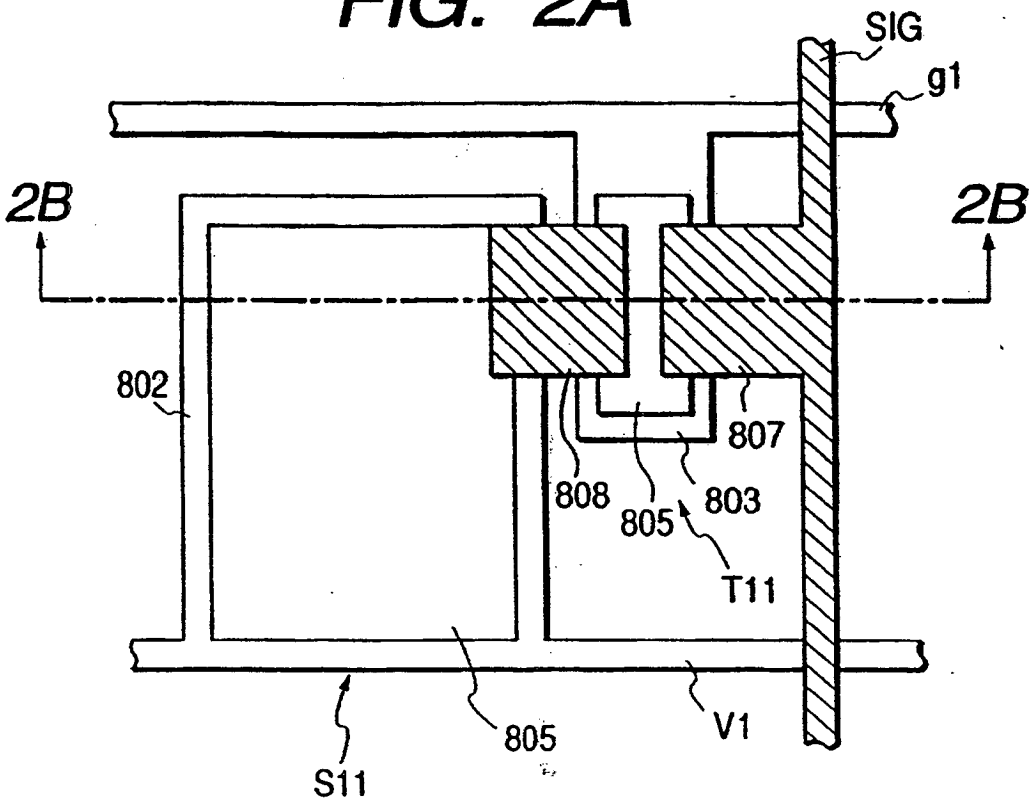
SIG
g1
2B
2B
802
807
808
805
803
T11
805
V1
S11

FIG. 2B

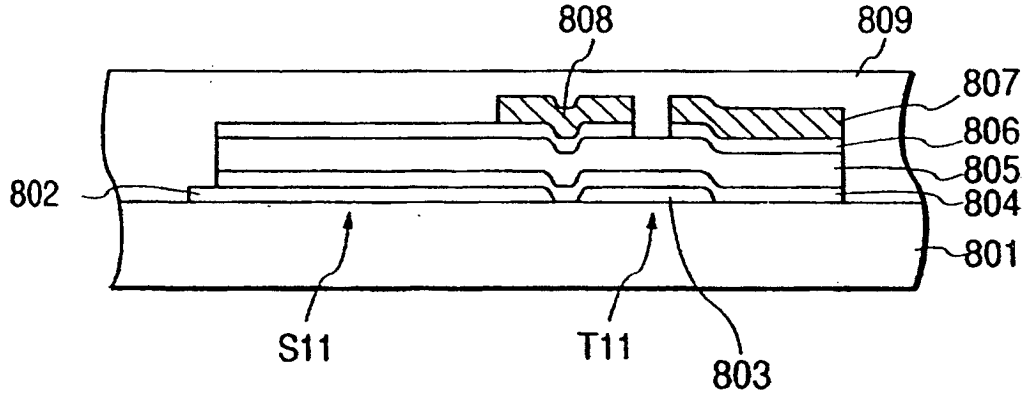
808
809
807
806
805
804
802
801
S11
T11
803

FIG. 3

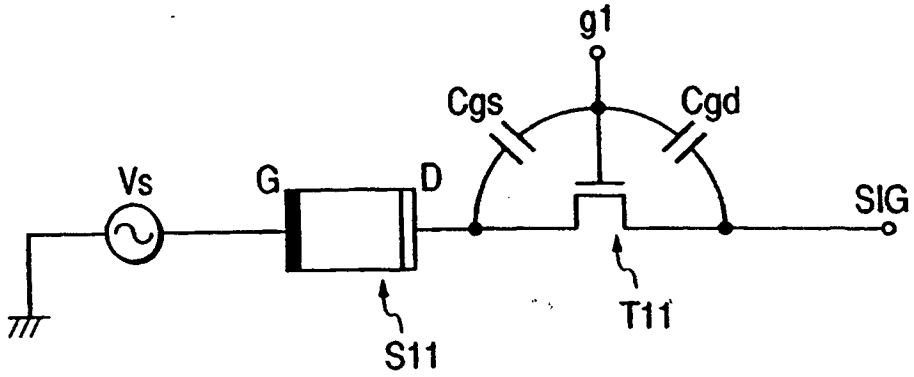

FIG. 4A

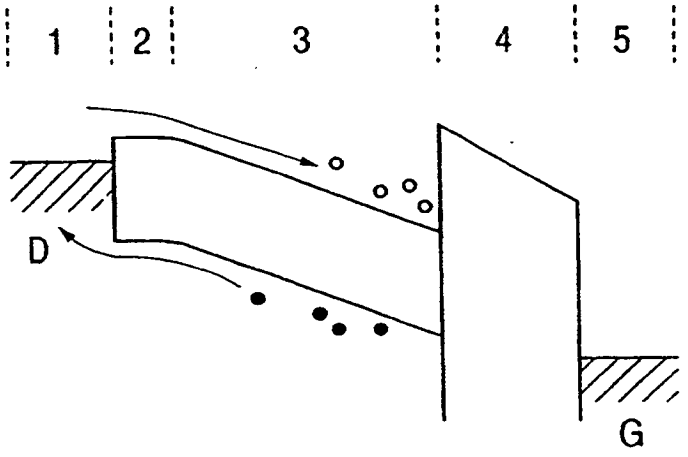

FIG. 4B

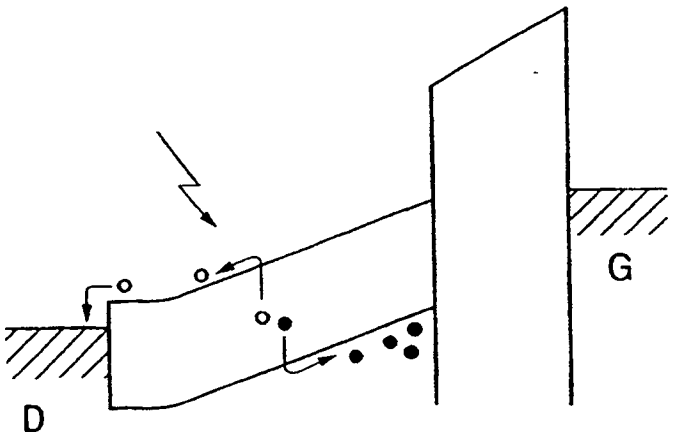

FIG. 5

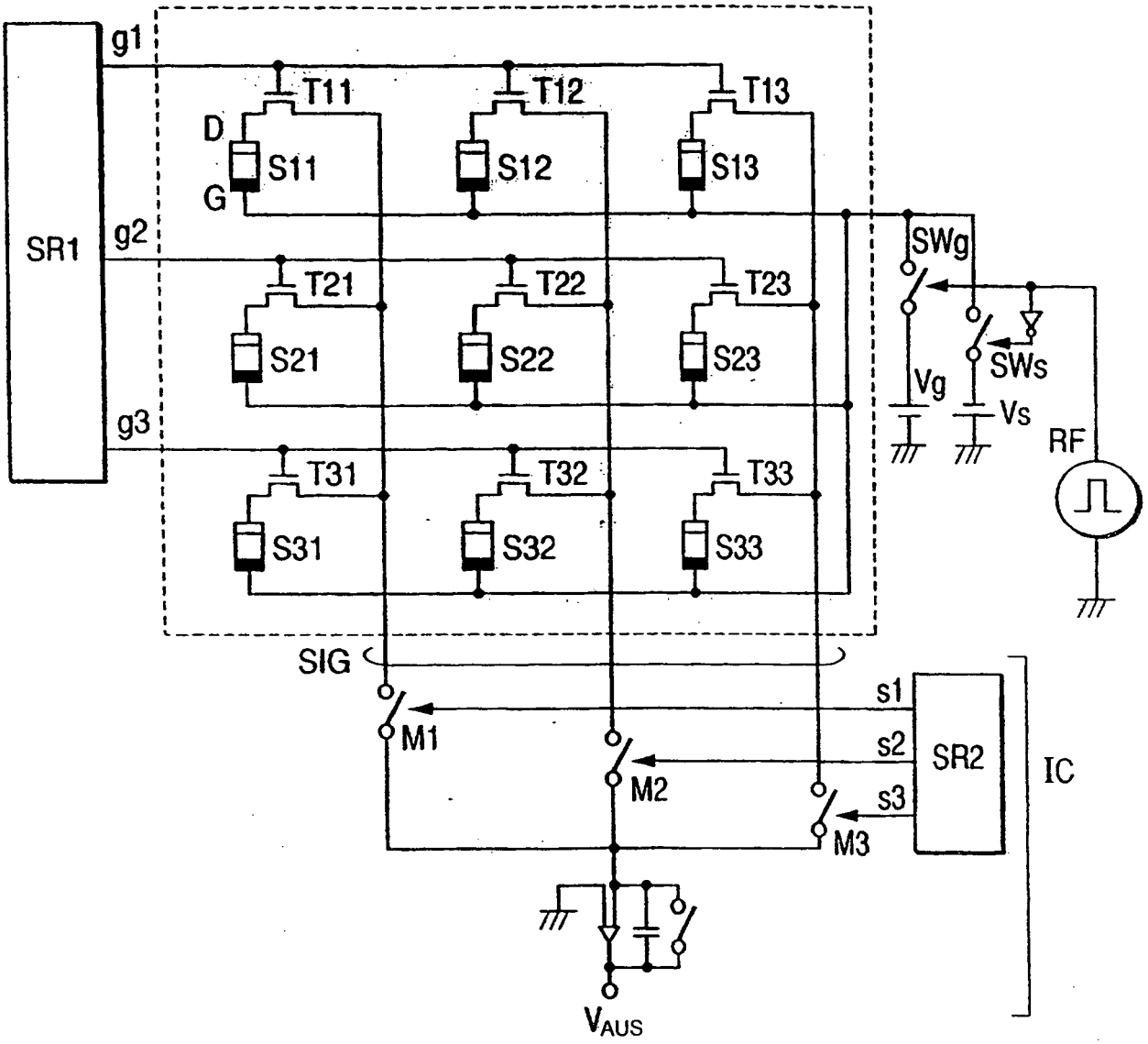
SR1
g1
g2
g3
T11
T12
T13
T21
T22
T23
T31
T32
T33
D
G
S11
S12
S13
S21
S22
S23
S31
S32
S33
SWg
SWs
Vg
Vs
RF
SIG
M1
M2
M3
s1
s2
s3
SR2
IC
VAUS

FIG. 6A

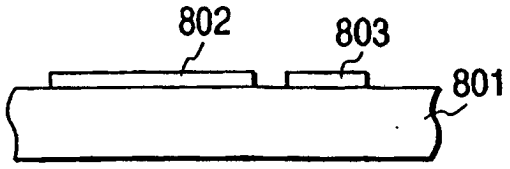

FIG. 6B

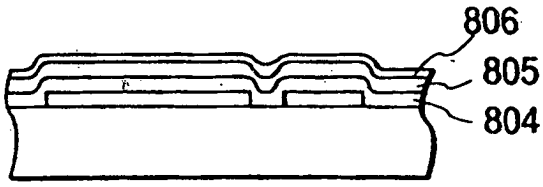

FIG. 6C

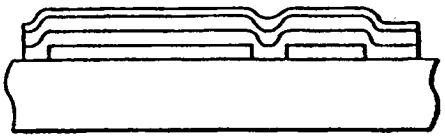

FIG. 6D

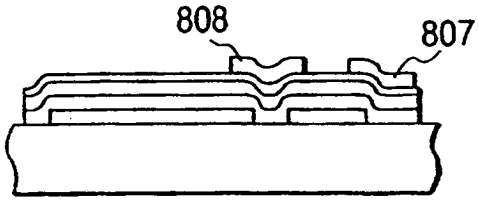

FIG. 6E

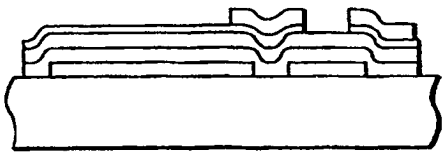

FIG. 6F

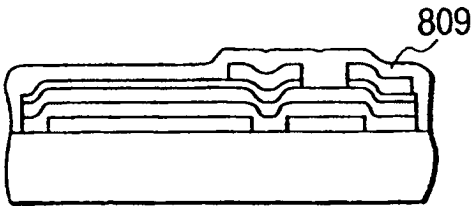

FIG. 7A

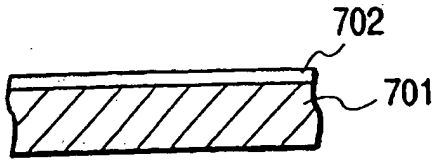

FIG. 7B

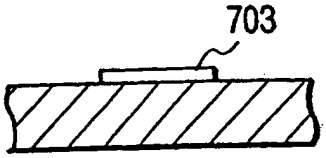

FIG. 7C

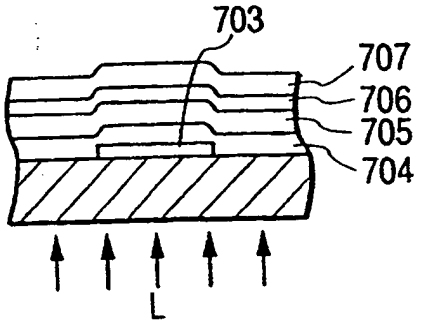

FIG. 7D

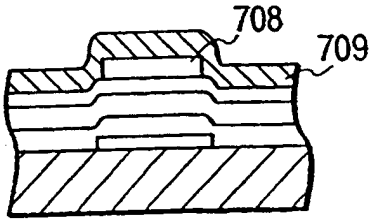

FIG. 7E

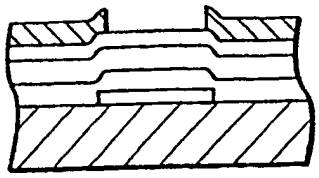

FIG. 7F

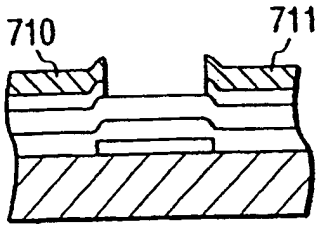

FIG. 8A

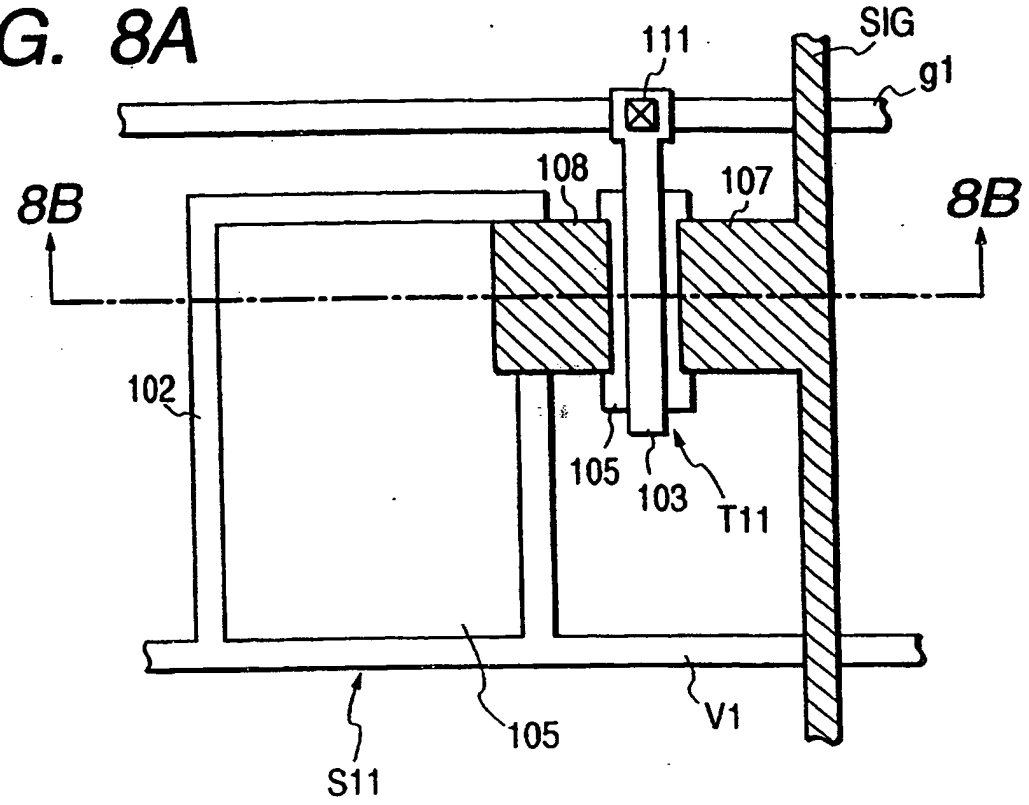

FIG. 8B

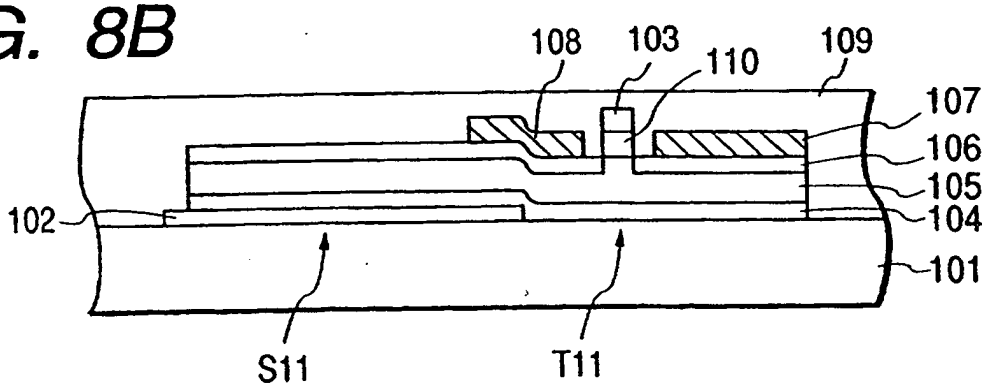

FIG. 9

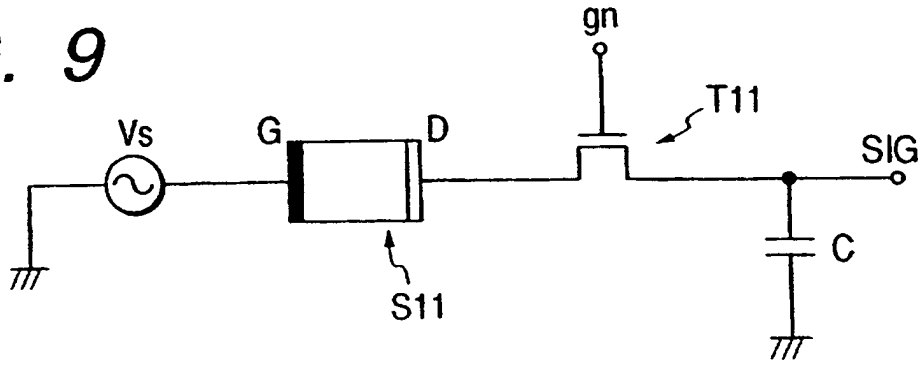

FIG. 10A

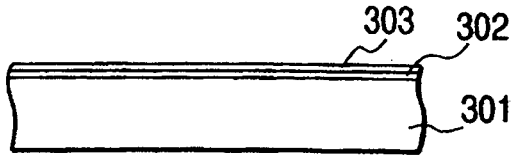

FIG. 10B

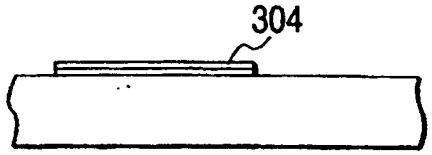

FIG. 10C

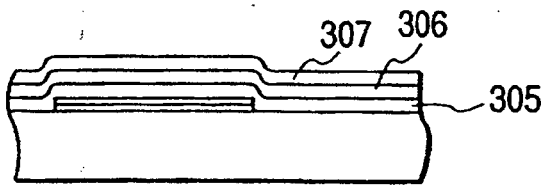

FIG. 10D

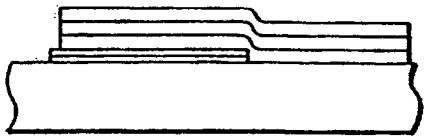

FIG. 10E

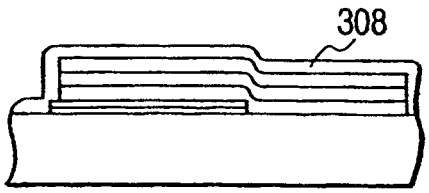

FIG. 10F

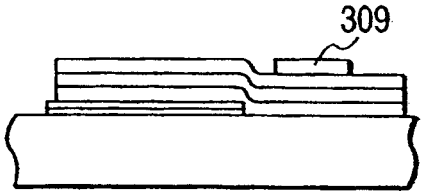

FIG. 10G

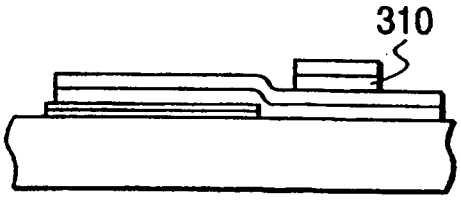

FIG. 10H

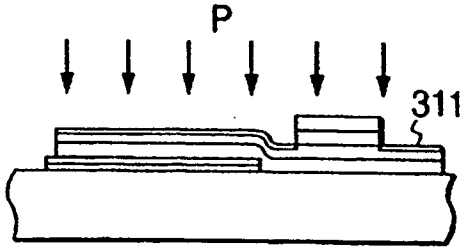

FIG. 10I

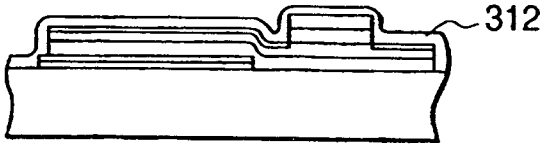

FIG. 10J

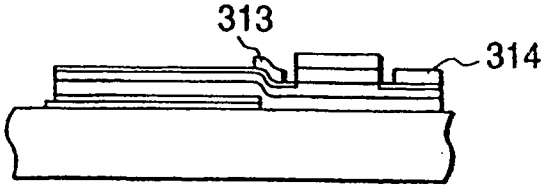

FIG. 10K

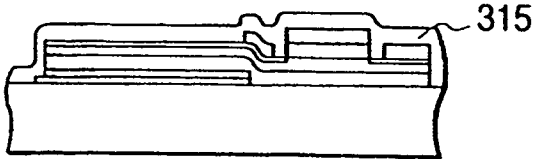

FIG. 11A

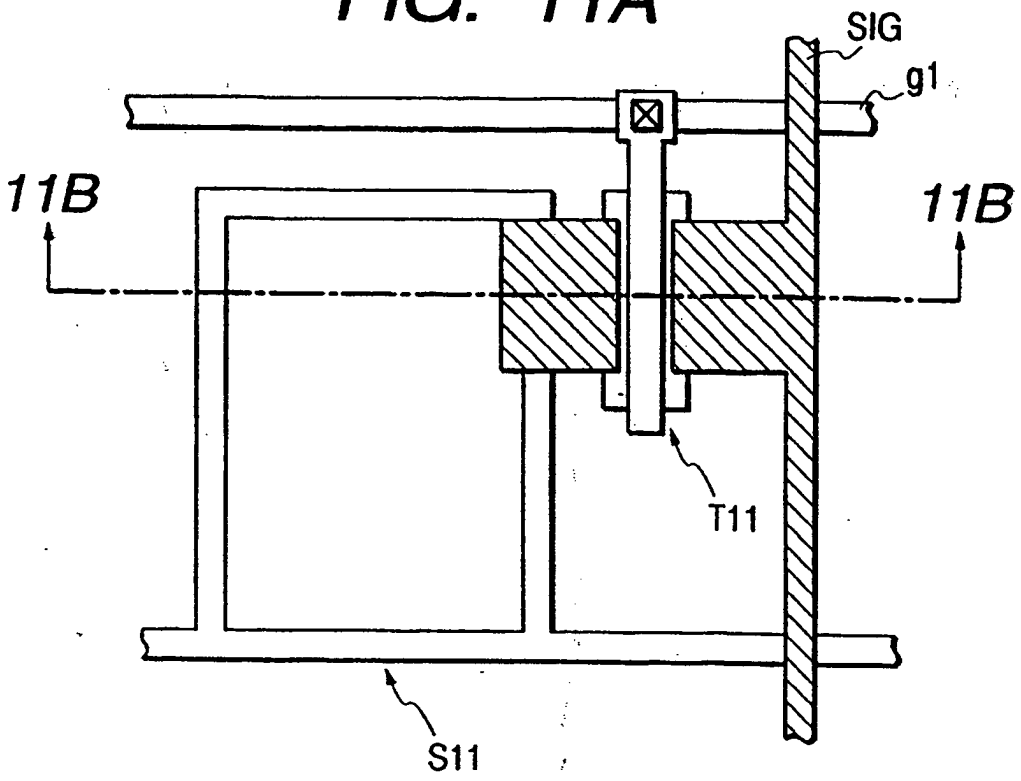

FIG. 11B

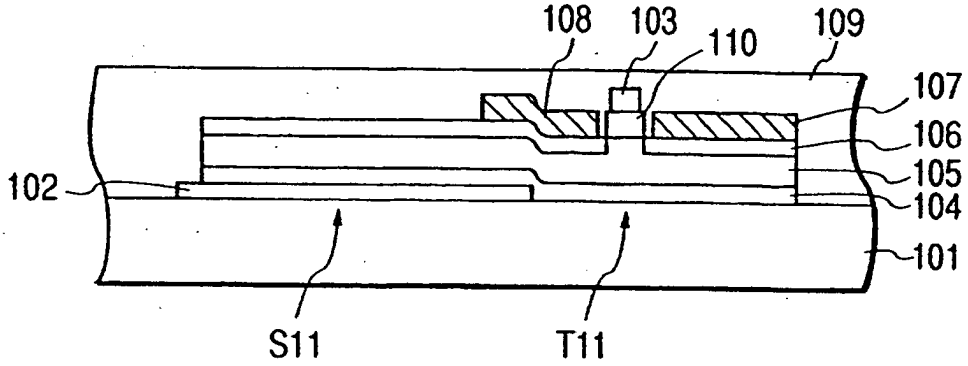

FIG. 12A

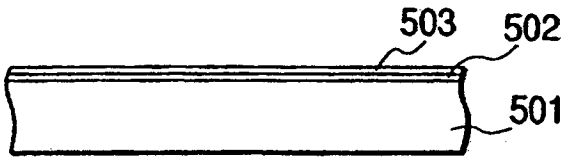

FIG. 12B

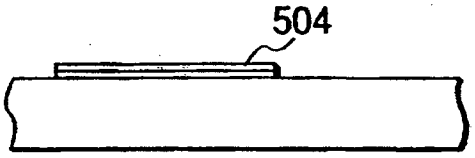

FIG. 12C

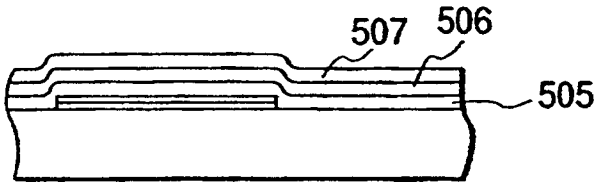

FIG. 12D

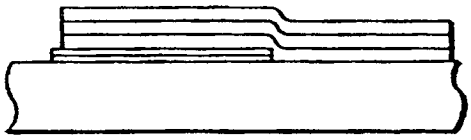

FIG. 12E

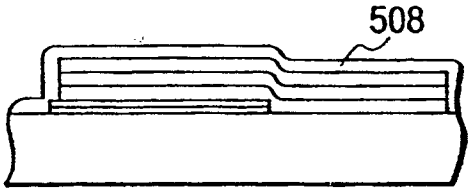

FIG. 12F

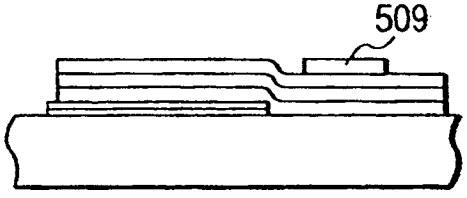

FIG. 12G

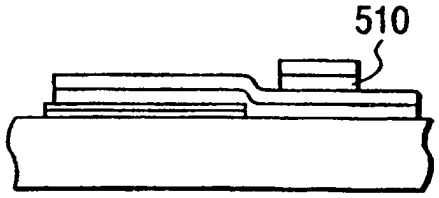

FIG. 12H

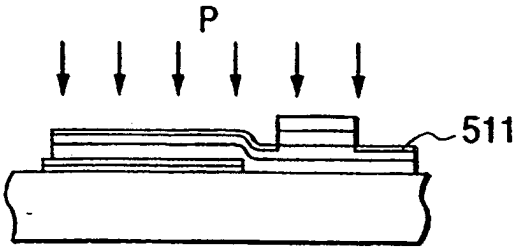

FIG. 12I

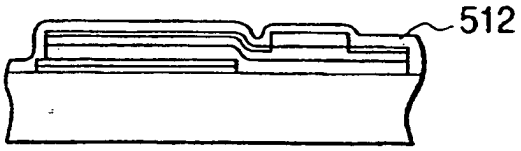

FIG. 12J

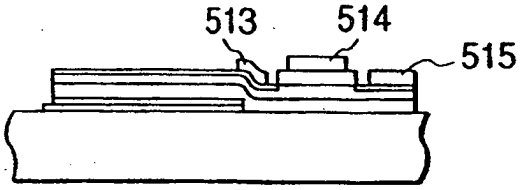

FIG. 12K

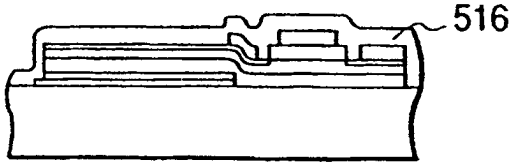

FIG. 13A

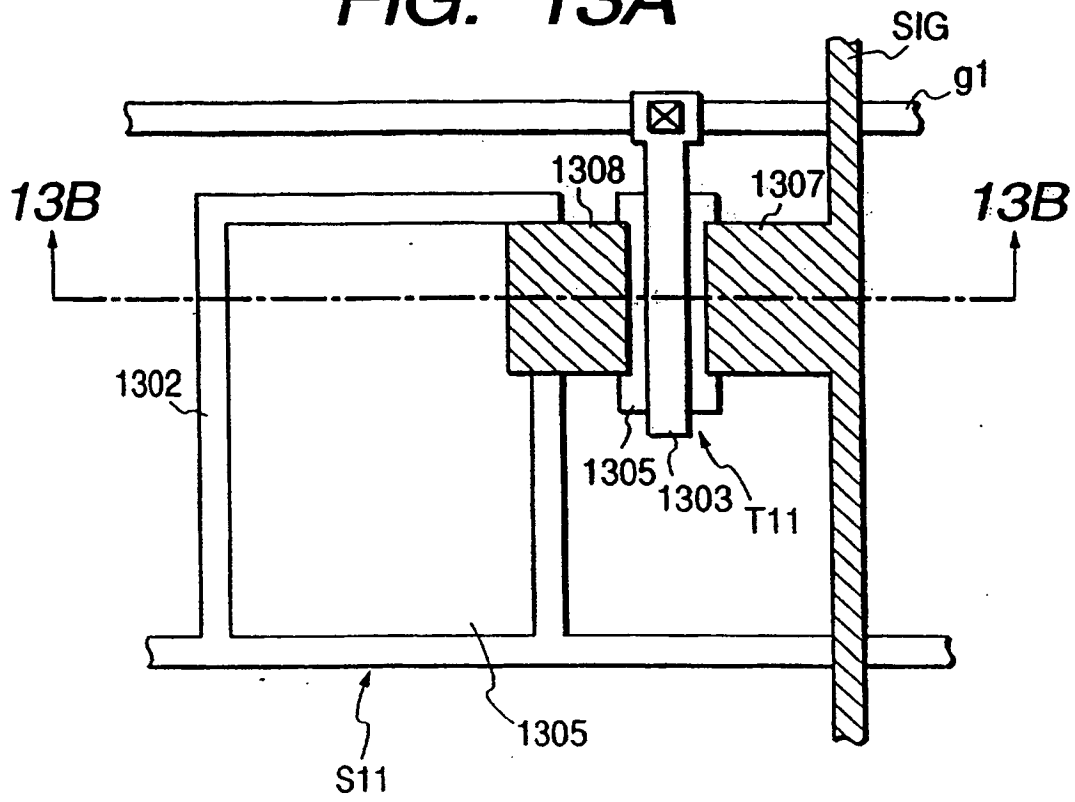

FIG. 13B

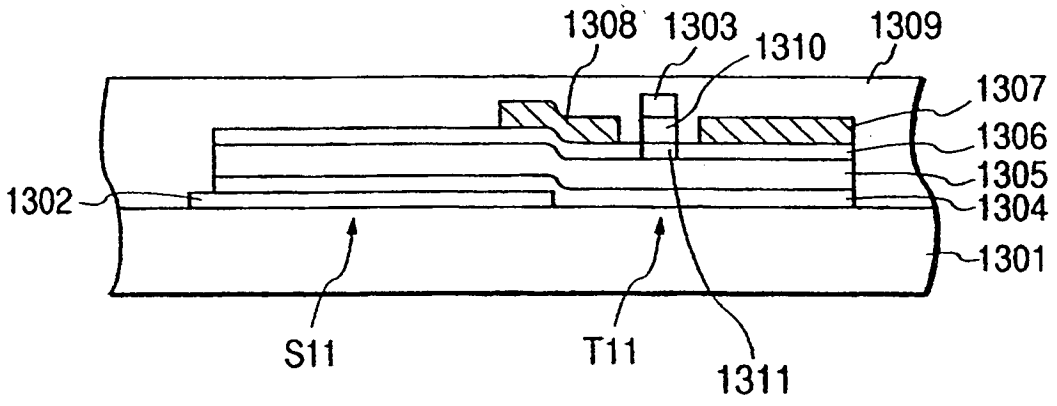

FIG. 14A

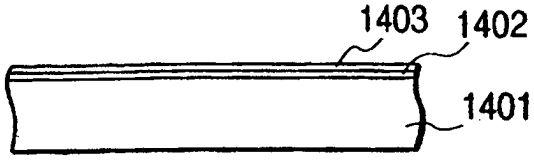

FIG. 14B

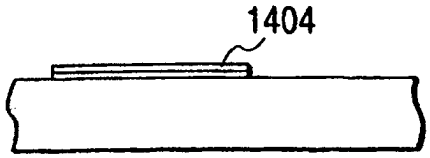

FIG. 14C

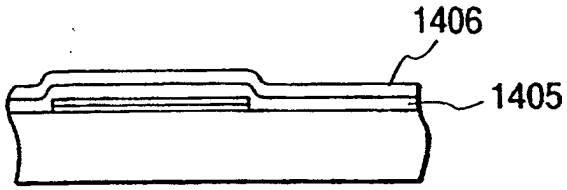

FIG. 14D

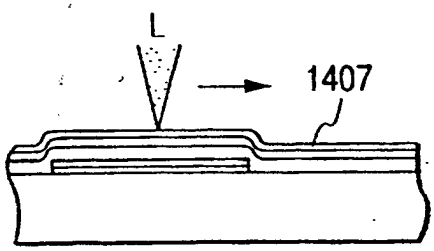

FIG. 14E

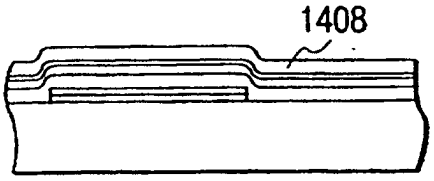

FIG. 14F

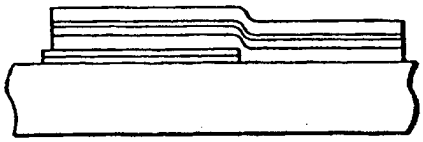

FIG. 14G

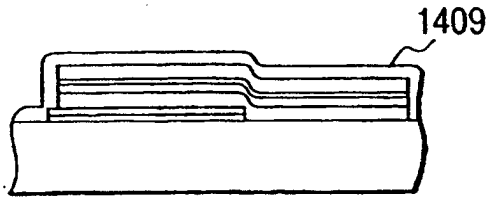

FIG. 14H

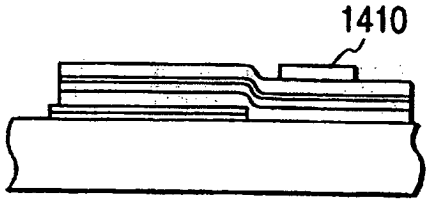

FIG. 14I

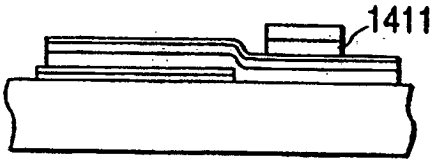

FIG. 14J

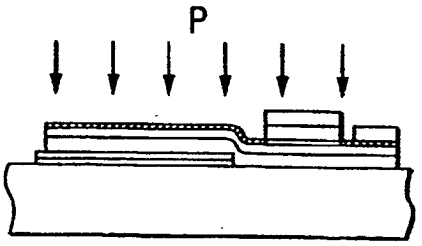

FIG. 14K

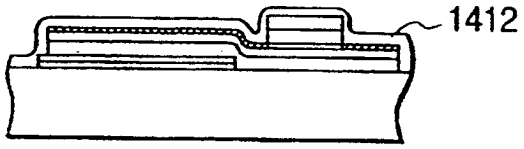

FIG. 14L

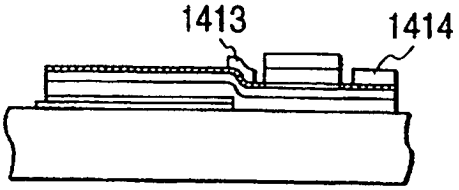

FIG. 14M

