

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3544073号
(P3544073)

(45) 発行日 平成16年7月21日(2004.7.21)

(24) 登録日 平成16年4月16日(2004.4.16)

(51) Int.Cl.⁷

F I

G 1 1 C 29/00

G 1 1 C 29/00 6 7 1 K

G 0 1 R 31/28

G 1 1 C 29/00 6 7 5 S

G 0 1 R 31/3185

H 0 1 L 27/10 3 1 1

G 1 1 C 11/401

G 1 1 C 11/34 3 6 2 G

H 0 1 L 21/822

G 1 1 C 11/34 3 7 1 A

請求項の数 13 (全 14 頁) 最終頁に続く

(21) 出願番号 特願平8-232851
 (22) 出願日 平成8年9月3日(1996.9.3)
 (65) 公開番号 特開平10-79200
 (43) 公開日 平成10年3月24日(1998.3.24)
 審査請求日 平成13年8月21日(2001.8.21)

(73) 特許権者 591049893
 株式会社 沖マイクロデザイン
 宮崎県宮崎郡清武町大字木原7083番地
 (73) 特許権者 000000295
 沖電気工業株式会社
 東京都港区虎ノ門1丁目7番12号
 (74) 代理人 100085419
 弁理士 大垣 孝
 (72) 発明者 岩切 逸郎
 宮崎県宮崎市大和町9番2号 株式会社沖
 マイクロデザイン宮崎内

審査官 長島 孝志

最終頁に続く

(54) 【発明の名称】 半導体メモリ装置のテスト方法および半導体メモリ装置

(57) 【特許請求の範囲】

【請求項1】

クロック発生手段および制御手段を内蔵し、前記クロック発生手段は、動作要求信号に応じてクロックを発生しかつ前記制御手段から出力されるリセット信号に応じて該クロックを停止する構成となっており、前記制御手段は、前記クロックが発生されている間、半導体メモリ装置の基本動作を実行させかつ前記クロック発生後の所定時に前記リセット信号を出力する構成となっている半導体メモリ装置に対し、所定のテストを行なう方法において、

テストモード信号を外部より入力するための第1の端子と、

テスト用クロックを外部より入力するための第2の端子と、

前記テストモード信号が入力された場合は前記クロック発生手段からのクロックの代わりに前記テスト用クロックを前記制御手段に供給するクロック選択手段とを予め設けておき、

前記所定のテストを実施する際は、前記第1の端子に前記テストモード信号を入力すると共に、前記第2の端子に、前記テスト用クロックとして、半導体メモリ装置に異常があった場合の該異常が前記基本動作中に反映される程度に、前記基本動作の動作時間を通常に比べて延長させ得るクロックを入力すること

を特徴とする半導体メモリ装置のテスト方法。

【請求項2】

クロック発生手段および制御手段を内蔵し、前記クロック発生手段は、動作要求信号に応

10

20

じてクロックを発生しかつ前記制御手段から出力されるリセット信号に応じて該クロックを停止する構成となっており、前記制御手段は、前記クロックが発生されている間、半導体メモリ装置の基本動作を実行させかつ前記クロック発生後の所定時に前記リセット信号を出力する構成となっている半導体メモリ装置に対し、所定のテストを行なう方法において、

テストモード信号を外部より入力するための第1の端子と、
前記テストモード信号が入力された場合に有効になり、半導体メモリ装置に異常があった場合に該異常が前記基本動作に反映される程度に前記基本動作の動作時間を通常に比べて延長し得るよう、前記リセット信号が前記クロック発生手段へ到達する時間を遅延させる遅延手段とを予め設けておき、

前記所定のテストを実施する際は、前記第1の端子に前記テストモード信号を入力すること

を特徴とする半導体メモリ装置のテスト方法。

【請求項3】

請求項1または2に記載の半導体メモリ装置のテスト方法において、
前記半導体メモリ装置が、そのメモリセル群を複数ブロックに分割してあるものの場合、
該半導体メモリ装置内部に備わる前記複数ブロックの選択手段に対し前記複数ブロックのうちの任意のブロックを選択するためのブロック選択信号を外部より入力するための端子を予め設けておき、

前記所定のテストを実施する際は該端子からブロック選択信号を順次に入力して該所定のテストをブロック単位で行なうこと

を特徴とする半導体メモリ装置のテスト方法。

【請求項4】

請求項1または2に記載の半導体メモリ装置のテスト方法において、
前記半導体メモリ装置が、そのメモリセル群を複数ブロックに分割してあるものの場合、
該半導体メモリ装置内部に備わるアドレスカウンタに入力されるインクリメント信号によって駆動されるブロック選択用アドレスカウンタと、

前記テストモード信号が入力された場合は前記ブロック選択用アドレスカウンタの動作を有効とし、そうでない場合は前記アドレスカウンタの動作を有効とする、カウンタ選択手段とを予め設けておき、

前記所定のテストを実施する際は前記第1の端子にテストモード信号を入力しかつ前記インクリメント信号によってテスト対象ブロックを自動的に指定してゆくこと

を特徴とする半導体メモリ装置のテスト方法。

【請求項5】

請求項1～4のいずれか1項に記載の半導体メモリ装置のテスト方法において、

前記半導体メモリ装置がシリアルアクセスメモリであること

を特徴とする半導体メモリ装置のテスト方法。

【請求項6】

請求項5に記載の半導体メモリ装置のテスト方法において、

前記シリアルアクセスメモリがフィールドメモリまたはラインメモリであることを特徴とする半導体メモリ装置のテスト方法。

【請求項7】

請求項1～6のいずれか1項に記載の半導体メモリ装置のテスト方法において、

前記所定のテストを、ビット線とセルプレートとの間のショートの有無テストとし、

該テストの評価は、前記延長された基本動作の際のセルプレート電位の変動具合に基づいて行なうこと

を特徴とする半導体メモリ装置のテスト方法。

【請求項8】

クロック発生手段および制御手段を内蔵し、前記クロック発生手段は、動作要求信号に応じてクロックを発生しかつ前記制御手段から出力されるリセット信号に応じて該クロック

10

20

30

40

50

を停止する構成となっており、前記制御手段は前記クロックが発生されている間、半導体メモリ装置の基本動作を実行させかつ前記クロック発生後の所定時に前記リセット信号を出力する構成となっている半導体メモリ装置において、
テストモード信号を外部より入力するための第1の端子と、
半導体メモリ装置に異常があった場合に該異常が前記基本動作中に反映される程度に前記基本動作の動作時間を通常に比べて延長させるテスト用クロックを、外部より入力するための第2の端子と、
前記テストモード信号が入力された場合は前記クロック発生手段からのクロックの代わりに前記テスト用クロックを前記制御手段に供給するクロック選択手段とを具えたことを特徴とする半導体メモリ装置。

10

【請求項9】

クロック発生手段および制御手段を内蔵し、前記クロック発生手段は、動作要求信号に応じてクロックを発生しかつ前記制御手段から出力されるリセット信号に応じて該クロックを停止する構成となっており、前記制御手段は、前記クロックが発生されている間、半導体メモリ装置の基本動作を実行させかつ前記クロック発生後の所定時に前記リセット信号を出力する構成となっている半導体メモリ装置において、
テストモード信号を外部より入力するための第1の端子と、
半導体メモリ装置に異常があった場合にそれが前記基本動作中に反映される程度に前記基本動作の動作時間が通常に比べて延長されるように、前記リセット信号の前記クロック発生手段への到達時間を遅延させる遅延手段と、
前記テストモード信号が入力された場合は前記遅延手段から出力されるリセット信号を、そうでない場合は前記制御手段から出力されるリセット信号を、前記クロック発生手段に出力するリセット信号選択手段とを具えたことを特徴とする半導体メモリ装置。

20

【請求項10】

請求項8または9に記載の半導体メモリ装置において、
前記半導体メモリ装置は、そのメモリセル群を複数ブロックに分割してあり、しかも、該半導体メモリ装置内部に備わる前記複数ブロックの選択手段に対し前記複数ブロックのうちの任意のブロックを選択するためのブロック選択信号を外部より入力するための端子をさらに具えたことを特徴とする半導体メモリ装置。

30

【請求項11】

請求項8または9に記載の半導体メモリ装置において、
前記半導体メモリ装置は、そのメモリセル群を複数ブロックに分割してあり、しかも、該半導体メモリ装置内部に備わるアドレスカウンタに入力されるインクリメント信号によって駆動されるブロック選択用アドレスカウンタと、
前記テストモード信号が入力された場合は前記ブロック選択用アドレスカウンタの動作を有効とし、そうでない場合は前記アドレスカウンタの動作を有効とする、カウンタ選択手段とをさらに具えたことを特徴とする半導体メモリ装置。

40

【請求項12】

請求項8～11のいずれか1項に記載の半導体メモリ装置において、
前記半導体メモリ装置がシリアルアクセスメモリであることを特徴とする半導体メモリ装置。

【請求項13】

請求項12に記載の半導体メモリ装置において、
前記シリアルアクセスメモリがフィールドメモリまたはラインメモリであることを特徴とする半導体メモリ装置。

【発明の詳細な説明】**【0001】**

50

【発明の属する技術分野】

この発明は、ラインメモリやフィールドメモリ等のように半導体メモリ装置内部で動作クロックを発生させそれに応じ基本動作し該動作が終了すると自動的にリセットされる半導体メモリ装置のテスト方法および新規な構造の半導体メモリ装置に関する。

【0002】

【従来の技術】

半導体メモリ装置の一種であるDRAMでは、それを動作させる際、各メモリセルのセルプレートに $V_{cc}/2$ の電圧（レベル）を印加することが多い。これは電源電圧の変動に対しセルプレートのレベル変動が $1/2$ で済むことと、メモリセルに「H」を書いた場合でも「L」を書いた場合でも同じマージンが得られるからである。この $V_{cc}/2$ レベルはDRAM内部で発生される。

10

【0003】

一方、DRAMを製造する際ビット線とセルプレートとの間や、ワード線とセルプレートとの間で、高抵抗状態のショートが生じることが多い。これら部分の加工が、微細加工技術の加工限界に近い厳しい加工の1つに当たるからである。ショートといえど高抵抗状態のショートであるので、これがDRAMの基本動作（データのリード／ライト等の動作）に影響を与えることは少ない。しかしこのようなショート状態は、長期間の使用では絶縁膜を破壊する等の原因となり結果的に半導体メモリ装置の信頼性を低下させる。そこで、 $V_{cc}/2$ レベルを発生している回路のレベルをモニタすることによって、具体的にはDRAMに設けられた $V_{cc}/2$ 用端子のレベルをモニターすることによって、上記のショ

20

【0004】

【発明が解決しようとする課題】

このように $V_{cc}/2$ レベル用端子のレベルをモニタする場合、2つの方法がある。1つはDRAM内部をスタンバイ状態にして上記レベルをモニタする方法であり、他の1つはDRAM内部をアクティブ状態にして上記レベルをモニタする方法である。ただし、前者の方法はワード線とセルプレートとの間のショートを検出する場合は利用出来るが、ビット線とセルプレートとの間のショートを検出する場合は利用出来ない。なぜなら、DRAM内部をスタンバイ状態にする際にはワード線はグラウンドレベルにされるので、ワード線とセルプレートとがショートしていれば、 $V_{cc}/2$ レベル用端子のレベルはワード線のレベルの影響を受けて変動する。よってショートの有無を検出出来る。これに対しビット線については、DRAM内部をスタンバイ状態にする際にビット線のレベルは一般に $V_{cc}/2$ にされる。すなわちビット線のレベルはセルプレートのレベルと同じレベルにされる。これでは、ビット線とセルプレートとが例えショートしていても $V_{cc}/2$ レベル用端子のレベルは変動しないので、ショート状態を検出できないのである。

30

【0005】

そこで、ビット線とセルプレートとがショートしているか否かの検出は、DRAM内部をアクティブ状態とすることにより行なわれる。すなわち、DRAMのセンスアンプをイネーブル状態（アクティブ状態）にすることで該DRAMのビット線を「H」状態または「L」状態にし、この状態で $V_{cc}/2$ レベル用端子のレベルをモニタする方法がとられる。こうすると、ビット線のレベルをセルプレートのレベルとは異なるレベルにした状態でセルプレートのレベルがモニタできるからである。ただしこの際、DRAMの基本動作（データリード、データライト、リフレッシュ等）の時間を、通常より充分に長くした状態で所定部分のレベルをモニタする必要がある（以下、これを「ロングサイクル試験」ともいう）。なぜなら、セルプレートとビット線との間には上記のごとく高抵抗状態のショート状態であるので、セルプレートのレベルがビット線のレベル（HまたはL）の影響を受けるまでかなりの時間を要するから、その間ビット線をHまたはLに固定する必要があるからである。これについて図7を参照して具体的に説明する。図7は、センスアンプをアクティブ状態にした時を時刻0と考えてそこからの経過時間を横軸にとり、かつ、縦軸にレベルをとって、時間経過に対する $V_{cc}/2$ レベル用端子のレベルの変化を示した図で

40

50

ある。ただし、図7中のIはビット線をVccレベルとした場合の特性、IIはビット線をGNDレベルにした場合の特性である。この図7からも分かるように、セルプレートおよびビット線間が高抵抗状態でショートしている場合には、センスアンプをアクティブ状態にしてビット線をHまたはL状態としてもVcc/2レベル用端子のレベル（図中ではVCPレベルと示した。）がショート状態を判別し得るレベルまで変化するにはかなりの時間を要するのである。したがって、この方法の実施に当たっては通常時のクロックに比べ低周波数のクロックを用いないとショート状態を検出出来ないことが分かる。

【0006】

しかしながら、メモリ装置内部でクロックを発生する型の半導体メモリ装置、例えば現行のフィールドメモリやラインメモリ等のシリアルアクセスメモリには、上述のロングサイクル試験は適用出来ない。現行のこの種の半導体メモリ装置では、クロックの動作サイクルが装置に内蔵されたクロック発生回路で決定され、かつ、このクロック自体は通常の基本動作に即した周波数とされ、しかも、外部からクロックを制御することが出来ない構成となっているからである。したがって、現状では、メモリ装置内部でクロックを発生する型の半導体メモリ装置についての例えばビット線とセルプレートとの間のショートの有無の検出は出来なかった。これについて図8～図10を参照して今少し詳細に説明する。ここで、図8は、メモリ装置内部でクロックを発生する型の半導体メモリ装置におけるクロック発生回路の周辺を概略的に示したブロック図である。また図9は、センスアンプ、メモリセル群、ビット線およびワード線の関係を示したブロック図、図10はこのメモリ装置の動作説明に供するタイミングチャートである。

【0007】

現行のフィールドメモリやラインメモリなどの場合、アービター11（図8参照）に各種動作要求信号Sxが入力される。するとアービター11は、動作順位の優先度を決定してそれに応じた動作要求信号S1をクロック発生回路13に出力する。この動作要求信号S1によりクロック発生回路13はクロックCKを発生する。このクロックCKは制御手段としてのROW系コントロール回路15に入力される。ROW系コントロール回路15はクロックCKに応じ各種駆動信号を生成しそれをメモリ装置中の対応個所に出力する。メモリ装置はこの駆動信号に応じ基本動作をする。この各種駆動信号中にはワード線駆動信号S2、センスアンプ駆動信号S3が含まれる。ワード線駆動信号S2はXデコーダ21（図9参照）に入力される。Xデコーダ21はこのワード線駆動信号S2のタイミングでワード線Wを駆動するよう動作する。またセンスアンプ駆動信号S3はセンスアンプ23に入力される。センスアンプ23はこのセンスアンプ駆動信号S3に応じアクティブ状態になる。なお、図9においてBはビット線を、Cはセルプレートをそれぞれ示す。またROW系コントロール回路15は、ワード線の立ち上げからセンス動作までの一連の処理が済んだ後の所定の時刻に、リセット信号S4を、クロック発生回路13に出力してクロック発生回路13をリセットする。クロック発生回路13がリセットされるとROW系コントロール回路15が全てリセットされる。このように現行のフィールドメモリやラインメモリでは、ワード線の立ち上げ、センスアンプをアクティブにすること等のタイミングを全て半導体メモリ装置内部で生成される信号で制御しているので、外部からセンスアンプやワード線がアクティブになる時間を制御することは出来ない。したがって、ロングサイクル試験は実施出来なかった。

【0008】

クロックを内部で発生する型の半導体メモリ装置であってもロングサイクル試験を可能にする方法とその実施に好適な新規な構造の半導体メモリ装置の実現が望まれる。

【0009】

【課題を解決するための手段】

そこで、この発明によれば、クロック発生手段および制御手段を内蔵し、前記クロック発生手段は、動作要求信号に応じてクロックを発生しかつ前記制御手段から出力されるリセット信号に応じて該クロックを停止する構成となっており、前記制御手段は、前記クロックが発生されている間、半導体メモリ装置の基本動作を実行させかつ前記クロック発生後

10

20

30

40

50

の所定時に前記リセット信号を出力する構成となっている半導体メモリ装置に対し、所定のテストを行なう際に次の様な方法をとる。テストモード信号を外部より入力するための第1の端子と、テスト用クロックを外部より入力するための第2の端子と、前記テストモード信号が入力された場合は前記クロック発生手段からのクロックの代わりに前記テスト用クロックを前記制御手段に供給するクロック選択手段とを予め設けておく。そして、前記所定のテストを実施する際は、前記第1の端子に前記テストモード信号を入力すると共に、前記第2の端子に、前記テスト用クロックとして、半導体メモリ装置に異常があった場合の該異常が前記基本動作中に反映される程度に、前記基本動作の動作時間を通常に比べて延長させ得るクロックを入力する。

【0010】

10

また、次のようにしても良い。テストモード信号を外部より入力するための第1の端子と、前記テストモード信号が入力された場合に有効になり、半導体装置に異常があった場合に該異常が前記基本動作に反映される程度に前記基本動作の動作時間を通常に比べて延長し得るよう、前記リセット信号が前記クロック発生手段へ到達する時間を遅延させる遅延手段とを予め設けておく。そして、前記所定のテストを実施する際は、前記第1の端子に前記テストモード信号を入力する。

【0011】

これら方法によれば、内部でクロックを発生する型の半導体メモリ装置においても、基本動作をロングサイクルで行なわせることができる。そのためロングサイクル動作でないと発現しない故障もこの動作中に現れるようになるので、内部でクロックを発生する型の半導体メモリ装置に対し所望のテスト、例えばビット線とセルプレートとの間のショートテスト等が行なえる。

20

【0012】

また、請求項8で主張のこの発明の半導体メモリ装置によれば、所定のクロック発生手段および制御手段を具備、かつ、所定の第1の端子、第2の端子およびクロック選択手段を具備したことを特徴とする。さらに請求項9で主張のこの発明の半導体装置によれば、所定のクロック発生手段および制御手段を具備、かつ、所定の第1の端子、遅延手段およびリセット信号選択手段を具備したことを特徴とする。これら半導体メモリ装置の発明によれば、内部でクロックを発生する型の半導体メモリ装置であるにもかかわらずロングサイクル試験が可能な半導体メモリ装置が実現される。

30

【0013】

【発明の実施の形態】

以下、図面を参照してこの発明の半導体メモリ装置のテスト方法および半導体メモリ装置のいくつかの実施の形態について併せて説明する。なお説明に用いる各図はこの発明を理解出来る程度に各構成成分の寸法、形状および配置関係を概略的に示してある。また、各図において同様な構成成分については同一の番号を付して示しその重複する説明を省略する。

【0014】

1. 第1の実施の形態

図1は第1の実施の形態の説明図である。ちょうど請求項8に記載の発明に係る半導体装置の一構成例に相当するブロック図である。この半導体メモリ装置はアービター11、クロック発生手段としてのクロック発生回路13および制御手段としてのROW系コントロール回路15を従来と同様に具備する。さらに、この半導体メモリ装置は、第1の端子31、第2の端子33およびクロック選択手段35を具備する。この第1の端子31は、所定のテストを行なう際にテストモード信号Stを外部より入力するための端子である。また第2の端子33は所定のテストを行なう際にテスト用クロックCKtを外部から入力するための端子である。なおテスト用クロックCKtとは、この半導体メモリ装置に異常があった場合に該異常がこの半導体装置の基本動作中に反映される程度に基本動作の動作時間を通常に比べて延長させるクロックである。このテスト用クロックは、たとえば通常時のクロックCKに比べて低周波数のクロックにより構成出来る。なおテスト用クロックの周波

40

50

数をどの程度とするかはテスト内容などを考慮し決めれば良い。またクロック選択手段35は、これにテストモード信号Stが入力された場合はクロック発生手段13からのクロックCKの代わりにテスト用クロックCKtをROW系コントロール回路15に供給し、テストモード信号Stが入力されない場合はクロック発生手段13で発生されたクロックCKをそのままROW系コントロール回路15に供給する。このクロック選択手段35は公知の回路で構成出来る。

【0015】

この図1を参照して説明した半導体メモリ装置は、テストモード信号Stが例えば「L」の状態では通常動作すなわち図8～図10を参照して説明した基本動作をする。これに対し、テストモード信号Stが「H」の状態（ここではこの状態が、「テストモード信号が入力された場合」に当たるものとする。以下同様。）になると、半導体メモリ装置をテスト状態にできる。このテスト状態の動作を図1に加え、図2のタイムチャートを参照して説明する。テスト状態ではクロック選択手段35は、テスト用クロックCKtをROW系コントロール回路15に供給する。テスト用クロックCKtに応じROW系コントロール回路15は半導体メモリ装置に基本動作を行なわせる。すなわち、ワード線の立ち上げとかセンスアンプをアクティブにする等の動作を行なわせる。またROW系コントロール回路15はテスト用クロックCKtが発生された後の所定時刻に通常動作時と同様にリセット信号S4をクロック発生回路13に対し発生する。するとクロック発生回路13自体はクロックCKの発生を停止する。しかし、半導体メモリ装置はテスト状態であるので、クロック発生回路13とROW系コントロール回路15との間には非接続状態であるから、リセット信号S4はROW系コントロール回路15には影響しない。テスト状態ではROW系コントロール回路15は、テスト用クロックCKtが「L」レベルに落ちない限りリセットされないのである。したがって、テスト用クロックCKtが「L」レベルに落ちない限り、センスアンプの状態はアクティブな状態に保持される。そのため、ビット線とセルプレートとの間でもしショートが生じていた場合はVcc/2レベル端子のレベルに変化が現れるまでそのモニタをすることが可能になる。よってロングサイクル試験が行なえる。なお、試験内容はビット線とセルプレートとの間でのショートの有無に限られない。基本動作に異常が反映されるものであれば、種々の試験ができる（以下の各実施の形態において同じ）。例えば、ワード線駆動信号として一般に2Vcc近いレベルまで昇圧されたレベルの信号を用いる。そのため昇圧回路が半導体メモリ装置には内蔵される。この昇圧回路の性能試験例えば昇圧レベルがロングサイクルでも維持されるか否かなどの性能試験も行なえる。

【0016】

2. 第2の実施の形態

図3は第2の実施の形態の説明図である。ちょうど請求項9に記載の発明に係る半導体装置の一構成例に相当するブロック図である。この半導体メモリ装置はアービター11、クロック発生手段としてのクロック発生回路13および制御手段としてのROW系コントロール回路15を従来と同様に具える。さらに、この半導体メモリ装置は、第1の端子31、遅延手段41およびリセット信号選択手段43を具える。ここで第1の端子31は、第1の実施の形態のときと同様のもので、所定のテストを行なう際にテストモード信号Stを外部より入力するための端子である。また遅延手段41は、ROW系コントロール回路15から発生されるリセット信号S4を遅延させるものである。遅延手段41での遅延量は、この半導体装置に異常があった場合に該異常がこの半導体メモリ装置の基本動作に反映される程度に前記基本動作の動作時間を通常に比べて延長し得るよう、リセット信号S4のクロック発生手段13への到達時間を遅延できる量とする。もちろん目的の時間より長くしても良い。また、リセット信号選択手段43は、テストモード信号Stが入力された場合は遅延手段41から出力されるリセット信号Sdを、そうでない場合はROW系コントロール回路15から出力されるリセット信号S4を、クロック発生回路13に出力するものである。これら遅延手段41、リセット信号選択手段43は従来公知の回路で構成出来る。

10

20

30

40

50

【0017】

この図3を参照して説明した半導体メモリ装置は、テストモード信号 S_t が「L」の状態
で通常の動作すなわち図8～図10を参照して説明した基本動作をする。これに対し、テ
ストモード信号 S_t が「H」の状態になると、テスト状態になる。このテスト状態の動作
を図3に加え、図4のタイムチャートを参照して説明する。テストモードでは遅延手段4
1の系が有効になるので、リセット信号 S_4 がクロック発生回路13に到達するまでの時
間が遅延手段41に起因する遅延量 T_d （図4参照）だけ遅くなる。するとその分、R
O
W系コントロール回路15がリセットされるまでの時間が延びる。その結果、基本動作す
なわちワード線の立ち上げとかセンスアンプをアクティブにする等の動作の時間が延長さ
れる。したがって、センスアンプの状態は通常時より長い時間アクティブ状態に保持され
る。そのため、ビット線とセルプレートとの間でもしショートが生じていた場合は V_{cc}
／2レベル端子のレベルに変化が現れるまでそのモニタをすることが可能になる。よって
ロングサイクル試験が行なえる。

10

【0018】

この第2の実施の形態の場合、第1の実施の形態で必要であったテスト用クロック入力用
端子33を不要に出来るので、その分チップサイズの縮小化、またパッケージサイズの小
型化が図れる。

【0019】

3. 第3の実施の形態

この第3の実施の形態では、内部にてクロックが発生される型の半導体メモリ装置であ
ってそのメモリセル群を複数ブロックに分割してある半導体メモリ装置を構成する場合の好
ましい形態を説明する。図5はその説明に供するブロック図である。

20

【0020】

半導体メモリ装置のメモリセル群が複数ブロックに分割されている場合はそれぞれのブ
ロックに対し所定のテストをする必要がある。ところが、フィールドメモリやラインメモリ
等では基本的にシリアルアクセスしか出来ないので、各ブロックをテストする場合は各ブ
ロックに相当するアドレスまで装置内部のアドレスカウンタを一々（いちいち）インクリ
メントする必要がある。したがって、第1および第2の実施の形態の構成のままでは、全
アドレスに対しロングサイクル試験を行わなければならないのでテスト時間が膨大にな
る。そこで、この第3の実施の形態では、メモリセル群を複数ブロックに分割してある半
導体メモリ装置を構成する場合、図5に示したように、装置内部に設けられるブロック選
択手段51に接続された端子であって、複数ブロック（図5ではブロック1～4）のう
ちの任意のブロックを選択するためのブロック選択信号を外部より入力するための端子53
a～53dを、予め設けておく。ただし、テストモード信号入力用の第1の端子31も設
けておく。ここで、ブロック選択手段51は、テストモード信号 S_t が入力された場合は
端子53a～53dからのブロック選択信号を有効とし、そうでない場合はR
O
Wアドレ
スカウンタ55から出力されるアドレスデータのうちのブロック指定ビット（図5ではA
8, A9）の信号を有効とするものである。この第3の実施の形態の場合では、所定のテ
ストを実施する際は、端子53a～53dからブロック選択信号を順次に入力して所定の
テストをブロック単位で行なう。なお、ここではブロック選択信号を外部から入力するた
めの端子を4個としている。これは、単に図5に例示のブロック1～ブロック4を1対1
で選択する例を考えたためにすぎず、なんら発明を限定するものではない。

30

40

【0021】

この第3の実施の形態の場合、内部にてクロックが発生される型の半導体メモリ装置であ
って、そのメモリセル群を複数ブロックに分割してある半導体メモリ装置の場合であ
っても、外部からテスト対象ブロックを指定できる。よって全アドレスを選択する必要が
ないのでテスト時間の短縮が図れる。

【0022】

4. 第4の実施の形態

第3の実施の形態では外部からブロック選択信号を入力する端子を設けブロック単位での

50

テストを可能にしていた。これに対しこの第4の実施の形態の半導体メモリ装置は図6を参照して以下に説明するような構成をとる。まず、第1～第3の実施の形態同様テストモード信号入力用の第1の端子31を設ける。さらにブロック選択用アドレスカウンタ61と、カウンタ選択手段63とを内部に設ける。ブロック選択用アドレスカウンタ61は、半導体メモリ装置内部に備わるROWアドレスカウンタ55に入力されるインクリメント信号INCによって駆動されるカウンタである。カウンタ選択手段63は、テストモード信号Stが入力された場合はブロック選択用アドレスカウンタ61の動作を有効とし、そうでない場合はアドレスカウンタ55の動作を有効とするものである。詳細にはこの場合のカウンタ選択手段63は、テストモード信号Stが入力された場合はブロック選択用アドレスカウンタ61の出力を有効とし、そうでない場合はROWアドレスカウンタ55におけるブロック指定ビット（図6ではA8，A9）の出力を有効とする。

10

【0023】

この第4の実施の形態の半導体メモリ装置では、テストモード信号Stが入力された状態においてインクリメント信号が入力されると、インクリメント動作ごとにブロック選択用カウンタ61のデータが1つつ更新される。すなわちアドレスデータにおけるブロック選択ビットに相当するビットA8，A9がインクリメント信号に応じ更新される。したがって、テストモード時には、インクリメント信号が到来するごとに、指定ブロックが順次に変更されるようになる。したがって、テストモード時には各ブロックをシーケンシャルにテストできる。またこの第4の実施の形態の場合は、第3の実施の形態において設けていた外部からブロック選択信号を入力する端子53a～53dを不要とできるので、その分チップの縮小化、パッケージの小型化が図れる。なお、ここでは複数ブロックをシーケンシャルにアクセスする例を説明した。しかし、複数ブロックの選択順は他の好適な順序とできる。

20

【0024】

【発明の効果】

上述した説明から明らかなようにこの出願の第1の発明である半導体メモリ装置のテスト方法によれば、動作要求信号に応じてクロックを発生しかつ制御手段から出力されるリセット信号に応じて該クロックを停止するクロック発生手段と、前記クロックが発生されている間、半導体メモリ装置の基本動作を実行させかつ前記クロック発生後の所定時に前記リセット信号を出力する制御手段とを具える半導体メモリ装置に、▲1▼所定の第1の端子と、▲2▼所定の第2の端子と、▲3▼所定のクロック選択手段とを予め設けておく。そして、所定のテストを実施する際は、前記第1の端子に前記テストモード信号を入力すると共に、前記第2の端子に、前記テスト用クロックとして、半導体メモリ装置に異常があった場合の該異常が前記基本動作中に反映される程度に、前記基本動作の動作時間を通常に比べて延長させ得るクロックを入力する。また、第2の発明である半導体装置のテスト方法によれば、上記▲2▼および▲3▼の代わりに、所定の遅延手段を予め設けておく。そして、前記所定のテストを実施する際は、前記第1の端子に前記テストモード信号を入力する。

30

【0025】

これら方法によれば、基本動作をロングサイクルで行なわせることができる。そのため内部でクロックを発生する型の半導体メモリ装置に対しロングサイクル試験を実施できるので、例えばビット線とセルプレートとの間のショートテスト等が行なえる。

40

【0026】

また、この出願の半導体メモリ装置によれば、内部でクロックを発生する型の半導体メモリ装置であるにもかかわらずロングサイクル試験が可能な半導体メモリ装置が実現される。

【図面の簡単な説明】

【図1】第1の実施の形態の説明図であり、半導体メモリ装置の発明の第1の構成例を示すブロック図である。

【図2】第1の実施の形態の説明図であり、図1に示した半導体メモリ装置のテストモー

50

ド時の動作を示すタイムチャートである。

【図3】第2の実施の形態の説明図であり、半導体メモリ装置の発明の第2の構成例を示すブロック図である。

【図4】第2の実施の形態の説明図であり、図3に示した半導体メモリ装置のテストモード時の動作を示すタイムチャートである。

【図5】第3の実施の形態の説明図であり、半導体メモリ装置の発明の第3の構成例を示すブロック図である。

【図6】第4の実施の形態の説明図であり、半導体メモリ装置の発明の第4の構成例を示すブロック図である。

【図7】課題の説明図（その1）であり、ビット線とセルプレートとがショートしていた場合のセルプレートのレベル変化を説明する図である。 10

【図8】課題の説明図（その2）であり、内部でクロックを発生する型の従来の半導体メモリ装置の要部説明図である。

【図9】課題の説明図（その3）であり、半導体メモリのメモリセル群周辺を示した図である。

【図10】課題の説明図（その4）であり、図8に示した半導体メモリ装置の動作説明図である。

【符号の説明】

11：アービター

13：クロック発生回路（クロック発生手段）

15：ROW系コントロール回路（制御手段）

31：第1の端子

33：第2の端子

35：クロック選択手段

41：遅延手段

43：リセット信号選択手段

51：ブロック選択手段

53a～53d：ブロック選択信号を外部より入力するための端子

55：ROWアドレスカウンタ

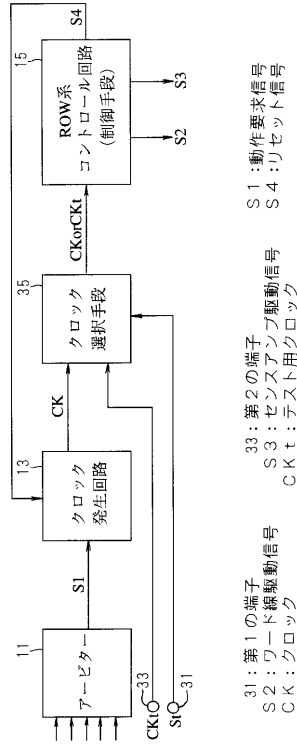
61：ブロック選択用アドレスカウンタ

63：カウンタ選択手段

20

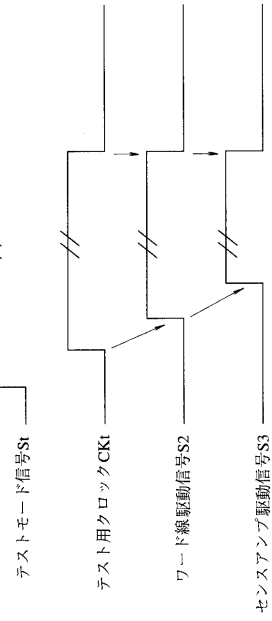
30

【図 1】



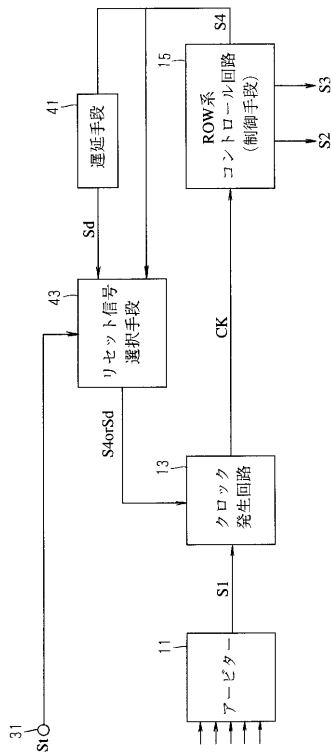
第 1 の実施の形態の説明図 (その 1)

【図 2】



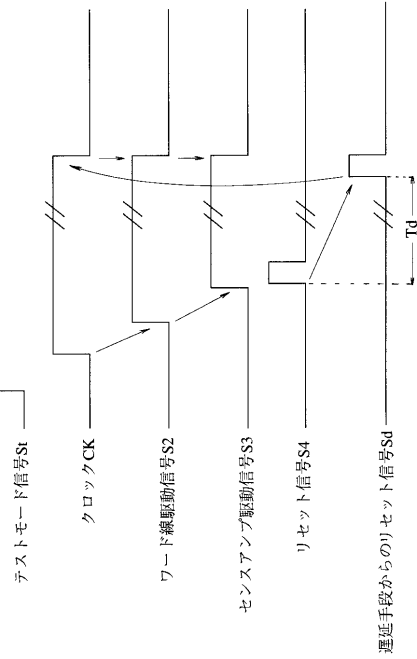
第 1 の実施の形態の説明図 (その 2)

【図 3】



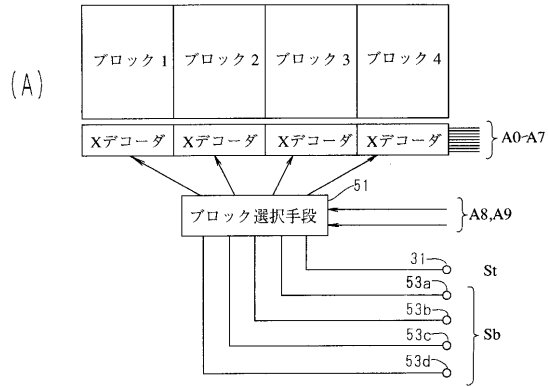
第 2 の実施の形態の説明図 (その 1)

【図 4】



第 2 の実施の形態の説明図 (その 2)

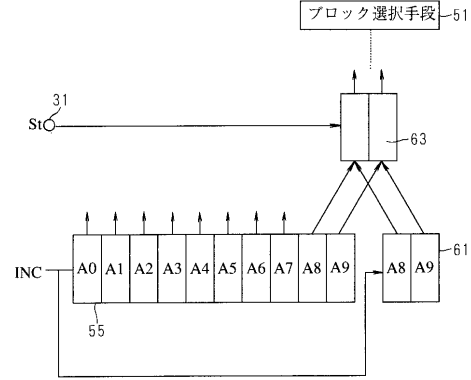
【図 5】



53a~53d: ブロック選択信号を外部より入力するための端子
55: ROWアドレスカウンタ

第3の実施の形態の説明図

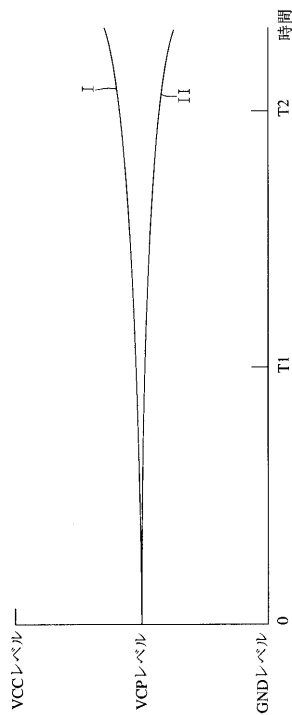
【図 6】



61: ブロック選択用アドレスカウンタ
63: カウンタ選択手段

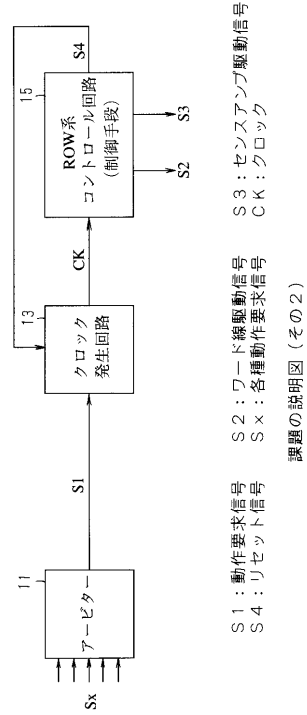
第4の実施の形態の説明図

【図 7】

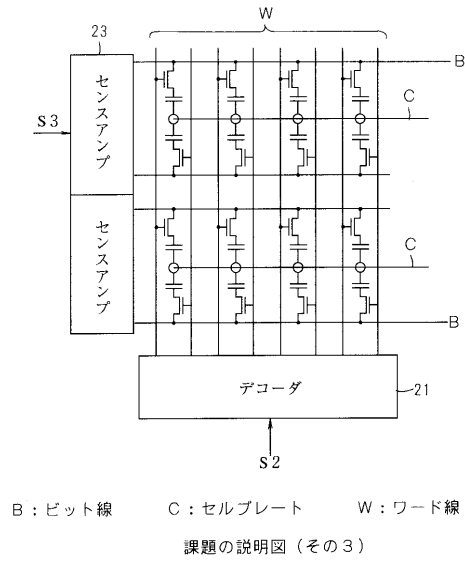


0: センサスアンブアクティブ時
課題の説明図 (その1)

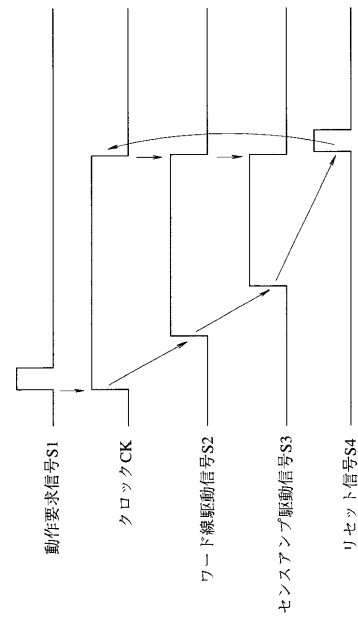
【図 8】



【図 9】



【図 10】



フロントページの続き

(51)Int.Cl. ⁷	F I	
H 0 1 L 27/04	G 0 1 R 31/28	B
H 0 1 L 27/10	G 0 1 R 31/28	W
	H 0 1 L 27/04	T

(56)参考文献 特開平05-074192 (JP, A)
特開平08-222000 (JP, A)
特開平07-320498 (JP, A)
特開平04-102297 (JP, A)
特開平06-302200 (JP, A)
特開平06-259998 (JP, A)
特開平08-138399 (JP, A)
特開平08-077799 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)
G11C 29/00
G11C 11/401-11/4099