(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4266259号
(P4266259)
(45)発行日　平成21年5月20日(2009.5.20)　(24)登録日　平成21年2月27日(2009.2.27)

(51)Int.Cl.　F I
A63F 7/02 (2006.01)　A63F 7/02 315A
A63F 7/02 334

請求項の数 1　(全 14 頁)

(21)出願番号　特願平11-334754
(22)出願日　平成11年11月25日(1999.11.25)
(65)公開番号　特開2001-149552(P2001-149552A)
(43)公開日　平成13年6月5日(2001.6.5)
審査請求日　平成16年5月13日(2004.5.13)

(73)特許権者　000132747
株式会社ソフィア
群馬県桐生市境野町７丁目２０１番地
(74)代理人　100090033
弁理士　荒船　博司
(74)代理人　100093045
弁理士　荒船　良男
(74)代理人　100085811
弁理士　大日方　富雄
(72)発明者　井置　定男
群馬県桐生市宮本町３－７－２８

審査官　納口　慶太

最終頁に続く

(54)【発明の名称】遊技機

(57)【特許請求の範囲】
【請求項１】
遊技価値判定用乱数値を生成する遊技価値判定用乱数値生成手段を備え、所定条件の成立に基づいて前記遊技価値判定用乱数値を抽出し、該抽出した遊技価値判定用乱数値と、予め設定された判定値との比較により、遊技者に対して付与する遊技価値を決定する遊技機において、
乱数値を発生する乱数発生装置と、
前記乱数発生装置から所定周期毎に複数の信号線の「０」又は「１」の出力により乱数値を取得するとともに、該複数の信号線の出力を組み合わせてなる所定ビット数の乱数値を取得して順次記憶する乱数値取得手段と、
を備え、
前記乱数値取得手段は、前記乱数発生装置から８ビットの乱数値を取得するものとし、
前記遊技価値判定用乱数値生成手段は、前記乱数値取得手段により連続して取得された２つの乱数値の各々の上位４ビットをクリアすると共に、一方の乱数値の下位４ビットを上位４ビットにシフトしてから他方の乱数値との論理和をとって前記遊技価値判定用乱数値を生成する構成とし、
前記判定値として、上位４ビットと下位４ビットが相互に反転された値を設定したことを特徴とする遊技機。
【発明の詳細な説明】
【０００１】

【発明の属する技術分野】
本発明は、所定条件の成立に基づいて遊技価値判定用乱数値を抽出し、該抽出した遊技価値判定用乱数値と、予め設定された判定値との比較により、遊技者に対して付与する遊技価値を決定する遊技機に関する。
【０００２】
【従来の技術】
従来、例えば、パチンコ遊技機等の遊技機では、一定周期毎に１インクリメントして更新するカウンタを内部メモリ上に備え、所定条件の成立（例えば、始動口への入賞）に基づき前記カウンタ値を取り出して遊技価値判定用乱数値（例えば、大当たり判定用乱数値）とし、この遊技価値判定用乱数値と、予め設定された判定値（例えば、大当たり判定値）との比較により、遊技者に対して付与する遊技価値（例えば、大当たり）を決定するようにしていた。
【０００３】
【発明が解決しようとする課題】
しかしながら、上記従来の遊技機では、電源投入時に遊技価値判定用乱数値の更新タイミングが一意に定まることから、例えば、「ぶら下げ基板」と呼ばれる不正な基板を使用した不正行為が行われる心配があった。この「ぶら下げ基板」を使用した不正行為は、電源投入タイミングと前記カウンタの更新周期とから、前記判定値と一致する遊技価値判定用乱数値の発生タイミングを特定し、そのタイミングに合わせて入賞信号を不正に生成する（前記所定条件を成立させる）ことによって、遊技価値（例えば、大当たり）を不当に発生させるというものである。
この対策として、例えば、乱数ＩＣ（乱数発生装置）により生成される乱数値を遊技価値判定用乱数値に使用するという提案がなされている。しかし、その場合、前記判定値と一致する乱数値の生成タイミングの捕捉は不可能と思われるが、乱数ＩＣで生成した乱数値自体が不正に操作されるおそれがある。例えば、乱数ＩＣから延びる信号線を不正に操作して、その出力の一部を「Ｌｏ」又は「Ｈｉ」の何れか一方に固定することで、乱数ＩＣから出力される乱数値（つまり遊技価値判定用乱数値）を偏らせるといった不正行為が考えられる。例えば、８ビット（０～２５５）の乱数値を生成可能な乱数ＩＣにおいて、第８ビットに対応する信号線を断線させれば、乱数ＩＣから出力される乱数値の範囲は０～１２７となり、この範囲に前記判定値があれば、前記遊技価値の発生確率が通常の２倍になり、その範囲に前記判定値がなければ、前記遊技価値の発生確率が０となる。一方、第８ビットに対応する信号線の出力を「Ｈｉ」に固定すれば、乱数ＩＣから出力される乱数値の範囲は１２８～２５５となり、同様に、前記遊技価値の発生確率が変化する。このように、乱数ＩＣにより生成される乱数値を遊技価値判定用乱数値に使用する場合には、乱数ＩＣから延びる信号線に対する不正行為によって遊技価値の発生確率が操作されるおそれがある。
【０００４】
この発明は、上記のような問題点を解決するためになされたもので、例えば、ぶら下げ基板などによる不正行為によって遊技価値の発生確率が操作されることを防止可能な遊技機を提供することを目的とする。
【０００５】
【課題を解決するための手段】
上記課題を解決するため、
請求項１記載の発明は、遊技価値判定用乱数値を生成する遊技価値判定用乱数値生成手段を備え、所定条件の成立に基づいて前記遊技価値判定用乱数値を抽出し、該抽出した遊技価値判定用乱数値と、予め設定された判定値との比較により、遊技者に対して付与する遊技価値を決定する遊技機において、
乱数値を発生する乱数発生装置と、
前記乱数発生装置から所定周期毎に複数の信号線の「０」又は「１」の出力により乱数値を取得するとともに、該複数の信号線の出力を組み合わせてなる所定ビット数の乱数値

を取得して順次記憶する乱数値取得手段と、
を備え、
前記乱数値取得手段は、前記乱数発生装置から８ビットの乱数値を取得するものとし、
前記遊技価値判定用乱数値生成手段は、前記乱数値取得手段により連続して取得された２つの乱数値の各々の上位４ビットをクリアすると共に、一方の乱数値の下位４ビットを上位４ビットにシフトしてから他方の乱数値との論理和をとって前記遊技価値判定用乱数値を生成する構成とし、
前記判定値として、上位４ビットと下位４ビットが相互に反転された値を設定したことを特徴とする。

【０００６】
この請求項１記載の発明によれば、乱数発生装置により連続して取得された２つの乱数値の各々の上位４ビットをクリアすると共に、一方の乱数値の下位４ビットを上位４ビットにシフトしてから他方の乱数値との論理和をとって遊技価値判定用乱数値を生成するようにしたので、判定値と一致する遊技価値判定用乱数値の生成タイミングを捕捉したり、遊技価値判定用乱数値自体を不正に操作したりするのが困難となる。従って、例えば、ぶら下げ基板などによる不正行為によって遊技価値の発生確率が操作されることを防止できる。

【０００７】
ここで、遊技機には、パチンコ遊技機、アレンジボール遊技機、雀球遊技機、等の弾球遊技機や、スロットマシーン、パチスロなどが含まれる。
遊技者に対して付与する遊技価値とは、例えば、セブン機と呼ばれる第１種のパチンコ遊技機における特図の可変表示遊技の大当たり状態、普図の可変表示遊技の当たり状態、特図の可変表示遊技の確率変動状態などである。また、権利物と呼ばれる第３種のパチンコ遊技機における権利発生の状態、或いは電動役物を複数備えた一般電役機における電動役物を連続して開放させる状態、スロットマシーンでのボーナスゲームなども含まれる。
所定条件の成立とは、いわゆる第１種や第３種のパチンコ遊技機においては、始動口（始動ゲート）へ遊技球が入賞した場合などであり、スロットマシーンにおいては、コインが投入されて始動レバーが操作された場合などである。
予め定められた演算には、数値演算（四則演算）や、論理演算（論理和、論理積、論理シフト、否定、比較など）、或いはそれら演算の組合せなどが含まれ、どのような演算であってもよい。

【００１２】
【発明の実施の形態】
以下、この発明の実施の形態について、図１～図８の図面を参照しながら説明する。

【００１３】
図１は、本発明に係る遊技機として例示するパチンコ遊技機の遊技盤を示す正面図である。

【００１４】
この実施の形態のパチンコ遊技機は、内部の遊技領域（後述）内に遊技球（遊技媒体）を発射して遊技を行うもので、その前側上半部のガラス板の奥側には、遊技領域１ａを構成する遊技盤１が設置されている。

【００１５】
この遊技盤１のガイドレール２で囲まれた遊技領域１ａには、普図始動ゲート６，６、特別図柄（特図）の可変表示装置４、普通図柄（普図）の可変表示装置７、普図可変表示遊技の結果如何によって開閉部材９ａ，９ａを開（遊技者にとって有利な状態）閉（遊技者にとって不利な状態）させる特図始動口を兼ねた普通変動入賞装置９、特図可変表示遊技の結果如何によって大入賞口５ｂを閉じた状態（遊技者にとって不利な状態）から開放状態（遊技者にとって有利な状態）に変換するサイクル遊技を行う特別変動入賞装置５、一般入賞口８，…、風車と呼ばれる打球方向変換部材１４，…、装飾ランプ１１，…、サイドランプ１２，１２、多数の障害釘（一部のみ図示）１５，…などが配設されている。遊

技領域１ａの最下端部中央にはアウト球を回収するためのアウト穴１３が設けられている。

【００１６】

特図の可変表示装置４は、例えば、液晶表示装置（ＬＣＤ：Liquid Crystal Display）からなる特図の可変表示部４ａを備え、この特図の可変表示部４ａにおいて複数種類の識別情報（例えば、図柄、数字、記号など）が変動表示されることにより特図の可変表示遊技が可能となっている。また、特図の可変表示装置４の上部には、普通変動入賞装置９に遊技球が入賞して特図可変表示遊技が未処理となっている未処理回数を点灯表示する特図始動記憶表示器４ｂ，…が設けられている。

普図の可変表示装置７は、例えば、７セグメント型のＬＥＤなどによって構成され、普通図柄（例えば、図柄、数字、記号などの識別情報）の可変表示遊技が行われるようになっている。また、特別変動入賞装置５の開閉扉５ａの右側には、普図始動ゲート６，６に遊技球が入賞（普図の始動入賞）して普図可変表示遊技が未処理となっている未処理回数を表示する普図始動記憶表示器６ａが配設されている。

【００１７】

普通変動入賞装置９は左右一対の開閉部材９ａ，９ａを具備し、この開閉部材９ａ，９ａは、常時は遊技球が１個流入可能な程度の間隔で閉じた状態を保持しているが、普図の可変表示装置７の可変表示遊技の結果が所定の停止表示態様（例えば、「７」）となった場合には、逆「ハ」の字状に開いて普通変動入賞装置９に遊技球が流入し易い状態（遊技者にとって有利な状態）に変化されるようになっている。

この普通変動入賞装置９は、特図の始動口も兼ね、その内部（入賞領域）に特図始動スイッチ９ｂ（図３）を備えている。また、普図始動ゲート６，６内には、該普図始動ゲート６，６を通過した遊技球を検出するための普図始動スイッチ６ｂ，６ｂ（図３）が設けられている。

【００１８】

特別変動入賞装置５はアタッカー形式の開閉扉５ａによって開閉される大入賞口５ｂを備えている。開閉扉５ａはその上端側が手前側に倒れる方向に回動して開放可能になっていて、特図の可変表示遊技の結果が所定の停止表示態様（例えば、「７、７、７」のゾロ目）となって大当たり等が発生した場合に、大入賞口５ｂが開放されるようになっている。

この大入賞口５ｂの内部（入賞領域）には、該大入賞口５ｂに入った遊技球を検出するためのアタッカーカウントスイッチ５ｃ（図３）と、大入賞口５ｂに入った遊技球のうち継続入賞領域（Ｖ入賞領域）に流入した遊技球を検出するためのアタッカー継続スイッチ５ｄ（図３）が配設されている。

また、各一般入賞口８，…の内部（入賞領域）には、該入賞口８，…に入った遊技球を検出するための入賞口スイッチ８ａ，…（図３）が配設されている。

【００１９】

図２は、パチンコ遊技機の背面図である。

【００２０】

パチンコ遊技機１００の前面枠１１１に取り付けられる裏機構盤１２０の裏側には、予備球を貯留するための貯留タンク１２１、該貯留タンク１２１からの予備球を整列させながら流下案内する導出樋１２２、該導出樋１２２により流下案内される球の球抜きや排出ユニット１２４（後述）への流下案内を行う球抜きユニット１２３、該球抜きユニット１２３を介して流下案内された球を排出する排出ユニット１２４、該排出ユニット１２４からの球排出流路を賞球用流路又は貸球用流路の何れか一方に切り換える流路切換ユニット１２５、該流路切換ユニット１２５を介して流下案内された球を遊技機前面の上皿又は下皿へと案内する案内樋１２６などが配設される他、排出ユニット１２４の制御等を行う排出制御装置３０、電源回路を有する電源供給装置９０、装飾ランプ１１，…やサイドランプ１２，１２など各種ランプ・ＬＥＤの点灯・点滅状態を制御する装飾制御装置５０、遊技制御装置２０（後述）と外部の管理装置（図示省略）との間で授受される信号等を中継する遊技盤用外部出力端子８１などが配設されている。

【００２１】
また、遊技盤１の裏側に突出した可変表示装置４の背部には、遊技制御装置２０の制御下で特図の可変表示装置４の可変表示部４ａの表示制御を行う表示制御装置４０が配設され、この表示制御装置４０の背部には、役物用の中継基板８８が配設されている。また、遊技盤１の背面部左側には、遊技系統の制御を行う遊技制御装置２０が設置され、この遊技制御装置２０の下方には、スピーカ（図示省略）等の出力を制御する音制御装置６０が設置されている。これら遊技制御装置２０、音制御装置６０、中継基板８８は、裏機構盤１２０の中央開口部１２０ａを介して、裏機構盤１２０の後方に突出している。
また、前面枠１１１の裏面下端側には、遊技機前面の操作ハンドルの操作に基づき遊技球を遊技領域１ａに発射させる発射装置７１、該発射装置７１の制御を行う発射制御装置７０、スピーカなどが配設されている。
【００２２】
図３は、遊技制御装置と排出制御装置の主要制御ブロック図である。図４は、遊技制御装置のＣＰＵと乱数ＩＣとの接続例を示す図である。
【００２３】
遊技制御装置２０は、図３に示すように、ＣＰＵ（Central Processing Unit）２１ａ、ＲＡＭ（Random Access Memory）２１ｂ及びＲＯＭ（Read Only Memory）２１ｃを備えた遊技用マイクロコンピュータ、乱数発生装置として例示する乱数ＩＣ２２、インターフェース２３等により構成されている。
【００２４】
ＣＰＵ２１ａは、制御部、演算部を備え、演算制御を行う他、特図や普図の可変表示遊技に関連する各種乱数値なども生成している。各種乱数値には、遊技価値判定用乱数値として例示する特図の大当たり判定用乱数値や普図の当たり判定用乱数値などが含まれる他、停止図柄決定用乱数値、リーチ判定用乱数値、リーチパターン決定用乱数値、予告判定用乱数値などが含まれる。なお、遊技価値判定用乱数値（特図の大当たり判定用乱数値、普図の当たり判定用乱数値など）については、乱数ＩＣ２２より取得した複数の乱数値を引数とする所定の演算（例えば、図７や図８に示す論理演算など）を行うことによって生成される。
ＲＡＭ２１ｂは、特図始動信号としての特図始動スイッチ９ｂのオン信号の記憶（特図始動記憶）および普図始動信号としての普図始動スイッチ６ｂ，６ｂのオン信号の記憶（普図始動記憶）の記憶領域、ＣＰＵ２１ａで生成される各種乱数値の記憶領域、乱数ＩＣ２２より取得した乱数値の記憶領域、各種データを一時的に記憶する記憶領域、並びに、ＣＰＵ２１ａの作業領域などを備えている。ＲＯＭ２１ｃには、遊技上の制御プログラムや制御データが書き込まれている他、特図の大当たり発生を判定するための特図の大当たり判定値、普図の当たり発生を判定するための普図の当たり判定値を含む各種判定値などが書き込まれている。
【００２５】
乱数ＩＣ２２は、乱数を発生するための演算回路を有し、図４に示すように、バス（アドレスバス、データバス、コントロールバス）を介してＣＰＵ２１ａに接続されている。乱数ＩＣ２２のＲＳＴ端子には、ＣＰＵ２１ａと共通のＲＳＴ生成回路２４ａが接続され、乱数ＩＣ２２のＣＬＫ端子には、ＣＰＵ２１ａと共通のＣＬＫ生成回路２４ｂが接続されている。
この乱数ＩＣ２２より乱数値を取得する場合には、乱数ＩＣ２２に対応するアドレスをアドレスバスに与えてＣＳ端子を「Ｌｏ」すなわちアクティブ状態とした後、ＣＰＵ２１ａから乱数ＩＣ２２にデータ読出要求信号を出力してＲＤ端子を「Ｌｏ」すなわちアクティブ状態とすることによって、乱数ＩＣ２２で生成された乱数値（８ビットデータ）をＤ０～Ｄ７の端子からデータバスに出力させる。そして、データバスに出力された乱数値をＣＰＵ２１ａに取り込み、該取り込んだ乱数値をＲＡＭ２１ｂ内の所定の記憶領域に記憶する。これにより乱数ＩＣ２２より乱数値が取得される。
【００２６】

インターフェース２３には、図示しないローパスフィルタ及びバッファーゲートを介して、下皿のオーバーフロー状態を検出するオーバーフロースイッチ８４、貯留タンク１２１（図２）における予備球の貯留状態を検出する半端球検出スイッチ８５、遊技盤１前方のガラス板を保持する金枠の開放状態を検出する金枠開放スイッチ８６、特図始動スイッチ９ｂ、普図始動スイッチ６ｂ，６ｂ、アタッカーカウントスイッチ５ｃ、アタッカー継続スイッチ５ｄ、入賞口スイッチ８ａ，…、排出ユニット１２４より排出されて賞球用流路を流下する賞球を検出するための賞球検出センサ１２５ｂ，１２５ｂ（中継基板８２を介して）などが接続されていて、これらから出力される各種の出力信号をＣＰＵ２１ａに出力している。

また、インターフェース２３は、ＣＰＵ２１ａから出力される制御信号を入力して、図示しない出力ポート及びドライバーを介して、遊技盤用外部出力端子８１、試験用の出力端子を有する試験用出力部８３、普図の可変表示装置（普図ＬＥＤ）７、特別変動入賞装置５の開閉扉５ａを開閉するためのアタッカーソレノイド５ｅ、普通変動入賞装置９の開閉部材９ａ，９ａを開閉するための普電ソレノイド６ｃ、表示制御装置４０、装飾制御装置５０、音制御装置６０などに出力している。

【００２７】

この遊技制御装置２０のＣＰＵ２１ａは、所定周期（例えば、４ｍｓ）毎に乱数ＩＣ２２より乱数値を取得して、該乱数値をＲＡＭ２１ｂに順次記憶していくと共に、取得した複数の乱数値を引数とする所定の演算を行うことによって遊技価値判定用乱数値（例えば、特図の大当たり判定用乱数値、普図の当たり判定用乱数値）を所定周期（例えば、約４ｍｓ）毎に生成し、該生成した遊技価値判定用乱数値をＲＡＭ２１ｂに記憶更新している。つまり、この遊技制御装置２０のＣＰＵ２１ａにより乱数値取得手段及び遊技価値判定用乱数値生成手段が構成されている。

そして、遊技制御装置２０のＣＰＵ２１ａは、所定条件の成立（例えば、特図始動スイッチ９ｂからの検出信号の入力、普図始動スイッチ６ｂ，６ｂからの検出信号の入力）に基づき、ＲＡＭ２１ｂに記憶されている遊技価値判定用乱数値を抽出し、該遊技価値判定用乱数値と、予めＲＯＭ２１ｃに記憶されている判定値（例えば、特図の大当たり判定値、普図の当たり判定値）との比較により、遊技者に対して付与する遊技価値（例えば、特図の大当たり、普図の当たり）を決定すると共に、該決定に基づいて、表示制御装置４０に表示制御信号を送って特図の可変表示部４ａに可変表示遊技（図柄の変動表示）を行わせたり、音制御装置６０に音制御信号を送って、スピーカーより出力される効果音を制御したり、装飾制御装置５０に装飾制御信号を送って、装飾ランプ１１，…等の点灯状態を制御したりする。

【００２８】

例えば、特図の大当たり判定用乱数値と特図の大当たり判定値とが一致する場合には、表示制御装置４０に表示制御信号を送って特図の可変表示部４ａの可変表示を所定の停止態様（例えば、「１，１，１」、「７，７，７」などのゾロ目）で停止させ、大当たりを発生させる。

この大当たりは、特別変動入賞装置５の開閉扉５ａが所定時間（例えば、２９.５秒間）開放して閉じるサイクルを１ラウンドとし、各ラウンド中、遊技球が大入賞口５ｂ中の継続入賞領域のアタッカー継続スイッチ５ｄに検出されることを条件に所定ラウンド（例えば、１６ラウンド）まで継続される遊技である。但し、各ラウンド中、大入賞口５ｂに遊技球が所定個数（例えば、１０個）入賞したときはその時点でそのラウンドを終了する。各ラウンド中、大入賞口５ｂへの入賞個数は、アタッカーカウントスイッチ５ｃにより検出されてＲＡＭ２１ｂに記憶され、所定個数に達すると開閉扉５ａが閉じられてそのラウンドの特別遊技状態が終了する。

【００２９】

また、遊技制御装置２０は、入賞口スイッチ８ａ，…、特図始動スイッチ９ｂ、アタッカーカウントスイッチ５ｃから入賞球の検出信号が入力された場合に、この検出信号に基づいて、排出制御装置３０に賞球制御指令を送って、排出ユニット１２４より所要数の賞球

を排出させる。
【００３０】
排出制御装置３０は、内部にＣＰＵ３１ａ、ＲＯＭ３１ｃ、ＲＡＭ３１ｂ、インターフェース３２等を備えて構成されている。
インターフェース３２には、流路切換ユニット１２５の貸球検出センサ１２５ａ，１２５ａ及び賞球検出センサ１２５ｂ，１２５ｂ（中継基板８２を介して）、カードユニット５００、遊技制御装置２０からの信号が入力される。また、インターフェース３２からは、報知ランプ８７、排出ユニット１２４の球排出モータ１２４ａ及びストッパーソレノイド１２４ｂ、カードユニット５００、流路切換ユニット１２５の流路切換ソレノイド１２５ｃに信号がそれぞれ出力される。
【００３１】
即ち、排出制御装置３０は、遊技制御装置２０から入力される賞球制御指令やカードユニット５００から入力される貸球制御指令に基づいて、流路切換ユニット１２５の流路切換ソレノイド１２５ｃに制御信号を送って、排出ユニット１２４からの球排出流路を賞球用流路又は貸球用流路の何れか一方に切り換えると共に、排出ユニット１２４の球排出モータ１２４ａ及びストッパーソレノイド１２４ｂに制御信号を送って、排出ユニット１２４より所要数の遊技球（賞球、貸球）を排出させる制御を行う。
また、排出制御装置３０は、貸球用流路に配設される貸球検出センサ１２５ａ，１２５ａや賞球用流路に配設される賞球検出センサ１２５ｂ，１２５ｂからの検出信号を入力して貸球数や賞球数を計数し、この計数値に基づき貸球排出及び賞球排出が正確に行われているか否かを監視する処理を行う。この処理の結果、異常が認められた場合には、報知ランプ８７に制御信号を送信して報知ランプ８７を点滅させ、ホールの従業員等に異常発生を報知する。
【００３２】
電源供給装置９０は、ＡＣ２４Ｖの交流電源から複数種類の直流電源を生成して各制御装置に供給する装置であって、整流回路、平滑回路、定電圧回路等の電源回路を備える他、図３に示すように、ロジック電源回路９１を備えている。
ロジック電源回路９１は電源回路により生成されたＤＣ１２ＶからＤＣ５Ｖを生成する回路で、このロジック電源回路９１にはダイオード９２を介して、遊技制御装置２０のＲＡＭ２１ｂ、排出制御装置３０のＲＡＭ３１ｂ、コンデンサ９３が並列接続されている。即ち、コンデンサ９３がＲＡＭ２１ｂ、３１ｂのバックアップ用電源として機能し、例えば、停電時など、ＲＡＭ２１ｂ、３１ｂへの電源供給が遮断されても、ＲＡＭ２１ｂ、３１ｂの記憶内容が所定時間保持されるようになっている。
【００３３】
図５には、遊技制御装置２０によって行われる遊技制御処理（ゼネラルフロー）のフローチャートを示す。
【００３４】
この遊技制御処理は、ＣＬＫ生成回路２４ｂのクロック信号をもとにＣＰＵ２１ａで作成される所定周期（例えば、約４ｍｓ）を持ったリセット信号に基づいて、ステップＳ１～Ｓ２０の処理が１シーケンスずつ行われる。
即ち、そのリセット信号により、この処理が開始され、ステップＳ１において先ず電源投入時であるか否かを判定する電源投入判定処理を行う。この判定の結果、電源投入時である場合には、ＣＰＵ２１ａによって使用される各種レジスタやＲＡＭ２１ｂの初期化処理を行い、ステップＳ２に移行する。電源投入時でなければ、上記初期化処理を省略して、ステップＳ２に移行する。
ステップＳ２では、インターフェース２３に入力される信号の論理変換等を行う入力処理を行った後、ステップＳ３へと移行する。
【００３５】
ステップＳ３では、特図及び普図の可変表示遊技に関連する各種乱数値（例えば、特図の大当たり判定用乱数値、普図の当たり判定用乱数値、停止図柄決定用乱数値、リーチ判定

用乱数値、リーチパターン決定用乱数値、予告判定用乱数値など）の生成をＣＰＵ２１ａで行って、その生成した各種乱数値をＲＡＭ２１ｂに記憶更新させる乱数更新処理を行い、ステップＳ４に移行する。なお、上記各種乱数値の中で、遊技価値判定用乱数値として例示する特図の大当たり判定用乱数値や普図の当たり判定用乱数値については、後述の乱数生成処理（図６）により生成する。一方、リーチ判定用乱数値など、遊技価値の決定に直接関与しない乱数値については、例えば、図５のゼネラルフローの１シーケンス毎に１インクリメントするカウンタ値等を乱数値として用いる。

【００３６】

ステップＳ４では、各入賞口スイッチ監視処理を行う。この各入賞口スイッチ監視処理では、普図始動スイッチ６ｂ，６ｂ、特図始動スイッチ９ｂ、アタッカーカウントスイッチ５ｃ、アタッカー継続スイッチ５ｄなどのスイッチからの入力信号に基づいて、特図始動記憶や普図始動記憶の更新、ステップＳ３で記憶更新された各種乱数値の抽出、賞球数記憶、大当たり時のラウンド継続の設定、などの処理を行う。

【００３７】

次いで、ステップＳ５では、特図ゲーム処理を行う。この特図ゲーム処理では、普通変動入賞装置９への入賞に基づく特図始動記憶があるか否かを判定し、特図始動記憶がある場合には、ステップＳ４で抽出した特図の可変表示遊技に関連する各種乱数値とそれに対応する判定値との比較により、特図の大当たりを発生するか否かの決定や、リーチ（リーチ可変表示遊技）を発生するか否かの決定、或いは停止図柄の決定など、特図の可変表示遊技に関連する様々な決定などを行うと共に、特図始動記憶を１デクリメントする処理などを行う。そして、特図の大当たり発生が決定された場合には、大当たりに関連する各種処理を行う。

【００３８】

次いで、ステップＳ６では、普図ゲーム処理を行う。この普図ゲーム処理では、普図始動スイッチ６ｂ，６ｂによる検出に基づく普図始動記憶があるか否かを判定し、普図始動記憶がある場合には、ステップＳ４で抽出した普図の当たり乱数値と普図の当たり判定値との比較により、普図の当たりを発生するか否かを決定する処理を行う。

次いで、ステップＳ７では、ステップＳ６における決定に従い、普図の可変表示装置７に普図の可変表示とその停止を行わせたり、時短処理を行わせたりする。そして、ステップＳ６において普図の当たりが決定された場合には普図当たりとして普通変動入賞装置９を所定期間開放する処理などを行う。この処理の後、ステップＳ８に移行する。

【００３９】

ステップＳ８では、断線・短絡不正やノーカウント不正等を監視する不正監視処理を行い、ステップＳ９へと移行する。例えば、ノーカウント不正の監視処理では、特別変動入賞装置５の開閉扉５ａが開放された状態であるにもかかわらずアタッカーカウントスイッチ５ｃにより入賞球が所定時間全く検出されない状態を検出したりする。

ステップＳ９では、各種ソレノイド（例えば、アタッカーソレノイド５ｅ、普電ソレノイド６ｃなど）に出力する制御信号の編集を行うソレノイド編集処理を行った後、ステップＳ１０に移行する。

ステップＳ１０では、遊技盤用外部出力端子８１を介して外部の管理装置に出力する外部情報（例えば、大当たりに関連する情報、確率変動情報など）の編集を行う外部情報編集処理を行う。

【００４０】

その後、順次、排出制御装置３０に送信する賞球制御指令を編集する賞球コマンド編集処理（ステップＳ１１）、表示制御装置４０に送信する表示制御信号を編集する表示器コマンド編集処理（ステップＳ１２）、装飾制御装置５０に送信する装飾制御信号を編集するランプコマンド編集処理（ステップＳ１３）、音制御装置６０に送信する音制御信号を編集する音声コマンド編集処理（ステップＳ１４）を行った後、上記賞球制御指令を排出制御装置３０に送信する賞球コマンド送信処理（ステップＳ１５）、上記表示制御信号を表示制御装置４０に送信する表示器コマンド送信処理（ステップＳ１６）、上記装飾制御信

号を装飾制御装置５０に送信するランプコマンド送信処理（ステップＳ１７）、上記音制御信号を音制御装置６０に送信する音声コマンド送信処理（ステップＳ１８）を行い、ステップＳ１９へと移行する。

【００４１】

ステップＳ１９では、ステップＳ６で編集した普図の可変表示装置７の制御信号や、ステップＳ９で編集した各ソレノイドの制御信号、或いはステップＳ１０で編集した外部情報などを出力する出力処理を行い、ステップＳ２０へと移行する。

ステップＳ２０では、当該シーケンスの処理時間が所定周期（例えば、約４ｍｓ）に満たない場合に、その残余時間を利用した残余時間処理（例えば、ハズレ図柄の編集等）を行う。この残余時間処理は、リセット信号が検出されるまで繰り返し行われる。リセット信号が検出されたら、当該シーケンスの処理を終了して、次のシーケンスの処理（ステップＳ１）に移行する。

【００４２】

図６は、図５のゼネラルフローにおける乱数生成処理（ステップＳ３）の一例を示すフローチャートである。図７は、図６の乱数生成処理を説明する図である。

【００４３】

この乱数生成処理は、遊技価値判定用乱数値として例示する特図の大当たり判定用乱数値や普図の当たり判定用乱数値などを生成するための処理である。ここでは、特図の大当たり判定用乱数値を例にとって説明する。

この乱数生成処理が開始されると、先ず、ステップＳ３１において、乱数ＩＣ２２により生成される８ビットの乱数値を取得してＲＡＭ２１ｂに記憶する処理を行い、ステップＳ３２へと移行する。このとき、ＲＡＭ２１ｂには、今回取得した今回取得乱数値と、前回取得した前回取得乱数値とが記憶されている。

ステップＳ３２では、ＲＡＭ２１ｂに記憶されている前回取得乱数値の上位４ビットをクリアした後、全体を４ビット左シフトする。例えば、前回取得乱数値が「０１０００１０１」（Ｂ）の場合には、上位４ビットをクリアして「０００００１０１」とした後、全体を４ビット左シフトして「０１０１０００」とする。

次いで、ステップＳ３３では、ＲＡＭ２１ｂに記憶されている今回取得乱数値の上位４ビットをクリアする。例えば、今回取得乱数値が「０１１０００１０」（Ｂ）の場合には、上位４ビットをクリアして「００００００１０」とする。

次いで、ステップＳ３４では、ステップＳ３２における演算結果と、ステップＳ３３における演算結果との論理和をとって、特図の大当たり判定用乱数値を生成する。例えば、「０１０１００００」と「００００００１０」の論理和をとると、特図大当たり乱数値は「０１０１００１０」となる。

次いで、ステップＳ３５では、ステップＳ３４における演算結果をＲＡＭ２１ｂに記憶更新した後、図５のゼネラルフローの乱数生成処理（ステップＳ３）に復帰する。

【００４４】

つまり、上記乱数生成処理によれば、図７（ａ）に示すように、生成された特図の大当たり判定用乱数値の上位４ビット（Ｂ７、Ｂ６、Ｂ５、Ｂ４）が上記前回取得乱数値（図７（ａ）では１回目取得乱数値ｂｎ＿１）の下位４ビット（b3_1、b2_1、b1_1、b0_1）により構成され、大当たり判定用乱数値の下位４ビット（Ｂ３、Ｂ２、Ｂ１、Ｂ０）が上記今回取得乱数値（図７（ａ）では２回目取得乱数値ｂｎ＿２）の下位４ビット（b3_2、b2_2、b1_2、b0_2）により構成されている。

【００４５】

ここで、図７（ｂ）に示すように、大当たり判定用乱数値の判定に用いられる大当たり判定値は、大当たり判定用乱数値の生成に用いられる乱数値の下位４ビットｂ０、ｂ１、ｂ２、ｂ３の中の何れか一つの値が一定である場合に生成され得る大当たり判定用乱数値（例えば、図７（ｂ）に示す「１００１０１０１」など）と、一致しないように設定されている。即ち、判定値の第７ビットと第３ビットが異なる値に設定され、同様に、第６ビットと第２ビット、第５ビットと第１ビット、第４ビットと第０ビットが、それぞれ異なる

値に設定されている。例えば、図７（ｂ）に示すように、「００００１１１１」、「００１０１１０１」などが大当たり判定値として設定される。このため、例えば、信号線を不正に操作して乱数ＩＣ２２の出力の一部を「Ｌｏ（０）」又は「Ｈｉ（１）」の何れか一方に固定した場合には、大当たり判定値と一致する大当たり判定用乱数値を発生させることができない。従って、乱数ＩＣ２２から延びる信号線に対する不正行為を防止できる。

【００４６】

なお、上記乱数生成処理では、乱数ＩＣ２２より取得した２つ乱数値の下位４ビットを使用して大当たり判定用乱数値を生成するようにしたが、例えば、大当たり判定用乱数値に使用する乱数値を３つ以上としたり、大当たり判定用乱数値に使用する乱数値のビット位置やビット数を変更したりすることも可能である。また、大当たり判定用乱数値の生成に適用する演算方法も上記演算方法に限られるものではなく、種々のバリエーションがあり得る。例えば、図８に示すように、▲１▼乱数ＩＣ２２より４つの乱数値ｂｎ＿１、ｂｎ＿２、ｂｎ＿３、ｂｎ＿４を取得し、これら乱数値の各ビットの排他的論理和を求めて、これを大当たり判定用乱数値とする方法、▲２▼乱数ＩＣ２２より４つの乱数値ｂｎ＿１、ｂｎ＿２、ｂｎ＿３、ｂｎ＿４を取得し、これら乱数値を加算したものを大当たり判定用乱数値とする方法、▲３▼乱数ＩＣ２２より取得した４つの乱数値ｂｎ＿１、ｂｎ＿２、ｂｎ＿３、ｂｎ＿４の中から一部の乱数値ｂｎ＿２、ｂｎ＿４を選択し、これら乱数値ｂｎ＿２、ｂｎ＿４の各ビットの排他的論理和を求めて、これを大当たり判定用乱数値とする方法、などが挙げられる。勿論、これら以外の各種演算方法（数値演算（四則演算）や、論理演算（論理和、論理積、論理シフト、否定、比較など）、或いはそれら演算の組合せなど）を適用することも可能である。

【００４７】

この実施の形態のパチンコ遊技機１００によれば、乱数ＩＣ２２より取得された複数の乱数値を引数とする予め定められた演算を行うことによって遊技価値判定用乱数値（特図の大当たり判定用乱数値や普図の当たり判定用乱数値など）を生成するようにしたので、判定値と一致する遊技価値判定用乱数値の生成タイミングを捕捉したり、遊技価値判定用乱数値自体を不正に操作したりするのが困難となる。従って、例えば、ぶら下げ基板などによる不正行為によって遊技価値（特図の大当たりや普図の当たり）の発生確率が操作されることを防止できる。

【００４８】

また、乱数ＩＣ２２より延びる複数の信号線の出力の中で少なくとも一部の信号線の出力を選択すると共に、該選択した信号線の出力を少なくとも２回以上用いて遊技価値判定用乱数値を生成するようにしたので、例えば、選択した信号線の出力に異常がある場合には、その出力異常を早期に検出することができる。また、その場合に生成し得る遊技価値判定用乱数値と一致することがないよう、判定値が予め設定されているので、例えば、乱数ＩＣ２２より信号線を不正に操作して乱数発生装置の出力の一部を「Ｌｏ」又は「Ｈｉ」の何れか一方に固定した場合には、判定値と一致する遊技価値判定用乱数値を発生させることができない。従って、乱数ＩＣ２２から延びる信号線に対する不正行為を防止できる。

【００４９】

なお、本発明はこの実施の形態のパチンコ遊技機１００に限られるものではなく、例えば、その他のパチンコ遊技機、アレンジボール遊技機、雀球遊技機などの弾球遊技機、或いはスロットマシーン、パチスロ等にも適用可能である。

また、この実施の形態では、遊技価値判定用乱数値として特図の大当たり判定用乱数値や普図の当たり判定用乱数値を例示したが、これら以外の乱数値であってもよい。また、乱数発生装置として乱数ＩＣを例示したが、これに限られるものではない。例えば、出力する乱数値の桁数や乱数値の出力タイミングなど適宜に変更可能である。また、乱数ＩＣを遊技制御装置２０の内部に設ける構成としたが、遊技制御装置２０の外部に設ける構成であってもよい。

その他、今回開示された実施の形態はすべての点で例示であって制限的なものではないと

考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【００５０】

【発明の効果】

本発明によれば、乱数発生装置により連続して取得された２つの乱数値の各々の上位４ビットをクリアすると共に、一方の乱数値の下位４ビットを上位４ビットにシフトしてから他方の乱数値との論理和をとって遊技価値判定用乱数値を生成するようにしたので、判定値と一致する遊技価値判定用乱数値の生成タイミングを捕捉したり、遊技価値判定用乱数値自体を不正に操作したりするのが困難となる。従って、例えば、ぶら下げ基板などによる不正行為によって遊技価値の発生確率が操作されることを防止できる。

【図面の簡単な説明】

【図１】本発明に係る遊技機として例示するパチンコ遊技機の遊技盤を示す正面図である。

【図２】図１のパチンコ遊技機の背面図である。

【図３】図２の遊技制御装置と排出制御装置の主要制御ブロック図である。

【図４】図３の遊技制御装置のＣＰＵと乱数ＩＣとの接続例を示す図である。

【図５】図３の遊技制御装置によって行われる遊技制御処理（ゼネラルフロー）のフローチャートである。

【図６】図５のゼネラルフローにおける乱数生成処理（ステップＳ３）の一例を示すフローチャートである。

【図７】図６の乱数生成処理を説明する図である。

【図８】図３の遊技制御装置によって行われる乱数生成処理のその他の例を説明する図である。

【符号の説明】

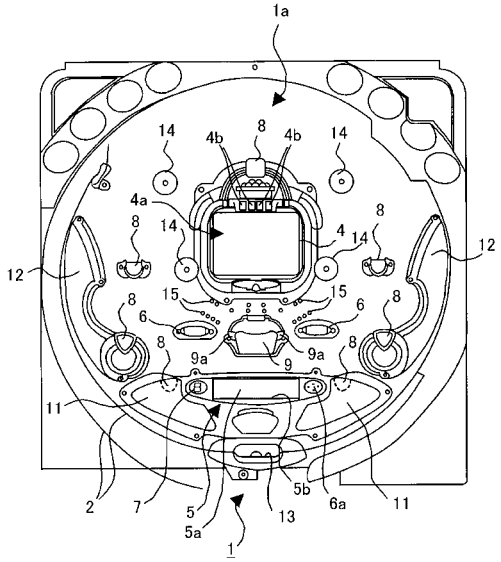
２０　遊技制御装置

２１ａ　ＣＰＵ（乱数値取得手段、遊技価値判定用乱数値生成手段）

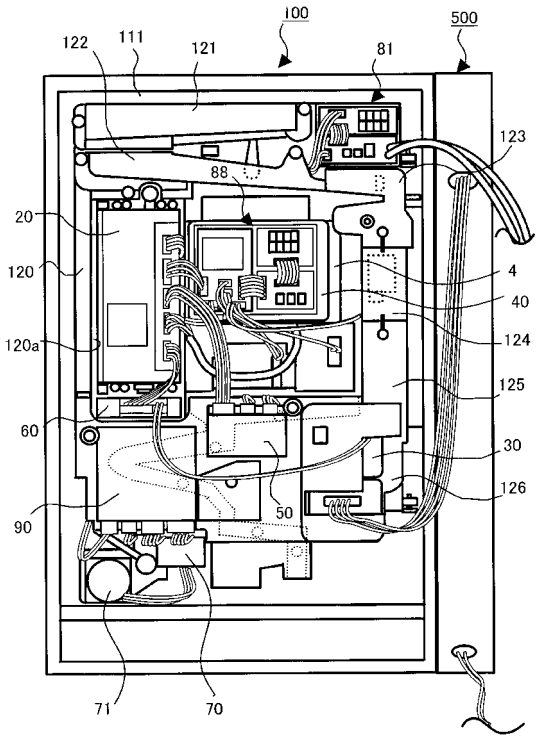
２２　乱数ＩＣ（乱数発生装置）

１００　パチンコ遊技機（遊技機）

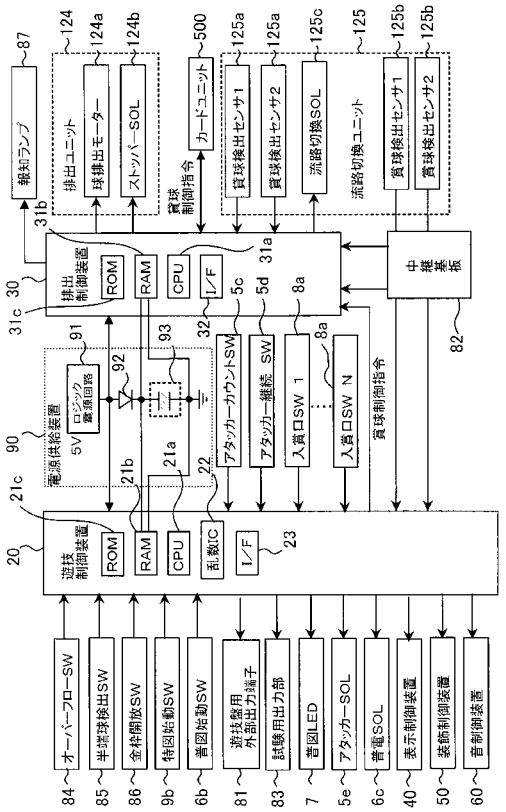
【図１】


1a
14
4b
8
4b
14
4a
14
4
14
8
8
15
15
6
8
6
8
8
9a
9
9a
8
12
12
11
11
2
7
5
5a
13
5b
6a
1

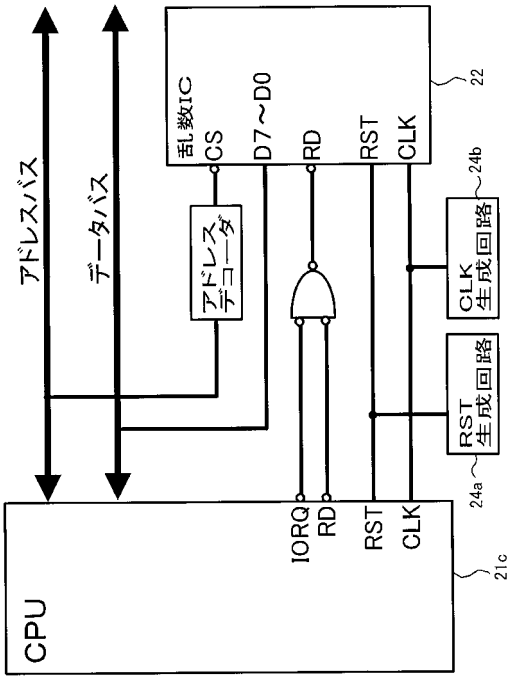
【図２】


100
500
122
111
121
81
123
88
20
120
4
40
120a
124
125
60
30
126
50
90
71
70

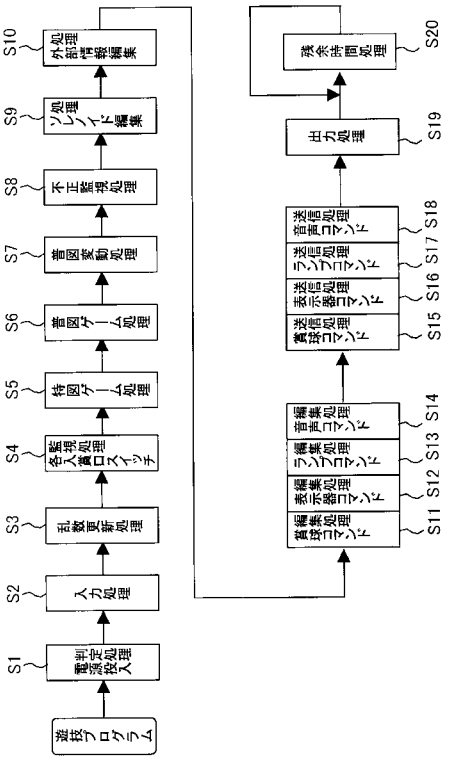
【図３】


報知ランプ
排出ユニット
球排出モーター
ストッパーSOL
カードユニット
賞球検出センサ1
賞球検出センサ2
流路切換SOL
流路切換ユニット
賞球検出センサ1
賞球検出センサ2
賞球制御指令
排出制御装置
ROM
RAM
CPU
I/F
中継基板
電源供給装置
5V
ロジック電源回路
アタッカーカウントSW
アタッカー継続SW
入賞口SW 1
入賞口SW N
賞球制御指令
遊技制御装置
ROM
RAM
CPU
乱数IC
I/F
オーバーフローSW
半端球検出SW
金枠開放SW
特図始動SW
普図始動SW
遊技盤用外部出力端子
試験用出力部
普図LED
アタッカーSOL
普電SOL
表示制御装置
装飾制御装置
音制御装置

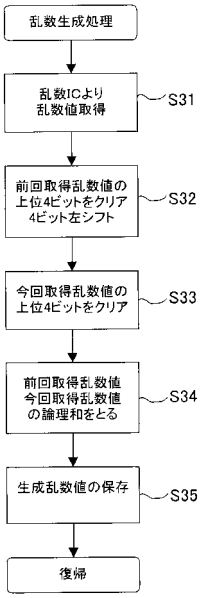
【図４】


アドレスバス
データバス
乱数IC
CS
D7～D0
RD
RST
CLK
22
アドレスデコーダ
CLK生成回路
RST生成回路
IORQ
RD
RST
CLK
CPU
21c

【図５】

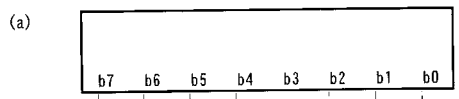


【図６】



【図７】

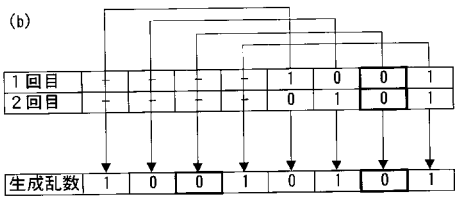
(a)



1回目	–	–	–	–	b3_1	b2_1	b1_1	b0_1
2回目	–	–	–	–	b3_2	b2_2	b1_2	b0_2
生成乱数	B7	B6	B5	B4	B3	B2	B1	B0

B7=b3_2 B5=b1_2 B3=b3_1 B1=b1_1
B6=b2_2 B4=b0_2 B2=b2_1 B0=b0_1

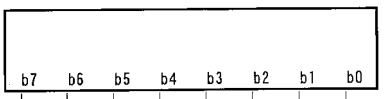
(b)



1回目	–	–	–	–	–	1	0	0	1
2回目	–	–	–	–	–	0	1	0	1
生成乱数	1	0	0	1	0	1	0	1

判定値	A	B	C	D	NOT(A)	NOT(B)	NOT(C)	NOT(D)
15	0	0	0	0	1	1	1	1
30	0	0	0	1	1	1	1	0
45	0	0	1	0	1	1	0	1
…	…	…	…	…	…	…	…	…
240	1	1	1	1	0	0	0	0

【図８】



1回目	b7_1	b6_1	b5_1	b4_1	b3_1	b2_1	b1_1	b0_1
2回目	b7_2	b6_2	b5_2	b4_2	b3_2	b2_2	b1_2	b0_2
3回目	b7_3	b6_3	b5_3	b4_3	b3_3	b2_3	b1_3	b0_3
4回目	b7_4	b6_4	b5_4	b4_4	b3_4	b2_4	b1_4	b0_4
生成乱数	B7	B6	B5	B4	B3	B2	B1	B0

1回目	1	0	0	0	1	1	0	0
2回目	0	0	0	1	0	1	1	1
3回目	0	1	0	0	1	1	0	1
4回目	1	0	0	1	1	0	0	1

① Bn=XOR(bn_1, bn_2, bn_3, bn_4)

生成乱数	0	1	0	0	1	1	1	1

② Bn=ADD(bn_1, bn_2, bn_3, bn_4)

生成乱数	1	0	0	0	1	0	0	1

③ Bn=XOR(bn_2, bn_4)

生成乱数	1	0	0	0	1	1	1	0

フロントページの続き

(56)参考文献 特開平０３－０１１８１９（ＪＰ，Ａ）
特開平０７－０９６０６９（ＪＰ，Ａ）
特開平０７－３０３７３６（ＪＰ，Ａ）
特開平０８－１２９４８０（ＪＰ，Ａ）
特開平０９－２２５１０２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
A63F 7/02
A63F 5/04
G06F 7/58