



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類 3 H 01 L 21/88, 21/82, 27/04	A1	(11) 国際公開番号 WO 80/01859 (43) 国際公開日 1980年9月4日 (04. 09. 80)
(21) 国際出願番号 PCT/JP80/00025 (22) 国際出願日 1980年2月22日 (22. 02. 80) (31) 優先権主張番号 特願昭54-22289 (32) 優先日 1979年2月27日 (27. 02. 79) (33) 優先権主張国 JP (71) 出願人 (米国を除くすべての指定国について) 富士通株式会社 (FUJITSU LIMITED) [JP/JP] 〒211 神奈川県川崎市中原区上小田中1015番地 Kanagawa, (JP) (72) 発明者; および (75) 発明者/ 出願人 (米国についてのみ) 菊池秀夫 (KIKUCHI, Hideo) [JP/JP] 〒223 神奈川県横浜市港北区高田町1528 Kanagawa, (JP) 馬場重典 (BABA, Shigenori) [JP/JP] 〒213 神奈川県川崎市高津区下作延306 Kanagawa, (JP) 佐藤昭二 (SATO, Shoji) [JP/JP] 〒229 神奈川県相模原市田名6203-23-234 Kanagawa, (JP)	(74) 代理人 弁護士 松岡宏四郎 (MATSUOKA, Koshiro) 〒211 神奈川県川崎市中原区上小田中1015番地 富士通株式会社内 Kanagawa, (JP) (81) 指定国 DE (欧州特許), FR (欧州特許), GB (欧州特許), NL (欧州特許), US. 添付公開書類 国際調査報告書	

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT AND WIRING METHOD THEREFOR

(54) 発明の名称 半導体集積回路およびその配線方法

(57) Abstract

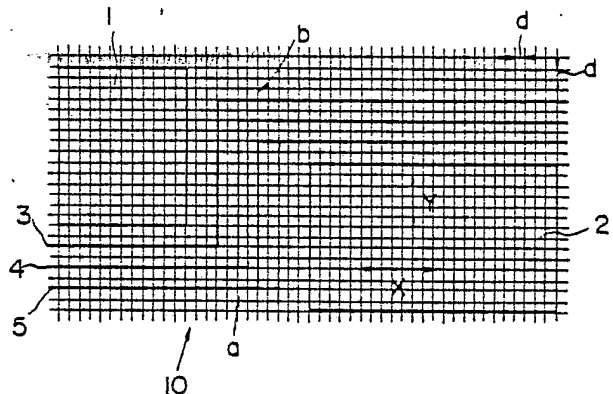
A large scale integrated circuit and a wiring method therefor, wherein use is made of a grid method which comprises partitioning a layout space into a lattice pattern by vertical and horizontal lines which are spaced apart by a distance which is greater than a length corresponding to a minimum dimension that can be patterned by a manufacturing process, drawing wire routing patterns onto the vertical and horizontal lines for interconnection among layout unit cells, and then forming wires according to the wire routing patterns. The spacing distance (d) of vertical and horizontal lines in grid (10) is designed to be shorter than wiring pitches on multi-wiring layers, i.e., to have a length of the greatest common measure to the minimum wiring pitch in each wiring layer. Onto the vertical and horizontal lines, which have the same spacing distance as above-mentioned, are drawn vertical and horizontal wire routing patterns (3, 4, 5). Since the longitudinal and lateral lengths of each cell are integral multiples of the spacing distance (d) in grid (10), terminals of each cell are positioned within a tolerable range for wiring.

(57) 要約

大規模な半導体集積回路、およびその配線方法であって、レイアウト空間を製造工程でパターンニングすることができる最小寸法に対応する長さより大きな間隔をもつ縦、横線群で格子状に区切り、その縦、横線上にレイアウトの単位である各セル間の接続を行うための配線パターンを画き、該パターンに基づいて配線が作られるグリッド方式が採用される。

グリッド(10)の縦線、および横線の間隔(d)は、重なる複数の配線層の各最小配線ピッチの最大公約数であって、該配線ピッチよりは小さい寸法に選ばれ、これらの共に等しい間隔の縦、横線上に縦、横配線(3, 4, 5)のパターンが画かれる。

セルの縦、横寸法は、グリッド(10)の間隔(d)の整数倍であり、セルの端子はグリッド(10)の配線許容位置に配置される。



情報としての用途のみ

PCTに基づいて公開される国際出願のパンフレット第1頁にPCT加盟国を同定するために使用されるコード。

AT	オーストリア	MC	モナコ
BR	ブラジル	MG	マダガスカル
CF	中央アフリカ共和国	MW	マラウイ
CG	コンゴ	NL	オランダ
CH	スイス	NO	ノールウエー
CM	カメルーン	RO	ルーマニア
DE	西ドイツ	SE	スウェーデン
DK	デンマーク	SN	セネガル
FR	フランス	SU	ソヴィエト連邦
GA	ガボン	TD	チャード
GB	イギリス	TG	トーゴ
JP	日本	US	米国
LU	ルクセンブルグ		

明 細 書

発 明 の 名 称

半 導 体 集 積 回 路 お よ び そ の 配 線 方 法

技 術 分 野

- 5 本発明は半導体集積回路、特に大規模集積回路およびこれを自動的に設計するのに適した配線方法に関する。

背 景 技 術

- 周知のように集積回路（IC）は益々大規模化し
10 つゝあり、これに伴なってICのレイアウトの単位はトランジスタではなくナンドゲート、フリップフロップなどの回路単位（セルという）とし、セル相互間の接続を行う、いわゆる配線もグリッド方式で行って、設計時に取扱う情報量の減少、処理の高速
15 化が図られている。このグリッド方式というのはレイアウト空間を、IC製作に際して配線材料層をパターンニングすることができる最小寸法よりも大きな寸法例えば配線ピッチを間隔とする（実際にはその縮尺倍したものを間隔とする）縦，横線で格子状に
20 区切り、その縦，横線上に配線パターンを画こうとするものである。配線ピッチは、1層目か2層目かという配線層位置、およびアルミニウム、ポリシリコン、拡散層などの配線材料によって異なり、例えばアルミニウムでの第1層配線は許容最小線間隔が
25 10 μm 、ポリシリコンでのそれも10 μm 、2層目の

アルミニウム配線のそれは $15\mu m$ というような値をとる。そこで従来のグリッドは例えば横線間隔を $10\mu m$ 、縦線間隔を $15\mu m$ とした矩形網目としている。このグリッドを用いると単に横線上に配線を示す線を引くだけで誤りなくつまり確実に許容最小線間隔を保持させて第1層配線パターンを画くことができ、また縦線上に配線を示す線を引くだけで誤りなく第2層配線パターンを画くことができ、このグリッドを基にしてマスクを作って集積回路の配線をフォトリソプロセス等により製作することができる。

グリッドを用いる以前は作業者が配線パターンを画くのに縦線、横線間隔が等しい正方形網目の通常の方眼紙を用いており、この方眼紙の縦、横線上又はそれらの線の間に配線を示す線を画き、例えば、 $1/1000$ に縮尺（網目が $1mm$ 間隔とするとこれでパターンニング可能最小寸法にほぼ相当する $1\mu m$ または $0.5\mu m$ 単位となる）してマスクを作っていた。この方眼紙方式の場合は画かれた配線パターンの相互間隔が許容最小線間隔以上かをチェックする必要がある、このチェック作業は集積回路が大規模化すればする程甚だ厄介なものとなる。

上記グリッド方式はこの点極めて便利であり、配線はグリッド（縦、横線）上に画くというルールを守りさえすれば配線間隔は必らず許容最小線間隔以上となり、従って線間隔チェックは不要である。しか

し従来のグリッドでは例えば横線は第1層用、縦線は第2層用というように区別されている(このようにすると各層の許容最小線間隔の確保が簡単にできる)から第1図に示すようにセル1とセル2があり、
5 これらの間を通過して配線するため配線3, 4, 5は部分a, bで折曲しなければならない様な場合には、部分aで1層目配線から2層目配線に変え、部分bで再び1層目配線へ戻し、この切換え部はスルーホールで連絡するということになる。これは極めて煩雑であり、必要面積も大であり、歩留りも低下する。
10 尤も、従来のグリッド方式でも同じ層に配線3, 4, 5の如きX, Y方向に折曲する配線を形成することは可能であるが、集積度の低下は避けられない。即ち配線3, 4, 5を第1層に形成するとすると、その
15 縦線部分は第2層目の許容最小線間隔となっていて第1層目のそれより大であるから線間隔が必要以上に広く、またこの配線3, 4, 5を第2層に形成するとすると、横線部分はグリッドの隣接する横線上に画くと線間隔が不足するから横線1本置きに画く必要があり、しかしこれは本例では $10\mu m \times 2$ とな
20 て必要な $15\mu m$ 間隔より大となってしまう。
こうしていずれにしても配線の縦または横線部分で間隔が大となり、集積度の低下を招く。

またセル方式とした場合、セルの大きさはグリッド間隔の整数倍とし、入力および出力端子はセルを
25



チップ内に配置した場合グリッドの縦，横線に整列する様にするのが一般的である。かゝるセル方式を上記従来のグリッドに適用すると、縦，横線間隔が異なるから、セルの向きを 90° 回転させる（結線の都合上等の理由により 90° 回転させたい場合がよく生じる）とセルの端子がグリッドの縦，横線と整列しなくなるといった問題が生じる。これはレイアウトの自由度を減少させ、更には集積度向上を制限する。

従来の方眼紙方式では、網目は正方形であるから配線3，4，5の如きX，Y方向に折曲する配線を同一層に形成しても線間隔が必要以上に大になることはなく、またセル 90° 回転は任意に行え、この際セル端子と縦，横線が合わなくなるといった問題は生じない。しかし前述のように、画いた配線パターンの線間隔をすべてチェックしなければならないという厄介な問題を有し、またレイアウトの自由度が大きいだけにその処理は複雑で、自動化が難しい。

発明の開示

本発明は、従来のこれらの方式の欠点を除き、しかも長所を取り入れた半導体集積回路およびその配線方法を提供するものである。

本発明の目的は、簡単なチェックにより配線間隔を許容最小値にすることができ、しかも集積度を低下させることなく同一層での配線のX，Y方向折曲

が可能となる配線方法を提供することにある。

本発明の他の目的は、このような配線方法により行われた配線に適し、かつ回路内での配置の自由度が大きなセルを有する半導体集積回路を提供することにある。

5 これら本発明の目的は、レイアウト空間を製造工程でパターンニングすることができる最小寸法に対応する長さより大きな間隔をもつ縦，横線群で格子状に区切り、その縦，横線上にレイアウトの単位である各セル間の接続を行うための配線パターンを画き、
10 該パターンに基づいて集積回路の配線を製作するグリッド方式の配線方法において、グリッドの前記縦線および横線の間隔を、重なる複数の配線層の整数で表わし得る最大の単位で表わした互いに素でない各最小配線ピッチの最大公約数の寸法に選び、これ
15 らの共に等しい間隔の縦，横線上に同一層に置かれるまたは異なる層に分けて置かれる縦，横配線のパターンを画くこと、およびこの配線方法により作られる集積回路のセルにおいて、該セルの縦，横寸法を前記間隔の整数倍とし、該セルの端子を前記縦，横線上の配線許容位置に整列させて設けることにより達成される。

図面の簡単な説明

第1図は、従来の配線方法を説明するための図、

25 第2図は、本発明の配線方法を説明するための図、



第 3 図は、セルの配置状態を説明するための図、
第 4 図は、本発明のセルの一例を示す平面図、
第 5 図は、第 4 図に示したセルの等価回路図、
第 6 図は、第 4 図に示したセル 2 つを 90° 異なら
5 せて配置した状態を示す図である。

発明を実施するための最良の形態

以下、図面を参照して本発明を実施するための最良の形態を説明する。

第 2 図は、本発明の配線方法を説明するための図
10 である。

第 2 図で 10 はグリッドであり、その縦線、横線間は同じであり、正方形の網目を作る。この縦、横線間隔 d は、第 1 層配線の許容最小ピッチが $10 \mu m$ 、第 2 層配線の許容最小ピッチが $15 \mu m$ とすると、これら
15 の最大公約数である $5 \mu m$ とする。このようにすると第 1 層の配線は 1 本置きの縦、横線上に書き、第 2 層の配線は 2 本置き
の縦、横線上に書くことで簡単に許容最小線間隔を確保した第 1、第 2 層配線
を画くことができる。また配線 3、4、5 のように部分
20 分 a 、 b で直角に折曲する配線を画く場合も、単に 1 本置きの縦、横線上に図示の如く線を引く（実際には配線に幅があるからその幅を持つ線を引かなくてはならないが図面では簡単化のため幅は省略してある）だけで第 1 層配線パターンを画くことができ、
25 部分 a 、 b は第 2 層目配線とする必要はなくなる。

勿論この配線 3, 4, 5 を第 2 層に形成してもよく、
その場合はその縦, 横線部分ともグリッドの縦, 横
線上に 2 本置きに、配線パターンを画けばよい。セ
ル 1, 2 間には他の配線があり、配線 3, 4, 5 は部
5 分 a, b 間で該他の配線に交叉するような場合は配
線 3 ~ 5 の部分 a, b 間を第 2 層に形成するとよい
(セル 1, 2 間の上記他の配線および配線 3 ~ 5 の
横方向部分は第 1 層にあるとして) が、この場合は
点線で示すように配線 3 ~ 5 の部分 a, b 間を縦線
10 2 本置きに画けばよい。

このように第 2 図のグリッド方式では第 1 層配線
は縦, 横線 1 本置き、第 2 層配線は縦, 横線 2 本置
きというルールを守って配線パターンを画くだけで、
各層の配線が許容最小間隔を保持しておりかつ必要
15 以上に線間隔を大にせず従って集積度の向上が可能
な配線パターンを画くことができる。勿論、セルの
端子との接続その他の条件でこれ以上の間隔をとっ
て配線することも可能なことは言うまでもない。そ
して画いた配線パターンのチェックはこの 1 本置き
20 又は 2 本置きかという規則に違反して、すぐ隣の
グリッド又は 1 本或いは 2 本隣のグリッドを使っ
ているか否かということをチェックするだけでよく、
従来の方眼紙方式のように各配線ピッチが $10\mu m$ 又
は $15\mu m$ という間隔を保持しているか否かのチェッ
25 クは不要である。

これは実際問題として大きな利点をもたらすものである。即ちこの配線ピッチのチェックは第2図の方式では例えば各配線パターンの横線部分をメモリに記憶（各横線毎に、その横線上のX座標をアドレスとして線があれば1，なければ0として）させ、またその縦線部分を同様にメモリに記憶させ、各線分の両側（斜め方向も問題になるので線分の両端の若干前方を含めて）の横線部分に線があるか即ち1が記憶されているかをチェックする（記憶されていなければ正常）ことにより行う（第1層配線については）ことができ、このチェックは比較的簡単であるが、方眼紙方式でこのチェック方式をとるとなると、微細な（上記の $5\mu m$ 単位と $1\mu m$ 単位では5倍の差がある）方眼の各縦線，横線毎に線分の記憶を行わねばならず、従って必要メモリ容量は増大し（上記例では25（ 5×5 ）倍となる）また間隔チェックも両側の本例では第1，第2，第3，第4，第5の縦，横線上に線がないか否かを調べねばならず甚だ煩雑である。

また集積回路では第3図のセル群11のように他のセル群12，13……とは 90° 回転させて配置した方が結線上またはスペース利用上等の点で好都合ことがある。正方形格子を用いる本発明ではセルの縦，横寸法さえ格子間隔の整数倍に選んでおけばこの 90° 回転は自由であり、回転させてもセル端子を

配線に簡単に整列させることができる。この点第1
図の縦線間隔と横線間隔が不等な従来グリッドでは、
90°回転させたのではセル側辺が格子縦、横線に合
わなくなり、またセル端子も配線と不整列となつて
5 しまう。

尤も、第1図の従来方式では、第1層配線は横線
上にまた第2層配線は縦線上に画くというルールを
守りさえすればよく、これで各層の許容最小線間隔
を確保でき、従って間隔チェックは不要であり、安
10 全を期するなら各配線パターンがグリッドの縦、横
線上にのみあるかを目視チェックすればよい。しか
しこのため、配線部分の縦線部分と横線部分では層
が分かれてしまうという不都合、またこれを避ける
ため同一層に配線が行われるようにすると必要以上
15 に線間隔が大となる部分が生じてしまう。

約言すれば方眼紙方式では余りに自由度が大で融
通性が高い反面、プログラム等が複雑になって配線
自動化には不向である。これに対して従来のグリッ
ド方式は極めて簡素化されており、ラインサーチ法
20 (結線指令で空いている縦、横線を探し、空線を見
付けたらそれに配線を画く方式)やチャンネルラウ
ター(例えばセル1, 2間の接続を行う際必要な縦
線群をグリッド縦線に沿って引き、それを母線とし
て共通に接続されるセル1, 2の端子群を横線で結
25 ぶ方式)の適用には極めて好適であるが、横線は第

1 層、縦線は第 2 層等、レイアウトの自由度が小さい欠点がある。本発明は両者の長所を取入れ短所はほぼ捨てることができるようにしたものであり、グリッドの概念は保持しているので配線チェックが簡単にでき、しかも自由度が高いため配線の複雑化、集積度低下、特性劣化を避けることができる。

なお本発明ではグリッドの間隔は各配線層の最小配線ピッチに基いて定めるが、最大公約数が極めて小になるような場合は（この場合は各層とも配線パターンの間に多数の縦、横線をおく必要が生じる）最小配線ピッチを許容最小ピッチより大きく使用に便利な数値にして用いる、例えば前記の許容最小ピッチが $10\mu m$ と $15\mu m$ でなく、 $10\mu m$ と $14\mu m$ 従って最大公約数は $2\mu m$ というような場合は一方の最小配線ピッチを $14\mu m$ から $15\mu m$ に変更し、最大公約数は $5\mu m$ とする等の適宜の処置をとるとよい。更に配線層が 3 層以上の場合それらのすべての最大公約数でグリッドピッチを決める。具体的には前記の例で第 3 の層の許容最小間隔が $10\mu m$ であればそれら 3 層の最大公約数として $5\mu m$ のグリッドで行うことが可能である。また配線層が 3 層以上の場合は当然それらの許容最小線間隔の最大公約数をグリッドピッチとするが、この場合も該ピッチが余りに小にならない様に適当に調整する。

次に、第 4 図にはこの配線方法により作る半導体

集積回路のセルの一実施例を示す。

この図で 10 は第 2 図に示したグリッドであって
集積回路の第 1 層，第 2 層 …… 各配線層の配線ピッ
チの最大公約数、前記の例では第 1 層の配線ピッチ
5 が $10\ \mu m$ 、第 2 層のそれが $15\ \mu m$ に対して $5\ \mu m$ を間
隔とする。

20 は前記の 1，2 と同様なセルであって、その縦，
横寸法は正方形網目のグリッド 10 の間隔 $5\ \mu m$ の整
数倍に選ぶ。本例ではこのセル 20 は縦が $5 \times 18\ \mu m$ ，
10 横が $5 \times 9\ \mu m$ に選ばれる。このセル 20 は 2 入力の
CMOS ノアゲートであって、その等価回路は第 5 図
に示される。この第 4 図と第 5 図の各 FET $Q_1 \sim Q_4$
のソース，ドレインの対応関係を符号 $Q_1s, Q_1d \dots$
で示す。 I_1, I_2 は入力端、OUT は出力端、 V_{DD}, V_{SS}
15 は電源、 A_1, A_2 はポリシリコンパターン、 $A_3 \sim A_5$ は
アルミニウム配線パターン、斜線を付した矩形はコ
ンタクト窓である。この図に示すようにセル 20 の
各端子 $I_1, I_2, OUT, V_{DD}, V_{SS}$ が設けられる位置はグ
リッド上かつ配線可能位置（上記の例で言えば第 1
20 層なら $10\ \mu m$ 間隔、第 2 層なら $15\ \mu m$ 間隔を少なく
とも保つ位置）である。このようにしておくでセル
20 を 90° 回転させてもセル側縁はグリッドの縦，
横線に整列し、また各端子は配線と整列することが
できるから、 90° 回転を何ら支障なく、簡単に行う
25 ことができる。

第6図は90°回転させて配置したセルの例を示し、
21, 22は縦, 横に配置したセル、10a, 10bはグ
リッドの縦線間隔および横線間隔を示す。本例では
セル21, 22は同じ寸法で共に長辺はグリッド間隔
5 の18倍、短辺はグリッド間隔の9倍の長さを持つ。
21a, 21b, ………, 22a, 22b, ……は端子で、い
ずれも許容最小配線間隔以上離してかつグリッドの
縦, 横線に整列させて配列されている。従ってこれ
らは縦型, 横型のものも、グリッド方式で製作され
10 る配線23a, 23b……に容易, 確実に適合する。
なお、24a, 24b……はコンタクト窓である。また
コンタクト窓24dで連結される配線23dは本例では
図面左側部分が第2層, 右側部分が第1層に設けら
れるとしている。
15 なお、セル内の配線は必ずしも本発明の配線方法に
従うことなく、グリッドから外れた位置に配線を行
ってもよい。
また、セル間の配線において、その配線領域が広く
あいている領域に1本あるいは数本の、本発明の配
20 線方法に従わない配線を設けても、その他の大部分
の配線が本発明の配線方法に従って配線されている
ものは本発明の範囲に含まれる。

以上詳細に説明したように本発明によればレイア
ウトの簡素化, 自動化が図られると共に、設計の自
25 由度が保持されるので、レイアウト用DAの進歩と

共に、高集積度で高性能な大規模集積回路の製造を容易とし、その得られる効果は大きいものがある。



請 求 の 範 囲

- (1) レイアウト空間を製造工程でパターンニングすることができる最小寸法に対応する長さより大きな間隔をもつ縦，横線群で格子状に区切り、その縦，横線上にレイアウトの単位である各セル間の接続を行うための配線パターンを画き、該パターンに基づいて集積回路の配線を製作するグリッド方式の配線方法において、グリッドの前記縦線および横線の間隔を、重なる複数の配線層の、整数で表わし得る最大の単位で表わした互いに素でない各最少配線ピッチの最大公約数の寸法に選び、これらの共に等しい間隔の縦，横線上に同一層に置かれるまたは異なる層に分けて置かれる縦，横配線のパターンを画くことを特徴とする配線方法。
- (2) 第1の配線層の最小配線ピッチの $1/2$ と第2の配線層の最小配線ピッチの $1/3$ とを同じ値にしてこれをグリッドの縦線および横線の各間隔とし、第1配線層の配線パターンは1つ置き、第2配線層の配線パターンは2つ置き、横線上に画くことを特徴とする請求の範囲第1項に記載の配線方法。
- (3) レイアウト空間を、製造工程でパターンニング可能な最小寸法に対応する長さより大きくかつ集積回路の各配線層の、整数で表わし得る最大の単位で表わした互いに素でない配線ピッチの最大公約

数の寸法間隔を持つ縦線群および横線群で正方形網目の格子状に区切り、これらの縦、横線上に画かれた縦、横配線のパターンに基づいて形成された配線と、縦、横寸法が前記間隔の整数倍であり、かつ端子が前記縦、横線上の配線許容位置に整列配置されて成るセルを有することを特徴とする半導体集積回路。

Fig. 1

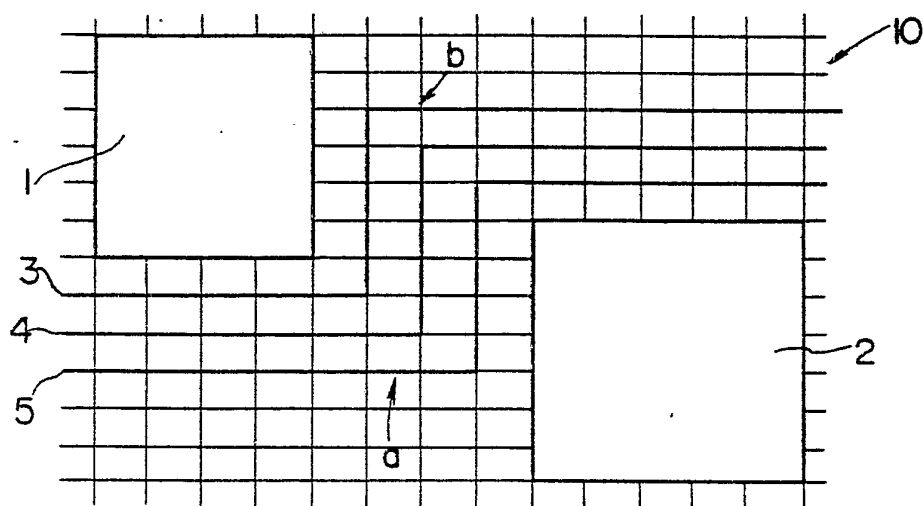


Fig. 2

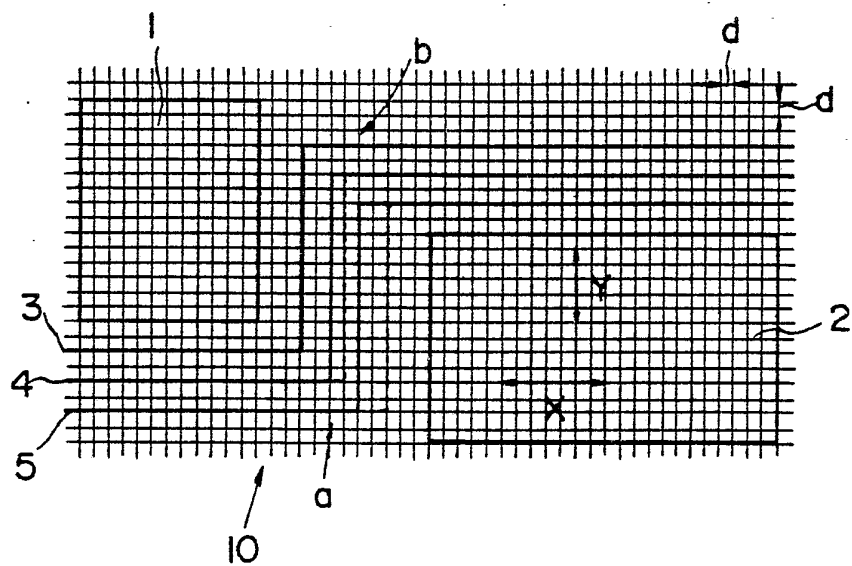


Fig. 3

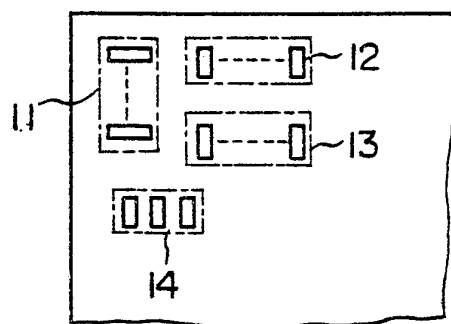


Fig. 4

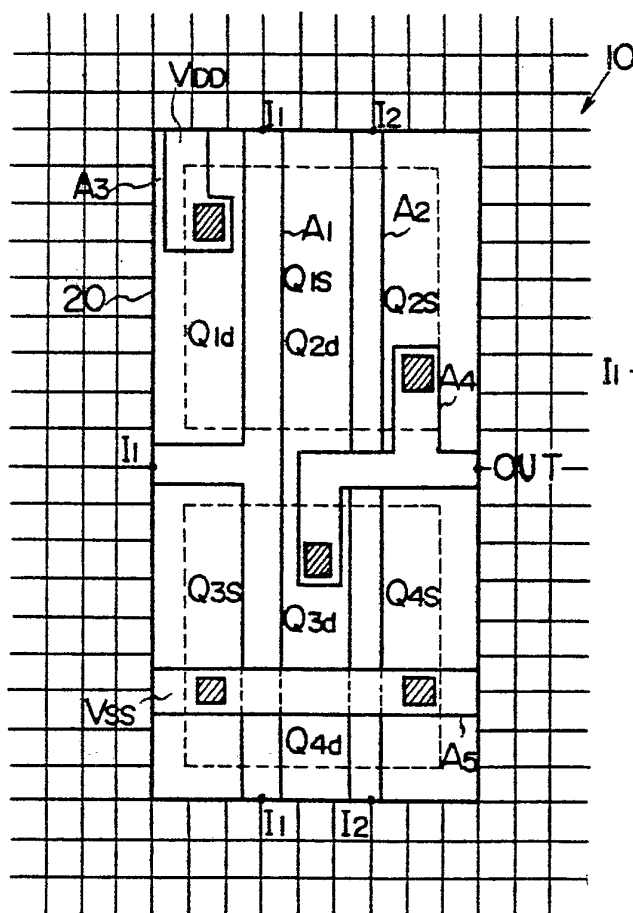
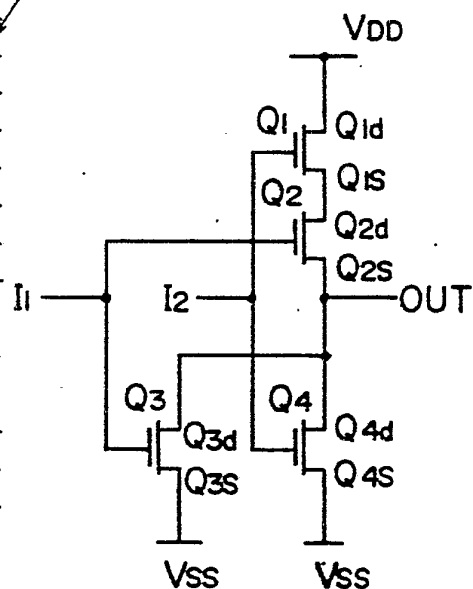


Fig. 5



I. 発明の属する分野の分類		
国際特許分類 (IPC) H 0 1 L 2 1 / 8 8 , H 0 1 L 2 1 / 8 2 , H 0 1 L 2 7 / 0 4 Int. Cl. ³		
II. 国際調査を行った分野		
調 査 を 行 っ た 最 小 限 資 料		
分 類 体 系	分 類 記 号	
I P C	H 0 1 L 2 1 / 8 8 , H 0 1 L 2 1 / 8 2 , H 0 1 L 2 7 / 0 4	
最小限資料以外の資料で調査を行ったもの		
III. 関連する技術に関する文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	請求の範囲の番号
A	Electronics (1967 - 2 - 20) (U . S . A) Gloyd E. Marvin and Robert M Walker "Customizing by interconnection" P157 - 164	1 - 3
A	電子通信学会誌第 5 8 巻第 4 号 (1975 - 4) 「LSI配線自動設計」 P 3 7 0 - 3 7 5	1 - 3
*引用文献のカテゴリー 「A」 一般的技術水準を示す文献 「E」 先行文献ではあるが国際出願日以後に公表されたもの 「L」 他のカテゴリーに該当しない文献 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前でかつ優先権の主張の基礎となる出願の日以後に公表された文献 「T」 国際出願日又は優先日以後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献		
IV. 認 証		
国際調査を完了した日 25. 4. 80	国際調査報告の発送日 26.05.80	
国際調査機関 日本国特許庁 (ISA/JP)	権限のある職員 特許庁審査官	5 7 7 2 / 0 内 野 春 彦 

INTERNATIONAL SEARCH REPORT

International Application No

PCT/JP80/00025

I. CLASSIFICATION OF SUBJECT MATTER (if several classification symbols apply, indicate all) ³		
According to International Patent Classification (IPC) or to both National Classification and IPC		
Int. Cl. ³ H01L21/88, H01L21/82, H01L27/04 1/88/01859		
II. FIELDS SEARCHED		
Minimum Documentation Searched ⁴		
Classification System	Classification Symbols	
I P C	H01L21/88, H01L21/82, H01L27/04	
Documentation Searched other than Minimum Documentation to the Extent that such Documents are Included in the Fields Searched ⁵		
III. DOCUMENTS CONSIDERED TO BE RELEVANT ¹⁴		
Category [*]	Citation of Document, ¹⁶ with indication, where appropriate, of the relevant passages ¹⁷	Relevant to Claim No. ¹⁸
A	Electronics (1967-2-20) (U.S.A.) Cloyd E. Marvin and Robert M. Walker "Customizing by interconnection" P157 - 164	1 - 3
A	Denshi Tsushin Gakkaishi Vol. 58, No. 4 (1975-4) "LSI Haisen Jido Sekkei" P370-375	1 - 3
[*] Special categories of cited documents: ¹⁵ "A" document defining the general state of the art "E" earlier document but published on or after the international filing date "L" document cited for special reason other than those referred to in the other categories "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but on or after the priority date claimed "T" later document published on or after the international filing date or priority date and not in conflict with the application, but cited to understand the principle or theory underlying the invention "X" document of particular relevance		
IV. CERTIFICATION		
Date of the Actual Completion of the International Search ²	Date of Mailing of this International Search Report ²	
April 25, 1980 (25.4.80)	May 26, 1980 (26.05.80)	
International Searching Authority ¹	Signature of Authorized Officer ²⁰	
Japanese Patent Office		