

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号

特表2025-511310  
(P2025-511310A)

(43)公表日 令和7年4月15日(2025.4.15)

|            |                |         |       |   |            |
|------------|----------------|---------|-------|---|------------|
| (51)国際特許分類 |                | F I     |       |   | テーマコード(参考) |
| G 0 6 F    | 9/312(2018.01) | G 0 6 F | 9/312 | L | 5 B 0 3 3  |
| G 0 6 F    | 9/345(2018.01) | G 0 6 F | 9/345 | S |            |

審査請求 未請求 予備審査請求 未請求 (全24頁)

|                   |   |         |   |
|-------------------|---|---------|---|
| (21)出願番号          | 特願2024-558321(P2024-558321)   | (71)出願人 | 500395107   |
| (86)(22)出願日       | 令和5年3月13日(2023.3.13)  |         | アーム・リミテッド   |
| (85)翻訳文提出日        | 令和6年10月1日(2024.10.1)  |         | グレート・ブリテン及び北部アイルランド連合王国、イングランド、シー・ビー・1、9エヌ・ジェイ、ケンブリッジ、フルボーン・ロード 1 1 0 |
| (86)国際出願番号        | PCT/GB2023/050589   | (74)代理人 | 110000855   |
| (87)国際公開番号        | WO2023/194702   |         | 弁理士法人浅村特許事務所  |
| (87)国際公開日         | 令和5年10月12日(2023.10.12)  | (72)発明者 | クラスケ、サイモン ジョン   |
| (31)優先権主張番号       | 2205110.6   |         | グレート・ブリテン及び北部アイルランド連合王国 シービー 1 9エヌジェイ                                 |
| (32)優先日           | 令和4年4月7日(2022.4.7)  |         | ケンブリッジシャー ケンブリッジ フルボーン ロード 1 1 0 アーム リミテッド宛                           |
| (33)優先権主張国・地域又は機関 | 英国(GB)  | (72)発明者 | イーベン、ジェイコブ  |
| (81)指定国・地域        | AP(BW,CV,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV) |         |   |

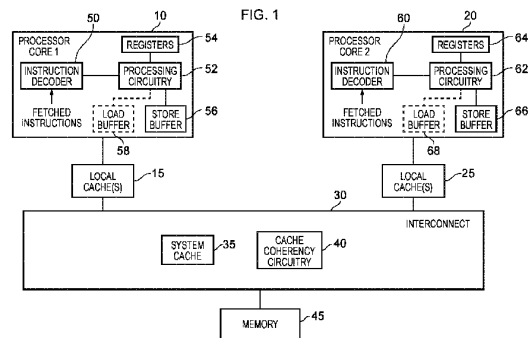
最終頁に続く

最終頁に続く

(54)【発明の名称】 順序付け制約付きアクセス動作を処理するための技法

(57)【要約】

処理回路は、命令をデコードして、命令によって指定された動作を実行するように処理回路を制御する命令デコーダ回路と共に、動作を実行するために提供される。レジスタのセットは、処理回路によるアクセスのためのデータ値を保持するために使用される。命令デコーダ回路は、複数のデータ値にアクセスするために使用され、レジスタ表示情報及びメモリアドレス情報を提供する順序付け制約付きアクセス命令に回答して、アクセス動作のシーケンスを実行するように処理回路を制御し、各アクセス動作は、複数のデータ値の中からのデータ値を、レジスタ表示情報から決定される関連付けられたレジスタとメモリアドレス情報から決定される関連付けられたメモリアドレスとの間で移動させる。更に、順序付け表示は、順序付け制約付きアクセス命令から導出され、アクセス動作のシーケンスを実行するときに複数のデータ値がアクセスされる順序を決定するために使用され、それによって、順序付け制約付きアクセス命令を実装するときに必要とされる可観察性条件が満たされることを保証する。



**【特許請求の範囲】****【請求項 1】**

装置であって、  
動作を実行する処理回路と、  
命令をデコードして、前記命令によって指定された前記動作を実行するように前記処理回路を制御する命令デコーダ回路と、  
前記処理回路によるアクセスのためのデータ値を保持するレジスタのセットと、を含み

、  
前記命令デコーダ回路は、複数のデータ値にアクセスするために使用され、レジスタ表示情報及びメモリアドレス情報を提供する順序付け制約付きアクセス命令に回答して、アクセス動作のシーケンスを実行するように前記処理回路を制御し、各アクセス動作は、前記複数のデータ値の中からのデータ値を、前記レジスタ表示情報から決定される関連付けられたレジスタと前記メモリアドレス情報から決定される関連付けられたメモリアドレスとの間で移動させ、

順序付け表示が、前記順序付け制約付きアクセス命令から導出され、アクセス動作の前記シーケンスを実行するとき前記複数のデータ値がアクセスされる順序を決定するために使用される、装置。

**【請求項 2】**

前記順序付け表示は、前記複数のデータ値に関連付けられた前記メモリアドレスがアクセスされる順序を識別し、それによって前記複数のデータ値がアクセスされる前記順序を決定するために使用される、請求項 1 に記載の装置。

**【請求項 3】**

前記命令デコーダ回路は、前記処理回路を制御して、前記装置に結合され、前記処理回路によって実行される前記アクセス動作を観察することができる観察回路に対して、アクセス動作の前記シーケンス内の所与のアクセス動作が、アクセス動作の前記シーケンス内の前記所与のアクセス動作に続く任意の後続のアクセス動作の実行が前記観察回路によって観察可能になる前に完了したものとして前記観察回路によって観察可能になることを保証するように構成される、請求項 1 又は 2 に記載の装置。

**【請求項 4】**

各データ値は複数のデータ要素を含み、  
前記所与のアクセス動作の実行が、前記関連付けられたデータ値の前記複数のデータ要素にアクセスするために複数のアクセスが実行されることを必要とする場合、前記処理回路は、アクセス動作の前記シーケンス内の前記所与のアクセス動作に続く任意の後続のアクセス動作の実行が前記観察回路によって観察可能になる前に、前記所与のアクセス動作を形成する前記複数のアクセスのすべてが完了したものとして前記観察回路によって観察可能になることを保証するように構成される、請求項 3 に記載の装置。

**【請求項 5】**

前記順序付け表示は、前記順序付け制約付きアクセス命令に符号化された他の情報から導出される、請求項 1 ~ 4 のいずれかに記載の装置。

**【請求項 6】**

前記順序付け制約付きアクセス命令は、前記メモリアドレス情報から前記複数のデータ値に対する前記メモリアドレスを決定するために使用されるアドレス指定モードを指定し、前記順序付け表示は、前記アドレス指定モードに依存して導出される、請求項 5 に記載の装置。

**【請求項 7】**

前記メモリアドレス情報は、1つのメモリアドレスを決定するために使用されるメモリアドレス表示を提供するように構成され、前記アドレス指定モードは、少なくとも他の各メモリアドレスの決定中に使用される調整方向を識別し、前記順序付け表示は、前記調整方向に依存して決定される、請求項 6 に記載の装置。

**【請求項 8】**

10

20

30

40

50

前記順序付け表示は、前記順序付け制約付きアクセス命令の命令型に依存して導出される、請求項 5 ~ 7 のいずれかに記載の装置。

【請求項 9】

前記命令型は、前記順序付け制約付きアクセス命令が、前記複数のデータ値をメモリから複数の前記レジスタにロードしようとするロード命令であるか、又は前記複数のデータ値を前記複数のレジスタからメモリに記憶しようとする記憶命令であることを識別するように構成される、請求項 8 に記載の装置。

【請求項 10】

前記順序付け表示は、前記順序付け制約付きアクセス命令がスタック型アクセス動作を実行するために使用されるべきか、又は非スタック型アクセス動作を実行するために使用されるべきかを識別する、前記順序付け制約付きアクセス命令に符号化された情報から導出される、請求項 5 ~ 9 のいずれかに記載の装置。

10

【請求項 11】

前記順序付け制約付きアクセス命令は、データ値の対にアクセスするように構成され、データ値の前記対内の各データ値に関連付けられたレジスタを識別するのに十分なレジスタ表示情報を提供する、請求項 1 ~ 10 のいずれかに記載の装置。

【請求項 12】

前記メモリアドレス情報は、データ値の前記対における前記データ値の一方に関連付けられるべき 1 つのメモリアドレスを決定するために使用されるメモリアドレス表示を提供するように構成され、前記対における前記データ値の他方に関連付けられるべき異なるメモリアドレスは、前記 1 つのメモリアドレスから導出される、請求項 11 に記載の装置。

20

【請求項 13】

前記順序付け制約付きアクセス命令は、複数のデータ値をメモリに記憶するために使用される記憶解放命令であり、前記命令デコード回路は、前記記憶解放命令をデコードすると、

前記記憶解放命令が実行されていると観察される前に実行を完了したと観察される任意のアクセス命令は、前記記憶解放命令の前にプログラム順序で現れるアクセス命令であること、及び

前記記憶解放命令の実行中に前記複数のデータ値をメモリに記憶するために使用される記憶動作のシーケンス内の所与の記憶動作は、記憶動作の前記シーケンス内の前記所与の記憶動作に続く任意の後続の記憶動作の実行が観察可能になる前に完了したものと観察可能であることを保証するように前記処理回路を制御するように構成される、請求項 1 ~ 12 のいずれかに記載の装置。

30

【請求項 14】

前記順序付け制約付きアクセス命令は、複数のデータ値をレジスタの前記セット内の関連付けられたレジスタにロードするために使用されるロード取得命令であり、前記命令デコード回路は、前記ロード取得命令をデコードすると、

前記ロード取得命令の実行中に前記複数のデータ値を前記関連付けられたレジスタにロードするために使用されるロード動作のシーケンス内の所与のロード動作は、ロード動作の前記シーケンス内の前記所与のロード動作に続く任意の後続のロード動作の実行が観察可能になる前に完了したものと観察可能であること、及び

40

前記ロード取得命令の後にプログラム順序で現れる任意のアクセス命令は、前記ロード取得命令の実行が完了した後に実行されているものとしてのみ観察されることを保証するように前記処理回路を制御するように構成される、請求項 1 ~ 12 のいずれかに記載の装置。

【請求項 15】

前記命令デコード回路は、複数のデータ値にアクセスするために使用される前記順序付け制約付きアクセス命令を単一アクセス順序付け制約付きアクセス命令のシーケンスに分解するように構成され、各単一アクセス順序付け制約付きアクセス命令は、前記複数のデータ値の中の前記データ値のうちの 1 つにアクセスするように構成され、

50

前記命令デコーダ回路は、前記順序付け表示に応じて、前記シーケンス内の各単一アクセス順序付け制約付きアクセス命令を実行するように前記処理回路を制御する前記順序を決定するように構成される、

請求項 1 ~ 14 のいずれかに記載の装置。

【請求項 16】

動作を実行するための処理回路を有する装置において順序付け制約付きアクセス動作を処理する方法であって、前記方法は、

命令をデコードして、前記命令によって指定された前記動作を実行するように前記処理回路を制御する命令デコーダ回路を使用することと、

前記処理回路によるアクセスのためのデータ値を保持するためにレジスタのセットを使用することと、

前記命令デコーダ回路に、複数のデータ値にアクセスするために使用され、レジスタ表示情報及びメモリアドレス情報を提供する順序付け制約付きアクセス命令に応答して、アクセス動作のシーケンスを実行するように前記処理回路を制御させることであって、各アクセス動作は、前記複数のデータ値の中からのデータ値を、前記レジスタ表示情報から決定される関連付けられたレジスタと前記メモリアドレス情報から決定される関連付けられたメモリアドレスとの間で移動させる、ことと、

前記順序付け制約付きアクセス命令から導出された順序付け表示に応答して、アクセス動作の前記シーケンスを実行するときに前記複数のデータ値がアクセスされるべき順序を決定することと、を含む、方法。

【請求項 17】

命令実行環境を提供するようにホストデータ処理装置を制御するコンピュータプログラムであって、

動作を実行する処理プログラム論理と、

命令をデコードして、前記命令によって指定された前記動作を実行するように前記処理プログラム論理を制御する命令デコードプログラム論理と、

前記処理プログラム論理によるアクセスのためにデータ値を保持するレジスタのセットをエミュレートするレジスタエミュレートプログラム論理と、を含む、

前記命令デコードプログラム論理は、複数のデータ値にアクセスするために使用され、レジスタ表示情報及びメモリアドレス情報を提供する順序付け制約付きアクセス命令に応答して、アクセス動作のシーケンスを実行するように前記処理プログラム論理を制御し、各アクセス動作は、前記複数のデータ値の中からのデータ値を、前記レジスタ表示情報から決定される関連付けられたレジスタと前記メモリアドレス情報から決定される関連付けられたメモリアドレスとの間で移動させ、

順序付け表示が、前記順序付け制約付きアクセス命令から導出され、アクセス動作の前記シーケンスを実行するときに前記複数のデータ値がアクセスされる順序を決定するために使用される、コンピュータプログラム。

【発明の詳細な説明】

【技術分野】

【0001】

本技法は、順序付け制約付きアクセス動作の処理に関する。

【0002】

現代のデータ処理システム内では、メモリへのアクセスを実行するときに行うことができる様々な型の整合性モデルがある。1つの一般的な手法は、比較的弱い一貫性モデルを採用することであり、この場合、システム内の所与の処理要素によって実行されるメモリへの一連のアクセスは、それらのアクセスを観察するシステム内の他の処理要素によって同じ順序で発生するものとして必ずしも観察されない場合がある（すなわち、1つの観察処理要素は、別の観察処理要素とは異なる順序を観察する場合がある）。そのような手法は、実行を向上させる目的で、様々なアクセスが個々の処理要素によってどのように再順序付けされるかに関して多大な柔軟性を提供することができる。

10

20

30

40

50

## 【0003】

しかし、状況によっては、各観察処理要素が別の処理要素のアクセスを同じ順序で発生したものとして観察することを保証する、より厳密な一貫性モデルを採用する必要がある場合がある。そのようなより厳密な一貫性モデルの2つの例は、総記憶順序(TSO)及び解放一貫性、プロセッサ一貫性(RCpc)と呼ばれることがある。

## 【0004】

ロード取得命令及び記憶解放命令などの単一アクセス順序付け制約付きアクセス命令を使用することによって、より弱い一貫性モデルをサポートするシステムにおいて、そのようなより厳密な一貫性モデルの要件をエミュレートすることが可能である。そのようなロード取得命令又は記憶解放命令が所与の処理要素によって実行されるとき、処理要素は、より厳密な一貫性モデルによって命令されるアクセス動作の順序付けのための可観察性要件が満たされることを保証するために、必要とされるロード動作又は記憶動作を実行するときに制約される。

10

## 【0005】

しかし、データ処理システム内では、実行を向上させようとするためにコード密度を改善することが望ましいことが多く、これは、そのような順序付け制約付きアクセス命令を使用するときに問題となる可能性がある。

## 【発明の概要】

## 【0006】

1つの例示的な構成では装置が提供され、この装置は、動作を実行する処理回路と、命令をデコードして、命令によって指定された動作を実行するように処理回路を制御する命令デコーダ回路と、処理回路によるアクセスのためのデータ値を保持するレジスタのセットと、を含み、命令デコーダ回路は、複数のデータ値にアクセスするために使用され、レジスタ表示情報及びメモリアドレス情報を提供する順序付け制約付きアクセス命令にตอบสนองして、アクセス動作のシーケンスを実行するように処理回路を制御し、各アクセス動作は、複数のデータ値の中からのデータ値を、レジスタ表示情報から決定される関連付けられたレジスタとメモリアドレス情報から決定される関連付けられたメモリアドレスとの間で移動させ、順序付け表示は、順序付け制約付きアクセス命令から導出され、アクセス動作のシーケンスを実行するときに複数のデータ値がアクセスされる順序を決定するために使用される。

20

30

## 【0007】

別の例示的な構成では、動作を実行するための処理回路を有する装置において順序付け制約付きアクセス動作を処理する方法が提供され、この方法は、命令をデコードして、命令によって指定された動作を実行するように処理回路を制御する命令デコーダ回路を使用することと、処理回路によるアクセスのためのデータ値を保持するためにレジスタのセットを使用することと、命令デコーダ回路に、複数のデータ値にアクセスするために使用され、レジスタ表示情報及びメモリアドレス情報を提供する順序付け制約付きアクセス命令にตอบสนองして、アクセス動作のシーケンスを実行するように処理回路を制御させることと、各アクセス動作は、複数のデータ値の中からのデータ値を、レジスタ表示情報から決定される関連付けられたレジスタとメモリアドレス情報から決定される関連付けられたメモリアドレスとの間で移動させる、ことと、順序付け制約付きアクセス命令から導出された順序付け表示にตอบสนองして、アクセス動作のシーケンスを実行するときに複数のデータ値がアクセスされるべき順序を決定することと、を含む。

40

## 【0008】

更に別の例示的な構成では、命令実行環境を提供するようにホストデータ処理装置を制御するコンピュータプログラムであって、コンピュータプログラムは、動作を実行する処理プログラム論理と、命令をデコードして、命令によって指定された動作を実行するように処理プログラム論理を制御する命令デコードプログラム論理と、処理プログラム論理によるアクセスのためにデータ値を保持するレジスタのセットをエミュレートするレジスタエミュレートプログラム論理と、を含み、命令デコードプログラム論理は、複数のデータ

50

値にアクセスするために使用され、レジスタ表示情報及びメモリアドレス情報を提供する順序付け制約付きアクセス命令にตอบสนองして、アクセス動作のシーケンスを実行するように処理プログラム論理を制御し、各アクセス動作は、複数のデータ値の中からのデータ値を、レジスタ表示情報から決定される関連付けられたレジスタとメモリアドレス情報から決定される関連付けられたメモリアドレスとの間で移動させ、順序付け表示は、順序付け制約付きアクセス命令から導出され、アクセス動作のシーケンスを実行するときに複数のデータ値がアクセスされる順序を決定するために使用される。

【図面の簡単な説明】

【0009】

本技法について、添付の図面に示す本技法の例を参照して、例示としてのみ更に説明する。

10

【0010】

【図1】1つの例示的な実装に従った装置を組み込んだシステムのブロック図である。

【図2A】1つの例示的な実装による、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令内に設けられたフィールドを概略的に示す図である。

【図2B】1つの例示的な実装による、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令内に設けられたフィールドを概略的に示す図である。

【図3】1つの例示的な実装による、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令がどのように処理されるかを示す流れ図である。

【図4A】1つの例示的な実装による、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令を処理するときに可観察性要件がどのように満たされるかを概略的に示す図である。

20

【図4B】1つの例示的な実装による、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令を処理するときに可観察性要件がどのように満たされるかを概略的に示す図である。

【図5】1つの例示的な実装による、順序付け表示がどのように処理されるかを示す流れ図である。

【図6】デコーダ回路が、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令を単一アクセス順序付け制約付きアクセス命令のシーケンスに分解する、1つの例示的な実装を図示する流れ図である。

30

【図7】使用され得るシミュレータ実装を例示する。

【発明を実施するための形態】

【0011】

1つの例示的な実装では、動作を実行するための処理回路と、それらの命令によって指定された動作を実行するように処理回路を制御するために命令をデコードする命令デコーダ回路とを有する装置が提供される。レジスタのセットが提供され、各レジスタは、処理回路によるアクセスのためのデータ値を保持するために使用されることができ、データ値は1つ以上のデータ要素を含むことができ、本明細書で使用される「データ値」という用語は、単一のレジスタ内に保持することができるデータのブロックを指すために使用されることに留意されるべきである。

40

【0012】

前述したように、特定の一貫性モデルを採用しようとする場合、ロード取得命令又は記憶解放命令などの単一アクセス順序付け制約付きアクセス命令を提供することが知られている。そのような単一アクセス順序付け制約付きアクセス命令が実行されるとき、単一のレジスタが（記憶動作のソースとして、又はロード動作の宛先として）アクセスされる。更に、処理回路は、特定の可観察性要件を満たすために順序付け制約が満たされることを確実にする。例えば、ロード取得命令に関して、処理回路は、ロード取得命令の後にプログラム順序で現れる任意のアクセス命令（ロード又は記憶のいずれか）が、ロード取得命令の実行が完了した後に実行されるものとしてのみ（例えば、システム内の任意の他の処理要素によって）観察されることを確実にする。別の言い方をすれば、ロード取得命令に

50

関連付けられたロード動作は、プログラム順序でロード取得命令の後に現れる別のアクセス命令に関連付けられた任意のアクセス動作の前に順序付けられる。

【0013】

同様に、記憶解放命令の場合、処理回路は、記憶解放命令が実行されていると観察される前に実行を完了したと観察される任意のアクセス命令が、記憶解放命令の前にプログラム順序で現れるアクセス命令であることを保証する。別の言い方をすれば、記憶解放命令の前にプログラム順序で現れる任意のアクセス命令は、記憶解放命令に関連する記憶動作の前に順序付けられたその関連するアクセス動作を有することになる。

【0014】

コード密度を改善しようとする場合、2つ以上の命令を、可能な場合には単一の命令に置き換えることが望ましいことが多く、これは、多くの場合、著しい実行改善を可能にすることができるからである。しかしながら、これは、関連するアクセス動作を実行するときに満たされる必要がある可観察性要件のために、上記の単一アクセス順序付け制約付きアクセス命令を考慮するときに問題である。

【0015】

しかしながら、本明細書で説明する技法によれば、この問題は、そのような可観察性要件を考慮に入れるように扱うことができる新しい命令を提供することによって対処されている。特に、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令が提供され、命令デコード回路は、そのような命令に回答して、アクセス動作のシーケンスを実行するように処理回路を制御する。各アクセス動作は、複数のデータ値の中からのデータ値を、関連付けられたレジスタ（命令によって提供されるレジスタ表示情報から決定される）と関連付けられたメモリアドレス（命令によって提供されるメモリアドレス情報から決定される）との間で移動させる。更に、順序付け表示は、順序付け制約付きアクセス命令から導出され、アクセス動作のシーケンスを実行するときに複数のデータ値がアクセスされる順序を決定するために使用される。そのような順序付け表示を使用することによって、個々のアクセスが要求された順序で外部から観察可能であり、特に、複数のデータ値にアクセスするために使用される新しい順序付け制約付きアクセス命令の代わりに複数の単一アクセス順序付け制約付きアクセス命令が実行された場合に満たされるであろう同じ可観察性要件を満たすことができることを保証することが可能である。

【0016】

特に、一連の単一アクセス順序付け制約付きアクセス命令が提供され、各々が単一データ値を識別し、関連するレジスタとメモリ内のそのアドレスとの間でそのデータ値を移動させるために使用される場合、システム内の任意の観察エンティティは、特定の順序で、すなわち、それらの単一アクセス順序付け制約付きアクセス命令がプログラム順序で現れる順序で、それらの一連の命令によって実行されるアクセスを観察することになることが理解されよう。しかしながら、そのような一連の単一アクセス順序付け制約付きアクセス命令を1つの命令で置換しようとするとき、アクセスの可観察性の元の順序が維持されることが重要である。これは、順序付け制約付きアクセス命令から導出される上述の順序付け情報を提供することによって達成され、それによって、必要な可観察性制約が満たされ続けることが保証される。

【0017】

順序付け表示は、1つの例示的な実装では、順序付け制約付きアクセス命令をデコードするときに命令デコード回路によって決定され得る。しかしながら、代替実装では、順序付け表示は、命令デコード回路によって処理回路に与えられた情報に基づいて、処理回路によって決定され得る。

【0018】

順序付け表示は、様々な形態をとることができる。1つの例示的な実装では、順序付け表示は、複数のデータ値に関連付けられたメモリアドレスがアクセスされる順序を識別するために使用され、それによって、複数のデータ値がアクセスされる順序を決定する。例として、順序付け表示は、最低メモリアドレスが最初にアクセスされるべきか、又は最高

10

20

30

40

50

メモリアドレスが最初にアクセスされるべきかを識別し得る。そのような順序付け表示を提供することによって、これは、複数のデータ値にアクセスするための上述の順序付け制約付きアクセス命令が、一連の単一アクセス順序付け制約付きアクセス命令の代わりに使用されることを可能にすることができるので、著しい柔軟性を提供することができ、その理由は、その一連が、最低メモリアドレスが最初にアクセスされることを引き起こしたか、又は最高メモリアドレスが最初にアクセスされることを引き起こしたかに関係なく、両方の選択肢が命令によって対処されることができるところからである。

**【 0 0 1 9 】**

1つの例示的な実装では、命令デコーダ回路は、処理回路を制御して、装置に結合され、処理回路によって実行されるアクセス動作を観察することができる観察回路に対して、順序付け制約付きアクセス命令を実行するときに実行されるアクセス動作のシーケンス内の所与のアクセス動作が、アクセス動作のシーケンス内の所与のアクセス動作に続く任意の後続のアクセス動作の実行が観察回路によって観察可能になる前に完了したものとして観察回路によって観察可能になることを保証するように構成される。したがって、例として、アクセス動作のシーケンスがアクセス動作 A と、それに続くアクセス動作 B とを含む場合、観察者がアクセス動作 B の任意の部分を観察することができる場合、上記の要件は、アクセス動作 A の全体も観察することができることを保証する。これが逆の観察条件も暗示すること、すなわち、観察者がアクセス動作 A の全体を観察することができない場合、アクセス動作 B のいかなる部分も観察することができないことに留意されたい。

10

**【 0 0 2 0 】**

1つの例示的な実装では、各データ値は、複数のデータ要素を含み得る。そのようなシナリオでは、所与のアクセス動作の実行が、関連付けられたデータ値の複数のデータ要素にアクセスするために複数のアクセスが実行されることを必要とする場合、処理回路は、アクセス動作のシーケンス内の所与のアクセス動作に続く任意の後続のアクセス動作の実行が観察回路によって観察可能になる前に、所与のアクセス動作を形成する複数のアクセスのすべてが完了したものとして観察回路によって観察可能になることを保証するように構成され得る。したがって、所与のアクセス動作の実行が複数のアクセスによって実装される必要があり、したがって所与のアクセス動作自体がアトミック動作ではない状況であっても、所与のアクセス動作が完了するまで任意の後続のアクセス動作が観察可能でないことを保証する上記要件は、依然として実施され得る。所与のアクセス動作が複数のアクセスによって実行される必要があり得る様々な理由があるが、1つの特定の例は、アクセスされているデータがキャッシュライン境界を横切り、したがって複数のキャッシュラインへの別々のアクセスが必要とされ得る場合である。

20

30

**【 0 0 2 1 】**

1つの例示的な実装では、順序付け表示は、順序付け制約付きアクセス命令のフィールド内で直接符号化されてよく、したがって、順序付け表示は、そのフィールドの分析から決定され得る。しかしながら、代替的な実装では、順序付け表示のための別個のフィールドを提供する必要がなくともよく、代わりに、順序付け表示は、順序付け制約付きアクセス命令に符号化された他の情報から導出されてもよい。

**【 0 0 2 2 】**

例えば、1つの例示的な実装では、順序付け制約付きアクセス命令は、メモリアドレス情報から複数のデータ値に対するメモリアドレスを決定するために使用されるアドレス指定モードを指定するように構成され、順序付け表示は、アドレス指定モードに依存して導出され得る。

40

**【 0 0 2 3 】**

例として、メモリアドレス情報は、1つのメモリアドレス（これは、例えば、順序付け表示に従ってアクセスされる第1のメモリアドレスであってもよいが、そうである必要はない）を決定するために使用されるメモリアドレス表示を提供するように構成されてもよく、アドレス指定モードは、少なくとも他の各メモリアドレスの決定中に使用される調整方向を識別してもよく、順序付け表示は、調整方向に依存して決定されてもよい。

50

## 【 0 0 2 4 】

いくつかの実装では、アドレス指定モードは、調整方向を識別するだけでなく、調整量の決定を可能にする情報を提供することもできる。次に、調整方向及び調整量情報を使用して、シーケンス内の各メモリアドレスを決定することができる。例えば、そのようなアドレス指定モード情報に基づいて、各々が調整量だけ互いに分離された、増加又は減少するメモリアドレスのシーケンスを構築することが可能であり得る。いくつかの実装では、調整方向及び調整量は、メモリアドレス表示から決定される1つのメモリアドレスを決定するとき、例えば、アドレス指定モードが、メモリアドレス表示から決定されたメモリアドレスを調整量だけ減分することによってメモリアドレスを決定させる事前減分機構を識別するときにも使用され得る。

10

## 【 0 0 2 5 】

いくつかの実装では、可観察性制約を満たすようにメモリアドレスがアクセスされる順序は、アドレスのシーケンスがアドレス指定モードに基づいて決定される方法とは異なり得る場合があるが、可観察性制約を満たすために必要なアクセスの順序付けとアドレス指定モードによって与えられる調整方向との間に固有のリンクがある場合が多いことが分かっており、したがって、アドレス指定モード情報は、それ自体によって、又は命令によって与えられる他の情報と組み合わせて、順序付け表示を決定するために再使用することができる場合が多い。

## 【 0 0 2 6 】

順序付け表示を決定するときにも使用することもできる順序付け制約付きアクセス命令によって提供される情報の別の例として、1つの例示的な実装では、順序付け表示は、順序付け制約付きアクセス命令の命令型に依存して導出され得る。1つの特定の例示的な実装では、この命令型情報は、前述のアドレス指定モード情報と組み合わせて使用され得る。

20

## 【 0 0 2 7 】

1つの例示的な実装では、命令型は、順序付け制約付きアクセス命令が、複数のデータ値をメモリから複数のレジスタにロードしようとするロード命令であるか、又は複数のデータ値を複数のレジスタからメモリに記憶しようとする記憶命令であるかを識別するように構成される。

## 【 0 0 2 8 】

1つの例示的な実装では、順序付け表示は、順序付け制約付きアクセス命令がスタック型アクセス動作を実行するために使用されるべきか、又は非スタック型アクセス動作を実行するために使用されるべきかを識別する、順序付け制約付きアクセス命令に符号化された情報から導出される。これは、例えば、順序付け制約付きアクセス命令が必要なメモリアドレスを識別するためにスタックポインタを使用していることを識別することによって、命令内で明示的に識別されてもよく、あるいは、順序付け制約付きアクセス命令がスタック型アクセス動作を実行するために使用されているという事実が、例えば、スタック型アクセス動作を実行するときにも使用するために特定のアドレス指定モードが予約されている場合、命令内の他の情報から推測されてもよい。例えば、特定の一実装では、スタック型記憶動作を実行するために事前減分アドレス指定モードが予約され得、したがって、順序付け表示は、順序付け制約付きアクセス命令が記憶動作を実行しているかどうか、及びその記憶動作がスタック型動作であるかどうかに基づいて決定され得る。そうである場合、順序付け表示の1つの形式が決定されてもよく、そうでない場合、反対の順序付け表示が決定されてもよい。

30

40

## 【 0 0 2 9 】

上述の技法は、順序付け制約付きアクセス命令が任意の数の複数のデータ値にアクセスするために使用されることを可能にするために使用され得るが、1つの特定の例示的な実装では、順序付け制約付きアクセス命令は、データ値の対にアクセスするように構成され、データ値の対内の各データ値に関連付けられたレジスタを識別するのに十分なレジスタ表示情報を提供する。特に、2つのレジスタの内容をメモリ内の（典型的には連続した）アドレスに記憶すること、又はメモリ内の（典型的には連続した）アドレスからのデータ

50

を1対のレジスタにロードすることが望ましい多くの場合があり、本明細書で定義される順序付け制約付きアクセス命令を提供することにより、前述の単一アクセス順序付け制約付きアクセス命令の2つのインスタンスを実行しなければならないのではなく、単一命令を実行することによってこれを達成することが可能になることが分かっている。

#### 【0030】

順序付け制約付きアクセス命令がデータ値の対にアクセスするために使用される場合、メモリアドレス情報は、データ値の対におけるデータ値の一方に関連付けられるべき1つのメモリアドレスを決定するために使用されるメモリアドレス表示を提供するように構成され得、次いで、対におけるデータ値の他方に関連付けられるべき異なるメモリアドレスが、1つのメモリアドレスから導出され得る。例えば、異なるメモリアドレスは、アドレス指定モード情報に基づいて、1つのメモリアドレスが決定されると推測され得る。

10

#### 【0031】

複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令は、様々な形態をとることができる。1つの例示的な実装では、順序付け制約付きアクセス命令は、複数のデータ値をメモリに記憶するために使用される記憶解放命令であり、命令デコーダ回路は、記憶解放命令をデコードすると、

- 記憶解放命令が実行されていると観察される前に実行を完了したと観察される任意のアクセス命令は、記憶解放命令の前にプログラム順序で現れるアクセス命令であること、及び

- 記憶解放命令の実行中に複数のデータ値をメモリに記憶するために使用される記憶動作のシーケンス内の所与の記憶動作は、記憶動作のシーケンス内の所与の記憶動作に続く任意の後続の記憶動作の実行が観察可能になる前に完了したものとして観察可能であることを保証するように処理回路を制御するように構成される。

20

#### 【0032】

したがって、記憶解放動作の要件は、プログラムに現れる他のアクセス命令に関しても、記憶解放命令を実行するために実行される個々の記憶動作に関しても満たされる。

#### 【0033】

別の例として、順序付け制約付きアクセス命令は、複数のデータ値をレジスタのセット内の関連付けられたレジスタにロードするために使用されるロード取得命令であってもよく、命令デコーダ回路は、ロード取得命令をデコードすると、

30

- ロード取得命令の実行中に複数のデータ値を関連付けられたレジスタにロードするために使用されるロード動作のシーケンス内の所与のロード動作は、ロード動作のシーケンス内の所与のロード動作に続く任意の後続のロード動作の実行が観察可能になる前に完了したものとして観察可能であること、及び

- ロード取得命令の後にプログラム順序で現れる任意のアクセス命令は、ロード取得命令の実行が完了した後に実行されているものとしてのみ観察されることを保証するように処理回路を制御するように構成される。

#### 【0034】

したがって、ロード取得動作の要件は、プログラムに現れる他のアクセス命令に関しても、ロード取得命令を実行するために実行される個々のロード動作に関しても満たされる。

40

#### 【0035】

要求される可観察性条件を満たしながら、指定されたアクセス動作を実行するように処理回路を適切に制御するために、命令デコーダ回路が順序付け制約付きアクセス命令を処理することができる様々な方法がある。1つの特定の例示的な実装では、命令デコーダ回路は、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令を単一アクセス順序付け制約付きアクセス命令のシーケンスに分解するように構成され、各単一アクセス順序付け制約付きアクセス命令は、複数のデータ値の中のデータ値のうちの1つにアクセスするように構成される。そのような手法によれば、命令デコーダ回路は、順序付け表示に応じてシーケンス内の各単一アクセス順序付け制約付きアクセス命令を実

50

行するように処理回路を制御する順序を決定するように構成される。したがって、それは、順序付け制約付きアクセス命令を一連の単一アクセス順序付け制約付きアクセス命令に分解し、次いで、順序付け制約付きアクセス命令から決定された順序付け表示に応じて、処理回路にその一連の命令をデフォルト順序で又は逆の順序で実行させることができる。

【0036】

次に、添付の図面を参照して、特定の例示的な実装を説明する。

【0037】

図1は、1つの例示的な実装に従った装置を組み込んだシステムのブロック図である。この装置は、図1の例におけるプロセッサコア10又はプロセッサコア20のいずれかの形態をとることができ、図1から明らかなように、これらのプロセッサコアの両方を同一の方法で構成することができる。以下の説明のために、プロセッサコア10は、複数のデータ値にアクセスするために使用される先に説明した順序付け制約付きアクセス命令の1つ以上のインスタンスを含む命令のシーケンスを実行しており、プロセッサコア20は、それらのアクセスに対する観察エンティティであると仮定する。しかしながら、プロセッサコア20がそのような命令を実行しており、プロセッサコア10が観察者である場合もあり得、実際に、両方の状況が同じシステム内で起こり得ることが理解されよう。更に、簡略化のために2つのプロセッサコア10、20のみが示されているが、そのような命令を実行するように動作し得る、及び/又は他の処理要素によって行われるアクセスの観察者であり得る、いくつかの追加の処理要素もシステム内に提供され得ることが理解されるであろう。

10

20

【0038】

プロセッサコア10、20は、メモリ45へのアクセスを共有する相互接続30に結合される。相互接続は、様々な形態をとることができるが、示される例では、プロセッサコア10、20の両方にアクセス可能なシステムキャッシュ35と、プロセッサコアの各々がシステムのキャッシュ内に記憶されたデータのコピーを有することを保証するための関連するキャッシュコヒーレンシ回路40とを含み得るコヒーレント相互接続である。図1に示すように、システムキャッシュ35に加えて、1つ以上の他のレベルのキャッシュ、例えば、それぞれのプロセッサコア10、20にアクセス可能な1つ以上のレベルのローカルキャッシュ15、25があってもよい。当業者によって理解されるように、キャッシュコヒーレンシ回路40は、各プロセッサコア10、20が、そのデータにアクセスする要求を発行することに対応して、システム内にキャッシュされたデータの最新バージョンにアクセスすることを保証するために、いくつかの知られているキャッシュコヒーレンシ方式のいずれかを使用することができる。

30

【0039】

図1に示されるように、プロセッサコア10は、メモリ又はキャッシュのうちの1つからフェッチされた命令をデコードして制御信号を生成するための命令デコーダ50を含んでもよく、制御信号は次いで、それらの命令によって要求される動作を実行するように処理回路52を制御するために使用される。そのような動作の実行中、処理回路52は、動作への入力として使用されるデータ値が記憶され得、それらの動作によって生成された出力結果が記憶され得るレジスタ54のセットへのアクセスを有する。

40

【0040】

プロセッサコア10によって実行される命令のうちいくつかは、メモリ/キャッシュからレジスタ54にデータ値をロードするために(この場合、アクセス動作はロード動作である)、及び/又はレジスタ54からメモリ/キャッシュにデータ値を記憶するために(この場合、アクセス動作は記憶動作である)、処理回路52によってアクセス動作を実行させ得る。記憶動作が実行されるとき、それらは記憶バッファ56内に一時的にバッファリングされてもよく、プロセッサコア10は、実行を改善しようとするために、記憶バッファ内に保持された記憶動作の何らかの再順序付けを実行することが可能であってもよい。また、図1に示されるように、いくつかの事例では、プロセッサコアによって実行されるロード動作を一時的にバッファリングするために、ロードバッファ58が提供されて

50

もよい。アウト・オブ・オーダ・プロセッサでは、アドレス計算時間が異なるロード命令間で変化する可能性がある状況において、特定のロード動作を再順序付けすることが可能である場合があり、そのような場合、ロードバッファ 58 の存在が有用であり得る。

【 0 0 4 1 】

図 1 の例では、プロセッサコア 20 はプロセッサコア 10 と同一の方法で構築され、したがって、命令デコーダ 60、処理回路 62、レジスタ 64 のセット、記憶バッファ 66、及び任意選択でロードバッファ 68 を含むと仮定される。

【 0 0 4 2 】

プロセッサの各々がシステム内にキャッシュされ得るデータのコーヒレントビューを有することを確実にするために使用される前述のキャッシュコーヒレンシ機構に加えて、システムはまた、通常、メモリの読取り、書込み、又は更新の結果が予測可能であることを保証するために、メモリに関するメモリー貫性モデルを使用する。いくつかのシステムは、メモリへのアクセスがシステム内の特定の処理要素によって再順序付けられ得る方法における柔軟性を可能にするために、比較的弱い一貫性モデルを採用し得るが、いくつかの事例では、システムによって本質的にサポートされるよりも強い一貫性モデルの動作をエミュレートすることが所望され得る。先に述べたように、これを達成しようとする 1 つの方法は、標準的なロード命令及び記憶命令の代わりにロード取得命令及び記憶解放命令を使用することによるものであり、特に、処理要素がロード取得命令又は記憶解放命令を実行するとき、所与の処理要素によって実行されるアクセスを観察するシステム内の別の処理要素が、たとえ所与の処理要素によって何らかのローカル順序変更が実行されても、それらのアクセスを特定のプログラム順序で発生したものと観察するように、特定の可観察性制約が保証される。

【 0 0 4 3 】

本明細書で説明する技法によれば、コード密度を改善するために、アクセスされるべき複数のデータ値を指定することができ、特に、実行されると、複数のレジスタに関して一連のアクセス動作を実行させ、各アクセス動作が、複数のデータ値の中からのデータ値を、関連するレジスタと関連するメモリアドレスとの間で移動させる（記憶解放命令の場合はレジスタからメモリに、ロード取得命令の場合はメモリからレジスタに）ロード取得命令及び記憶解放命令の新しい形態（本明細書では、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令と呼ぶ）が提供される。本明細書で説明する技法によれば、順序付け表示は、順序付け制約付きアクセス命令から導出され、一連のアクセス動作を実行するときに複数のデータ値がアクセスされる順序を決定するために使用される。そのような順序付け表示を使用することによって、個々のアクセスが要求された順序で外部から観察可能であり、特に、複数のデータ値にアクセスするために使用される新しい順序付け制約付きアクセス命令の代わりに複数の単一アクセス順序付け制約付きアクセス命令（すなわち、各々が 1 つのデータ値にアクセスする一連の従来のロード取得命令又は記憶解放命令）が実行された場合に満たされるであろう同じ可観察性要件を満たすことができることを保証することが可能である。

【 0 0 4 4 】

図 2 A は、1 つの例示的な実装による、複数のデータ値にアクセスするために使用される型の順序付け制約付きアクセス命令 100 内に提供され得るフィールドを概略的に示す図である。第 1 のフィールド 105 は、命令型を指定するために使用され、したがって、例えば、命令がロード命令であるか記憶命令であるかを識別することができる。また、任意選択として、命令がメモリ内のスタック上で動作しているか、又は代わりにメモリの非スタック領域上で動作しているかなどの追加情報を指定することもできる。

【 0 0 4 5 】

更なるフィールド 110 は、アドレス指定モードを提供し、アクセスされるべきデータ値の各々に関連付けられたメモリアドレスを決定するために、メモリアドレスフィールド 125 内のメモリアドレス情報と組み合わせて使用される。フィールド 125 内のメモリアドレス情報は、例えば、スタックポインタを識別するために使用されるスタックポイン

10

20

30

40

50

タ表示を提供することによって、又はメモリアドレスを決定するためにその内容が使用され得るレジスタを識別することによって、アドレスのうちの1つが決定されることを可能にするのに十分な情報を与えることができる。この後者の場合、例えば、その識別されたレジスタ内のデータ値が、メモリアドレスを決定するために何らかのベースアドレスに加算するオフセットとして使用される場合があり得る。

#### 【0046】

次いで、アドレス指定モード情報は、必要とされる他のアドレスの各々を計算するために使用することができ、実際、いくつかの例では、フィールド125内のメモリアドレス情報から第1のメモリアドレスを計算するときに考慮に入れることもできる。アドレス指定モードは、例えば、各後続アドレスが、以前に決定されたアドレスを増分することによって決定されるべきか、又は以前に決定されたアドレスを減分することによって決定されるべきかなど、調整方向を示し得る。アドレス指定モードはまた、いくつかの実装では、各後続アドレスを計算するときに行われる調整の量に関する構成可能性を可能にするように、調整量を提供し得る。

10

#### 【0047】

レジスタ表示フィールド120も、レジスタ表示情報を記憶するために提供される。この情報を使用して、順序付け制約付きアクセス命令を実行するときにアクセスされる各レジスタのレジスタ識別子を決定することができる。1つの例示的な実装では、各レジスタは、レジスタ表示フィールド120内で明示的に識別され得る。しかしながら、代替の実装では、1つのレジスタが識別され得、例えば、命令が一連の隣接するレジスタ又は所定の量だけ分離されたレジスタに関して動作する状況では、各追加のレジスタが推測される。

20

#### 【0048】

また図2Aに示すように、この第1の例示的な実装によれば、順序付け表示フィールド115が明示的なフィールドとして提供され、順序付け表示情報は、順序付け制約付きアクセス命令を実行するのに必要なアクセス動作の各々が実行される順序を識別するためにその中に記憶され得る。これは、個々のアクセス動作間の可観察性要件が満たされることを保証しながら、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令が、それぞれが単一のデータ値に対して動作する（すなわち、1つのレジスタとメモリ内のアドレスとの間でいずれかの方向にデータを移動させる）標準的な順序付け制約付きアクセス命令のシーケンスの代わりに使用されるか、又はそれにとって代わることを可能にするので、多大な柔軟性を提供する。

30

#### 【0049】

図2Aの例では、明示的な順序付け表示フィールドが使用されるが、代替的な例示的な実装では、図2Bに示すように、明示的な順序付け表示フィールドの必要がなくともよく、代わりに、命令内で提供される他の情報から順序付け表示を導出することが可能であってもよい。特に、図2Bの例では、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令130は、前述のフィールド105、110、120、125を含むが、明示的な順序付け表示フィールド115を含まない。代わりに、この代替実装では、命令内の他の情報から順序付け表示を推測することが可能であり、特に、1つの例示的な実装では、これは、フィールド105内の命令型情報とフィールド110内のアドレス指定モード情報の両方を参照して達成される。

40

#### 【0050】

図3は、1つの例示的な実装による、順序付け制約付きアクセス命令が、どのように処理され得るかを示す流れ図である。ステップ200において、複数のデータ値にアクセスするための順序付け制約付きアクセス命令に遭遇したと決定された場合、ステップ205において、どの型の命令が実行されているか、例えば、命令がロード取得命令であるか記憶解放命令であるかが決定される。

#### 【0051】

ステップ210において、順序付け表示が決定され、先に説明したように、これは命令

50

内の明示的なフィールドを参照して決定されてもよく、又は代わりに他の情報から、例えばアドレス指定モード及び/又は命令型の表示から導出されてもよい。

【0052】

ステップ215において、フィールド125内のメモリアドレス情報及びアドレス指定モードフィールド110内のアドレス指定モード情報を使用して、各データ値に対するメモリアドレスが決定される。更に、ステップ220で、レジスタ表示フィールド120内の情報を使用して、各データ値に関連付けられたレジスタが決定される。

【0053】

上記の情報のすべてが決定されると、ステップ225において、処理回路は、順序付け表示によって示される順序で各データ値へのアクセスを実行するように制約され得る。このような手法によって、プロセッサコアによって実行されている他のアクセス命令（既知のロード取得命令及び記憶解放命令によって必要とされる）に関してだけでなく、順序付け制約付きアクセス命令を実装するのに必要な個々のアクセス動作に関して、可観察性要件を満たすことが可能である。

10

【0054】

例えば、実行されている順序付け制約付きアクセス命令が、複数のデータ値をメモリに記憶するために使用される記憶解放命令である場合、命令デコーダ50は、記憶解放命令をデコードすると、

- 記憶解放命令が実行されていると観察される前に実行を完了したと観察される任意のアクセス命令は、記憶解放命令の前にプログラム順序で現れるアクセス命令であること

20

- 及び
- 記憶解放命令の実行中に複数のデータ値をメモリに記憶するために使用される記憶動作のシーケンス内の所与の記憶動作は、記憶動作のシーケンス内の所与の記憶動作に続く任意の後続の記憶動作の実行が観察可能になる前に完了したものとして観察可能であることを保証するように処理回路52を制御するように構成され得る。

【0055】

同様に、順序付け制約付きアクセス命令が、複数のデータ値をレジスタのセット内の関連付けられたレジスタにロードするために使用されるロード取得命令である場合、命令デコーダ50は、ロード取得命令をデコードすると、

- ロード取得命令の実行中に複数のデータ値を関連付けられたレジスタにロードするために使用されるロード動作のシーケンス内の所与のロード動作は、ロード動作のシーケンス内の所与のロード動作に続く任意の後続のロード動作の実行が観察可能になる前に完了したものとして観察可能であること、及び

30

- ロード取得命令の後にプログラム順序で現れる任意のアクセス命令は、ロード取得命令の実行が完了した後に実行されているものとしてのみ観察されることを保証するように処理回路52を制御するように構成され得る。

【0056】

図3では、ステップ205、210、215、及び220が順次示されているが、これらのステップのうちの一つ以上は、実装に応じて並列に実行されてもよいことが理解されよう。加えて、どのステップがデコーダによって実行されるか、及びどのステップが処理回路によって実行されるかは、実装に応じて変化してもよい。1つの特定の例示的な実装では、デコーダは、どのレジスタオペランドが使用されるべきか、及びアドレス指定モードを決定するように構成され得る。次に、処理回路は、順序付け表示から決定される必要な順序付けを実施しながら、必要なアクセス動作を実行するために、アドレス指定モードを実施するように構成することができる。

40

【0057】

図4A及び図4Bは、上述の順序付け制約付きアクセス命令を実行するのに必要な個々のアクセス動作間で可観察性要件がどのように満たされるかを示す図である。いずれの場合も、順序付け制約付きアクセス命令によって対のデータ値がアクセスされ、これらのデータ値は、ロード取得命令の場合にメモリから対のレジスタに移動されるか、又は記憶解

50

放命令の場合に對のレジスタからメモリに移動されると仮定する。データ値の對における各データ値にアクセスするために必要とされる2つのアクセス動作は、図4 A及び4 Bにおいて、アクセス動作1及び2と称される。

【0058】

図4 Aに示されるように、各アクセス動作がアトミックに実行され得るとき、処理回路は、システム内の任意の観察エンティティがアクセス動作2の結果の任意の部分を観察することができる場合、その観察エンティティもアクセス動作1の結果のすべての部分を観察することができることが保証されるように、2つのアクセス動作を処理するように制約される。別の言い方をすれば、これはまた、観察者がアクセス動作1の全体を観察することができない場合、アクセス動作2のいかなる部分も観察することができないことを意味する。

10

【0059】

図4 Bは、アクセス動作1が複数の別個のアクセス、特にこの例では第1のアクセス及び第2のアクセスに分解される必要があるシナリオを示す。これが起こり得る様々な理由があるが、図4 Bの例では、アクセスされる必要なデータ値が2つのキャッシュラインにわたって分散され、したがって、それらのキャッシュラインの各々への別々のアクセスが必要とされると仮定される。これは、アクセス動作1の実行自体がアトミックではないことを意味する。それにもかかわらず、そのシナリオであっても、処理回路は、アクセス動作1とアクセス動作2との間の上記の可観察性制約が満たされることを保証するように制約される。

20

【0060】

図5は、順序付け制約付きアクセス命令内に存在する他の情報から順序付け表示を決定するために使用される特定の例示的な実装を示す流れ図である。ステップ300において、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令に遭遇したと仮定し、その命令が記憶解放命令であるかどうかを決定する。この例示的な実装では、命令が記憶解放命令でない場合、プロセスは直接ステップ315に進み、ここで、最下位メモリアドレスが最初にアクセスされるべきであることを識別するために順序付け表示が決定される。

【0061】

しかしながら、ステップ300において、命令が記憶解放命令であると決定された場合、ステップ305において、命令がスタック型動作を実行しているか否かが決定される。この要件は、様々な方法で実施することができる。例えば、記憶解放命令がスタックポイントを使用して必要なメモリアドレスを識別していることを識別することによって、命令内で明示的に識別されてもよい。あるいは、命令内で提供される他の情報からこの情報を推測することが可能であり得る。例えば、スタック型記憶動作を実行するために使用する特定のアドレス指定モードが予約されている場合、ステップ305において、そのアドレス指定モードの存在を使用して、命令がスタック型動作を実行するように意図されていることを決定することができる。

30

【0062】

スタック型動作を実行するために命令が使用されないと決定された場合、プロセスは再びステップ315に進み、最下位メモリアドレスが最初にアクセスされるべきであることを識別するために順序付け表示が決定される。

40

【0063】

ステップ305において、命令がスタック型動作を実行するためのものであると決定された場合、1つの例示的な実装では、プロセスは直接ステップ320に進むことができ、ここで、順序付け表示が、最高メモリアドレスが最初にアクセスされるべきであることを識別するために決定される。しかしながら、点線ボックス310によって示されるように、スタック型動作を実行するために1つ以上のアドレス指定モードが使用され得る実装では、ステップ310において、アドレス指定モードが事前減分アドレス指定モードであるかどうかを最初に決定され得る。そうでない場合、プロセスはステップ315に進むこと

50

ができ、ここで、順序付け表示は、最下位メモリアドレスが最初にアクセスされるべきであることを識別するように決定されるが、アドレス指定モードが事前減分である場合、プロセスはステップ 320 に進み、ここで、順序付け表示は、最上位メモリアドレスが最初にアクセスされるべきであることを識別するように決定される。

【0064】

本明細書で説明する技法を使用することによって、以前は複数の別個の命令が必要であった単一の命令を使用することを可能にすることによって、コード密度を大幅に低減することが可能である。例えば、既存の記憶解放命令を考慮すると、次の命令対のような以前の複数の記憶解放命令が必要であった可能性がある。

STLR X1 [SP, -8] !

STLR X0 [SP, -8] !

10

【0065】

第1の記憶解放命令の実行は、レジスタX1内のデータを、提供されたスタックポインタ値を8バイトだけ事前減分して新しいスタックポインタ値を生成することによって決定されたメモリ内のスタック内の位置に記憶させる。次に、第2の記憶解放命令を実行すると、レジスタX0内のデータが、第1のSTLR命令の実行を通じて生成されたスタックポインタ値を再び8バイトだけ事前減分することによって決定されたメモリ内のスタック内の位置に記憶され、更新されたスタックポインタ値が作成される。

【0066】

本明細書で説明する技法によれば、これらの2つの記憶解放命令は、以下の形式の単一の新しい命令によって置き換えることができる。

STLP X0, X1, [SP, -16] !

20

【0067】

特に、「P」は、記憶解放命令が1対のレジスタ、すなわち識別されたレジスタX0及びX1に対して実行されるべきであることを示し、命令から導出された順序付け表示は、最高メモリアドレスが最初にアクセスされるべきであることを識別する（一実施形態では、これは、記憶解放命令である命令と、使用されている事前減分アドレス指定モードとの組合せから決定され得る）。この場合、事前減分量は16バイトであり、したがってスタックポインタは16バイトだけ事前減分され、レジスタX0からの最初の8バイトのデータがスタックに記憶され、その後レジスタX1からの第2の8バイトのデータが記憶されることを可能にする。しかしながら、要求される可観察性順序付けを満たすために、記憶は、X1の記憶がX0の記憶の前に順序付けられるように処理される。この命令の実行を実装するために2つの別個の記憶動作を実行することができ、処理回路は、個々の記憶動作間の前述の可観察性要件が満たされることを保証するように制約される。

30

【0068】

上記は、順序付け表示が最高メモリアドレスを最初に示す状況の例であるが、以下の例は、新しい形態の記憶解放命令が、最低メモリアドレスが最初にアクセスされるべきであることを示す順序付け表示を指定するように構成され得る状況である。特に、以下の2つの標準的な記憶解放命令がある。

STLR X0, [X2]

STLR X1, [X2, 8]

これは、以下の形式の単一の新しい記憶解放命令によって置き換えることができる。

STLP X0, X1, [X2]

40

【0069】

この場合、アドレス指定モードは、8バイトによるアドレスへの事後増分変更を識別することができ、第1の記憶アクセス動作は、レジスタX0内のデータをレジスタX2の内容から決定されたメモリアドレスに記憶するために使用され、第2の記憶アクセス動作は、レジスタX1内のデータを、第1のアクセス動作のために決定されたアドレスを8バイトだけ増分することによって決定されたメモリアドレスに記憶するために使用される。先の例と同様に、順序付け表示は、一実施形態では、アドレス指定モードから導出すること

50

ができ、アクセスが最低メモリアドレスに対して最初に実行されるべきであることを示すことができる。先の例と同様に、この新しい形態の記憶解放命令を実行するとき、処理回路は、個々の記憶動作間の前述の可観察性要件が満たされることを保証するように制約される。

#### 【0070】

要求される可観察性条件を満たしながら指定されたアクセス動作を実行するように処理回路を適切に制御するために、命令デコーダ50が上記の型の順序付け制約付きアクセス命令を処理することができるいくつかの方法がある。1つの特定の例示的な実装では、図6に示すように、デコーダは、ステップ400において、複数のデータ値にアクセスするために使用される順序付け制約付きアクセス命令を、各々がデータ値のうちの一つにアクセスするために使用される単一アクセス順序付け制約付きアクセス命令のシーケンスに分解するように構成され得る。したがって、そのような実装では、複数のデータ値にアクセスするために使用されるロード取得命令又は記憶解放命令の新しい形態は、一連の既存のロード取得命令又は記憶解放命令に分解することができ、各命令は単一のレジスタに関連付けられたデータ値に関してアクセスを実行する。

10

#### 【0071】

次に、ステップ405において、先に説明した技法のいずれかを使用して順序付け表示を決定することができる。決定された順序付け表示に基づいて、次いで、ステップ410において、デコーダは、単一アクセス順序付け制約付きアクセス命令の各々を実行するように処理回路を制御する順序を決定することができる。したがって、1つの例示的な実装では、例えば、最低メモリアドレスが最初にアクセスされるべきであることを順序付け表示が示す場合、最初に決定された分解順序で一連の命令を実行することができるが、その代わりに、最高メモリアドレスが最初にアクセスされるべきであることを順序付け表示が示す場合、デコーダは、単一アクセス順序付け制約付きアクセス命令が実行される順序を逆にすることができる。これは、これらの新しいロード取得命令及び記憶解放命令の処理を実装するための特に単純で効率的な機構を提供する。

20

#### 【0072】

図7は、使用され得るシミュレータ実装を例示する。前述の例は、当該技法をサポートする特定の処理ハードウェアを動作させるための装置及び方法の観点で本発明を実装するが、本明細書に記載の例による命令実行環境を提供することも可能であり、命令実行環境は、コンピュータプログラムの使用により実装される。このようなコンピュータプログラムは、コンピュータプログラムがハードウェアアーキテクチャのソフトウェアベースの実装を提供する限り、シミュレータと称されることがよくある。様々なシミュレータコンピュータプログラムは、エミュレータ、仮想マシン、モデル、及び動的バイナリトランスレータを含むバイナリトランスレータを含む。典型的に、シミュレータの実装は、ホストプロセッサ515で実行してもよく、任意選択でホストオペレーティングシステム510を実行し、シミュレータプログラム505をサポートする。いくつかの配置では、ハードウェアと提供された命令実行環境、及び/又は、同じホストプロセッサ上に提供される複数の異なる命令実行環境との間に複数層のシミュレーションがあり得る。歴史的に、強力なプロセッサが、合理的な速度で実行されるシミュレータ実装を提供するのに必要とされてきたが、このような手法は、互換性又は再使用の理由から別のプロセッサにネイティブなコードを実行することが望まれるようなときなど一定の状況では、正当化され得る。例えば、シミュレータ実装は、ホストプロセッサハードウェアによってサポートされていない追加の機能性を有する命令実行環境を提供し得るか、又は典型的には異なるハードウェアアーキテクチャに関連付けられた命令実行環境を提供し得る。シミュレーションの概要は、「Some Efficient Architecture Simulation Techniques」、Robert Bedichek、1990年冬、USENIX Conference、第53～63頁に記載されている。

30

40

#### 【0073】

例が、特定のハードウェア構築又は特徴を参照して前述されている程度に、シミュレー

50

シミュレーションされた実装では、同等の機能が、好適なソフトウェア構築又は特徴によって提供され得る。例えば、特定の回路は、シミュレーションされた実装では、コンピュータプログラム論理として提供され得る。同様に、レジスタ又はキャッシュなどのメモリハードウェアは、シミュレーションされた実装では、ソフトウェアデータ構造として提供され得る。また、ハードウェア装置内のメモリにアクセスするために使用される物理アドレス空間は、シミュレートされたアドレス空間としてエミュレートされ得、シミュレートされたアドレス空間は、ホストオペレーティングシステム 510 によって使用される仮想アドレス空間に、シミュレータ 505 によってマッピングされている。前述の例で言及されているハードウェア要素のうち 1 つ以上がホストハードウェア（例えば、ホストプロセッサ 515）に存在する配置では、いくつかのシミュレートされた実装は、好適である場合、ホストハードウェアを使用し得る。

#### 【0074】

シミュレータプログラム 505 は、（非一時的媒体であり得る）コンピュータ読み取り可能な記憶媒体に記憶され得、（アプリケーション、オペレーティングシステム、及びハイパーバイザを含み得る）ターゲットコード 500 への仮想ハードウェアインタフェース（命令実行環境）を提供し、仮想ハードウェアインタフェースは、シミュレータプログラム 505 によってモデル化されたハードウェアアーキテクチャのハードウェアインタフェースと同じである。したがって、ターゲットコード 500 のプログラム命令は、シミュレータプログラム 505 を使用して命令実行環境内から実行されてもよく、このため、前述の装置のハードウェア特徴を実際には有さないホストコンピュータ 515 は、これらの特徴をエミュレートすることができる。シミュレータプログラムは、処理回路 52、62 の動作をエミュレートする処理プログラム論理 520 と、命令デコーダ 50、60 の動作をエミュレートする命令デコードプログラム論理 525 と、レジスタ 54、64 のセットをエミュレートするためにデータ構造を維持するレジスタエミュレートプログラム論理 522 とを含み得る。それゆえに、順序付け制約付きアクセス動作を処理するため本明細書で説明される技法は、図 7 の例では、シミュレータプログラム 505 によってソフトウェアで実施され得る。

#### 【0075】

上記の説明から、本明細書で説明する技法は、ロード取得動作及び記憶解放動作などの順序付け制約付きアクセス動作を処理するための特に効率的な機構を提供し、ロード取得命令又は記憶解放命令を実装するのに必要な個々のアクセス動作間の必要な可観察性動作が満たされることを保証しながら、複数のレジスタに関連付けられたデータ値をアクセスさせる個々のロード取得命令又は記憶解放命令を指定することを可能にすることによって、コード密度、したがって実行を改善することを可能にすることが理解されよう。

#### 【0076】

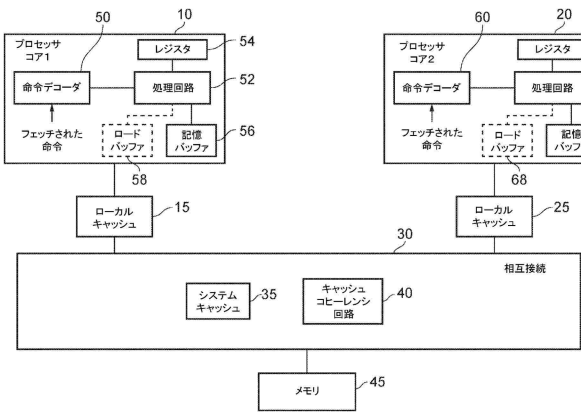
本出願において、「～ように構成された（configured to...）」という用語は、装置の要素が、定義された動作を行うことが可能である構成を有することを意味するために使用される。この文脈において、「構成」とは、ハードウェア又はソフトウェアの配置又は相互接続の方法を意味する。例えば、装置は、定義された動作を提供する専用ハードウェアを有し得るか、又はプロセッサ若しくは他の処理デバイスが、機能を実施するようにプログラムされ得る。「ように構成された」は、装置要素が、定義された動作を提供するために何らかの変更がなされる必要があることを意味しない。

#### 【0077】

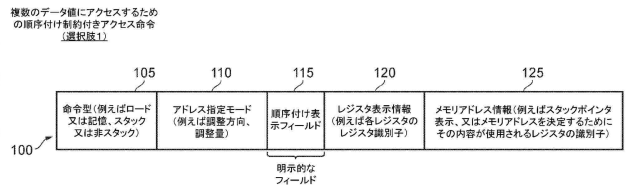
本発明の例示的な実施形態が添付の図面を参照して本明細書で詳細に説明されてきたが、本発明はそれらの正確な実施形態に限定されないこと、及び添付の特許請求の範囲によって規定される本発明の範囲及び趣旨から逸脱することなく、当業者によって様々な変更、追加、及び修正が実施され得ることが理解されるであろう。例えば、従属請求項の特徴の様々な組み合わせは、本発明の範囲から逸脱することなく、独立請求項の特徴でなされ得る。

【図面】

【図1】

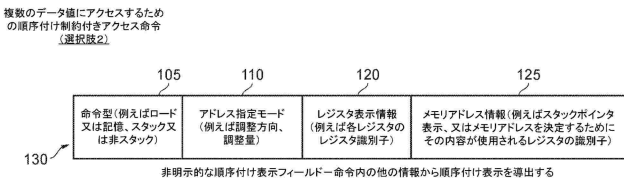


【図2A】

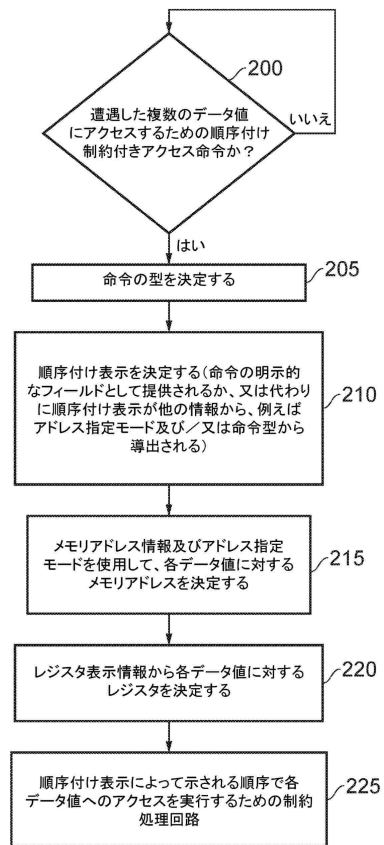


10

【図2B】



【図3】



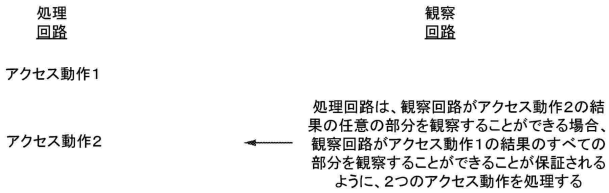
20

30

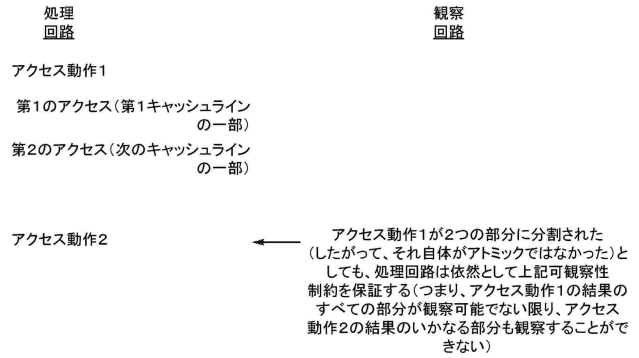
40

50

【 図 4 A 】

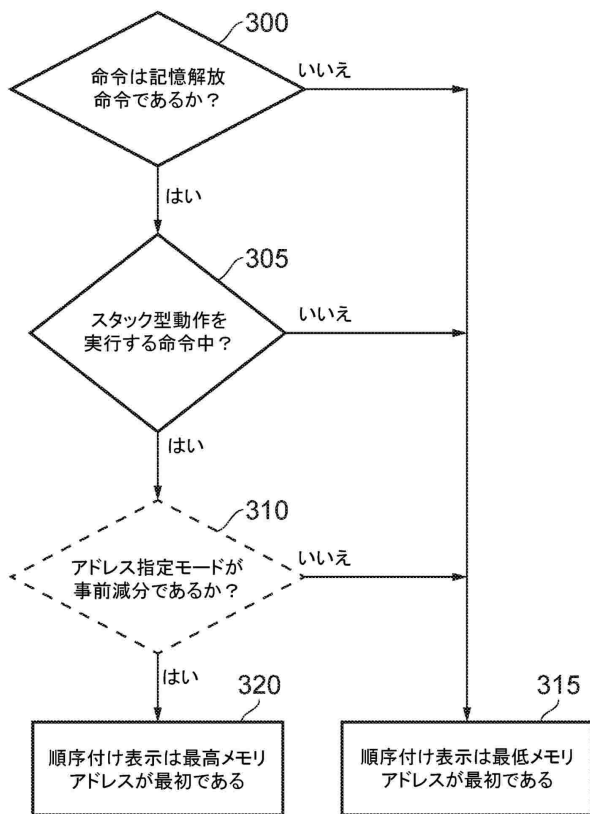


【 図 4 B 】



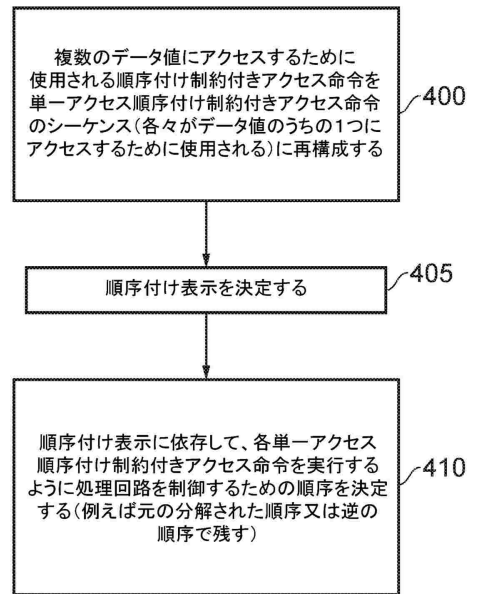
10

【 図 5 】



【 図 6 】

AT  
デコーダ



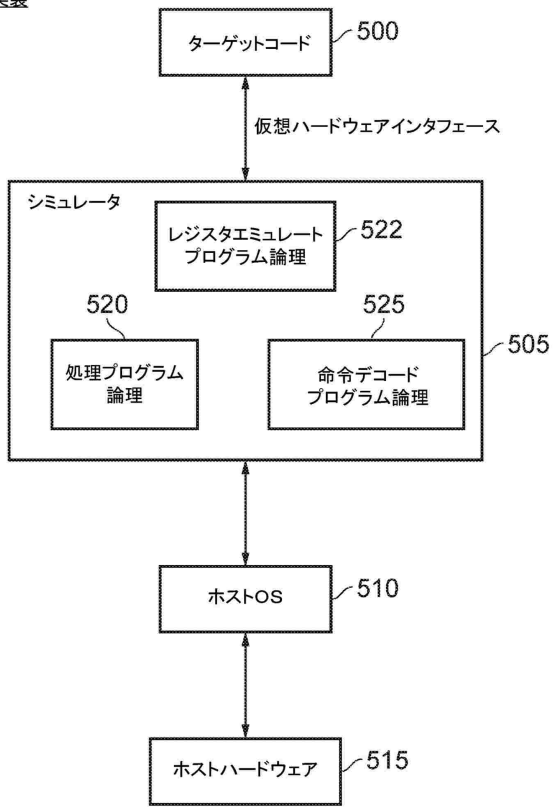
20

30

40

50

【 図 7 】  
シミュレータ  
実装



10

20

30

40

50

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

|  |
|--|
| International application No<br><b>PCT/GB2023/050589</b> |
|--|

|   |   |                       |
|---|---|-----------------------|
| <b>A. CLASSIFICATION OF SUBJECT MATTER</b>  |   |                       |
| INV. <b>G06F9/30</b> <b>G06F9/38</b>  |   |                       |
| ADD.  |   |                       |
| According to International Patent Classification (IPC) or to both national classification and IPC   |   |                       |
| <b>B. FIELDS SEARCHED</b>   |   |                       |
| Minimum documentation searched (classification system followed by classification symbols)<br><b>G06F</b>  |   |                       |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched   |   |                       |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)<br><b>EPO-Internal, WPI Data</b>   |   |                       |
| <b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>   |   |                       |
| Category*   | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
| <b>X</b>  | <b>US 2003/131205 A1 (HUCK JEROME C [US])</b><br><b>10 July 2003 (2003-07-10)</b><br><b>the whole document</b><br>-----     | <b>1-17</b>           |
| <b>X</b>  | <b>US 5 887 183 A (AGARWAL RAMESH CHANDRA [US] ET AL) 23 March 1999 (1999-03-23)</b><br><b>the whole document</b><br>-----  | <b>1, 16, 17</b>      |
| <b>A</b>  | <b>US 2018/095756 A1 (HASENPLAUGH WILLIAM C [US] ET AL) 5 April 2018 (2018-04-05)</b><br><b>the whole document</b><br>----- | <b>1-17</b>           |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.  |   |                       |
| * Special categories of cited documents :<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier application or patent but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed<br>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |   |                       |
| Date of the actual completion of the international search<br><b>7 June 2023</b>   | Date of mailing of the international search report<br><b>15/06/2023</b>   |                       |
| Name and mailing address of the ISA/<br>European Patent Office, P.B. 5818 Patentlaan 2<br>NL - 2280 HV Rijswijk<br>Tel. (+31-70) 340-2040,<br>Fax: (+31-70) 340-3016  | Authorized officer<br><b>Moraiti, Marina</b>  |                       |

1

Form PCT/ISA/210 (second sheet) (April 2005)

10

20

30

40

50

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No

**PCT/GB2023/050589**

| Patent document cited in search report | Publication date  | Patent family member(s) | Publication date  |
|--|-------------------|-------------------------|-------------------|
| <b>US 2003131205 A1</b>                | <b>10-07-2003</b> | <b>NONE</b>             |                   |
| -----                                  |                   |                         |                   |
| <b>US 5887183 A</b>                    | <b>23-03-1999</b> | <b>NONE</b>             |                   |
| -----                                  |                   |                         |                   |
| <b>US 2018095756 A1</b>                | <b>05-04-2018</b> | <b>CN 109791487 A</b>   | <b>21-05-2019</b> |
|  |                   | <b>EP 3519948 A2</b>    | <b>07-08-2019</b> |
|  |                   | <b>TW 201820123 A</b>   | <b>01-06-2018</b> |
|  |                   | <b>US 2018095756 A1</b> | <b>05-04-2018</b> |
|  |                   | <b>US 2019384601 A1</b> | <b>19-12-2019</b> |
|  |                   | <b>WO 2018093439 A2</b> | <b>24-05-2018</b> |
| -----                                  |                   |                         |                   |

10

20

30

40

50

## フロントページの続き

,MC,ME,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,  
ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,C  
O,CR,CU,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,I  
R,IS,IT,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,MG,MK,MN,MW,MX  
,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SC,SD,SE,SG,SK,SL,ST,  
SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW  
グレート・ブリテン及び北部アイルランド連合王国 シービー 1 9 エヌジェイ ケンブリッジシャ  
ー ケンブリッジ フルボーン ロード 1 1 0 アーム リミテッド宛

F ターム (参考) 5B033 AA04 DB09