

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

**特許第3679592号
(P3679592)**

(45) 発行日 平成17年8月3日(2005.8.3)

(24) 登録日 平成17年5月20日(2005.5.20)

(51) Int.Cl.⁷**H04N 5/907****H04N 5/92**

F I

H04N 5/907

B

H04N 5/92

H

請求項の数 10 (全 8 頁)

(21) 出願番号 特願平10-8682
 (22) 出願日 平成10年1月20日(1998.1.20)
 (65) 公開番号 特開平11-205732
 (43) 公開日 平成11年7月30日(1999.7.30)
 審査請求日 平成14年10月25日(2002.10.25)

(73) 特許権者 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090538
 弁理士 西山 恵三
 (74) 代理人 100096965
 弁理士 内尾 裕一
 (72) 発明者 栄木 裕二
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内

審査官 加藤 恵一

最終頁に続く

(54) 【発明の名称】 信号処理装置及び撮像装置

(57) 【特許請求の範囲】

【請求項1】

第1のタイミング信号を発生する第1の発生手段と、
 前記第1のタイミング信号を用いて入力画像信号の画素数を削減する処理手段と
 前記処理手段からの画像信号を記憶するバッファメモリと、
 前記第1のタイミング信号とは非同期な第2のタイミング信号を発生する第2の発生手
 段と、
 画像信号を記憶するメモリ手段と、
 前記メモリ手段より読み出された画像信号を前記第2のタイミング信号に応じて表示手
 段に出力する出力手段と、
 前記第2のタイミング信号に応じて前記メモリ手段に記憶された画像信号をバースト状
 に読み出し、データバスを介して前記出力手段に転送すると共に、前記第1のタイミン
 グ信号に応じて前記バッファメモリに記憶された画像信号を読み出し、前記データバスを介
 して前記メモリ手段に対してバースト転送して書き込むメモリ制御手段とを備える信号処
 理装置。

【請求項2】

前記メモリ制御手段は前記データバスを時分割に用いて前記バッファメモリから前記メ
 モリ手段に対する前記画像信号の転送処理と、前記メモリ手段から前記出力手段に対す
 る前記画像信号の転送処理とを実行することを特徴とする請求項1記載の信号処理装置。

【請求項3】

10

20

前記第１のタイミング信号は前記表示手段の駆動タイミングと同期していることを特徴とする請求項１記載の信号処理装置。

【請求項４】

前記処理手段は前記表示手段における表示画素数に従って前記入力画像信号の画素数を縮小することを特徴とする請求項１記載の信号処理装置。

【請求項５】

第１のタイミング信号を用いて画像信号を発生する撮像手段と、
前記撮像手段により得られた画像信号を記録媒体に記録する記録手段と、
前記第１のタイミング信号を用いて前記撮像手段により得られた画像信号の画素数を削減する処理手段と、

10

前記処理手段からの画像信号を記憶するバッファメモリと、
画像信号を記憶するメモリ手段と、
前記メモリ手段より読み出された画像信号を表示手段に出力する出力手段と、
前記第１のタイミング信号とは非同期の第２のタイミング信号に応じて前記メモリ手段に記憶された画像信号をバースト状に読み出し、データバスを介して前記出力手段に転送すると共に、前記第１のタイミング信号に応じて前記バッファメモリに記憶された画像信号を読み出し、前記データバスを介して前記メモリ手段に対してバースト転送して書き込むメモリ制御手段とを備える撮像装置。

【請求項６】

前記メモリ制御手段は前記データバスを時分割に用いて前記バッファメモリから前記メモリ手段に対する前記画像信号の転送処理と、前記メモリ手段から前記出力手段に対する前記画像信号の転送処理とを実行することを特徴とする請求項５記載の信号処理装置。

20

【請求項７】

前記第２のタイミング信号は前記表示手段の駆動タイミングと同期していることを特徴とする請求項５記載の撮像装置。

【請求項８】

前記処理手段は前記表示手段における表示画素数に従って前記入力画像信号の画素数を削減することを特徴とする請求項５記載の撮像装置。

【請求項９】

前記撮像手段により得られた画像信号の情報量を圧縮すると共に符号化する圧縮手段を備え、前記記録手段は前記圧縮手段により圧縮された画像信号を前記記録媒体に記録することを特徴とする請求項５記載の撮像装置。

30

【請求項１０】

前記記録媒体より画像信号を再生する再生手段を備え、前記処理手段は前記第１のタイミング信号に従って前記再生手段により再生された画像信号の画素数を削減することを特徴とする請求項５記載の撮像装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、信号処理装置及び撮像装置に関し、特に、入力時と非同期なタイミングで信号を出力する処理に関する。

40

【０００２】

【従来の技術】

近年、パソコンの普及に伴い、パソコンに対する画像入力手段として、画像をデジタル信号としてメモリに記録するいわゆるデジタルカメラが注目されている。

【０００３】

この種のデジタルカメラでは、一般に、撮像素子としてのＣＣＤから得られた画像信号をデジタル信号に変換し、その情報量を圧縮してメモリに記録している。そして、このとき、記録された画像信号を再生して外部のＴＶモニタに出力する機能や、現在撮像されている画像を内蔵モニタで確認できる機能を持つものもある。

50

【 0 0 0 4 】

また、近年では、高画質化も急速に進んでおり、そのために、非常に画素数の多い C C D が用いられるようになってきた。

【 0 0 0 5 】

【 発明が解決しようとする課題 】

さて、前述のように、高画質化のために C C D の画素数を増やすと、C C D から画像信号を読み出すのに非常に時間がかかってしまう。これを避けるためには、C C D の駆動クロックを高速にすればよいが、クロックを高速にするほど C C D や A / D 変換器等の回路素子が高価になってしまう。

【 0 0 0 6 】

また、C C D からの読み出しに時間がかかると、これを外部のモニタや E V F に表示する場合、表示される画像のフレームレートが低くなってしまう。

【 0 0 0 7 】

そのため、従来では、外部モニタや E V F に画像を表示する際、C C D からの画像信号の画素を間引いて表示画像のフレームレートを上げると共に、回路規模の縮小化及び設計の簡略化のため、C C D からの画像信号のフレームレートと表示用の画像信号のフレームレートとの間に簡単な整数比をもたせ、撮像系と表示用画像信号の出力系とを同一のタイミング信号を用いて同期して駆動している。

【 0 0 0 8 】

図 4 はこのように撮像系と表示用画像信号の出力系とを同期して駆動する際の一例を示すタイミングチャートである。図 4 の例では、C C D からの画像信号のフレームレートと表示用の画像信号のフレームレートとの比が 1 対 2 となっている。

【 0 0 0 9 】

しかしながら、回路をこのように設計した場合、使用する C C D の画素数が変わる度に撮像系で扱う画像信号の同期タイミングと外部出力系で扱う画像信号の同期タイミングとが変化するため、C C D の画素数が変化するたびに回路の設計をやり直さなければならない。

【 0 0 1 0 】

これを回避するため、撮像系と外部出力系とを非同期に駆動する構成も考えられるが、この場合には、撮像系と外部出力系との間のタイミングが変化した場合を考慮した、非常に大容量のバッファが必要になってしまう。

【 0 0 1 1 】

本発明は前述の如き問題を解決することを目的とする。

【 0 0 1 2 】

本発明の他の目的は、簡単な構成で、且つ、回路規模を大型化することなく、入力時とは非同期なタイミングで信号を出力可能とする処にある。

【 0 0 1 3 】

【 課題を解決するための手段 】

前述の如き問題を解決し、前記目的を達成するため、本発明は、第 1 のタイミング信号を発生する第 1 の発生手段と、前記第 1 のタイミング信号を用いて入力画像信号の画素数を削減する処理手段と、前記処理手段からの画像信号を記憶するバッファメモリと、前記第 1 のタイミング信号とは非同期な第 2 のタイミング信号を発生する第 2 の発生手段と、画像信号を記憶するメモリ手段と、前記メモリ手段より読み出された画像信号を前記第 2 のタイミング信号に応じて表示手段に出力する出力手段と、前記第 2 のタイミング信号に応じて前記メモリ手段に記憶された画像信号をバースト状に読み出し、データバスを介して前記出力手段に転送すると共に、前記第 1 のタイミング信号に応じて前記バッファメモリに記憶された画像信号を読み出し、前記データバスを介して前記メモリ手段に対してバースト転送して書き込むメモリ制御手段とを備えて構成されている。

【 0 0 1 4 】

【 発明の実施の形態 】

10

20

30

40

50

以下、本発明の実施の形態について、図面を用いて詳細に説明する。

【0015】

図1は本発明が適用されるデジタルカメラの構成を示すブロック図である。

【0016】

図1の装置では、撮像された画像信号を圧縮してメモリカードに記録すると共に、撮像されている画像を内蔵モニタあるいは外部モニタにて確認可能となっている。また、メモリカードに記録された画像信号を読み出してその情報量を伸長し、やはり内蔵モニタあるいは外部モニタにて確認可能となっている。

【0017】

まず、記録時の処理について説明する。

10

【0018】

図1において、撮像回路101は周知のCCD、CDS回路、アンプ、A/D変換器等を有し、被写体像を1サンプル複数ビットのデジタル信号に変換して圧縮回路103及びスイッチ111に出力する。ここで、内部同期信号発生回路115は後述の如く内部水平同期信号及び内部垂直同期信号を発生し、タイミング信号発生回路109及び縮小回路117に出力する。タイミング信号発生回路109は内部同期信号発生回路115からの各同期信号を用いて撮像回路101を駆動するためのタイミング信号を発生し、撮像回路101に出力する。従って、撮像回路101の各要素は内部同期信号発生回路115からの信号に同期して駆動することになる。

【0019】

20

圧縮回路103では、周知のDCT、可変長符号化等を用いてその情報量を圧縮すると共に符号化し、記録再生処理回路105に出力する。記録再生処理回路105は、圧縮・符号化された画像信号に対してID信号等を付加すると共に記録に適した形態に変換し、メモリカード107に書き込む。

【0020】

次に、再生時の動作について説明する。

【0021】

記録再生処理回路105はメモリカード107に前述の如く記録された1画面分の画像信号を読み出し、伸長回路113に出力する。伸長回路113はメモリカード107から読み出された画像信号に対して記録時とは逆の処理を施して復号すると共にその情報量を伸

30

【0022】

スイッチ111は、再生時においては伸長回路113からの出力を選択し、縮小回路117に出力する。縮小回路117は内部同期信号発生回路115からの同期信号に従って以下の通り伸長回路113からの画像信号の画素を間引くことにより、EVF127もしくは外部の一般的なTVモニタのサイズである、水平方向640×垂直方向480画素にそのサイズを縮小する。

【0023】

いま、撮像回路101により得られた画像信号、即ち、メモリカード107より読み出された画像信号のサイズが、1画面あたり水平方向1280×垂直方向960画素であった

40

【0024】

ここで、縮小回路117の動作を図2を用いて説明する。

【0025】

図2は縮小回路117の動作を説明するためのタイミングチャートであり、(a)はスイッチ111から入力される画像信号列を示している。そして、縮小回路117は、(c)に示した内部同期信号発生回路115からの水平同期信号に基づいて(b)に示したサンプルタイミングを示すクロックを発生し、このクロックに従って入力画像信号をサンプリングする。即ち、(a)において斜線で示した部分が縮小回路117にてサンプリングされ、バッファメモリ119に出力される画像信号である。

50

【 0 0 2 6 】

前述の通り、本形態では入力画像信号の水平方向の 1 2 8 0 画素を 6 4 0 画素にするため、ここでは、水平方向に 1 / 2 に間引いている。また、垂直方向の 9 6 0 画素（ライン）を 4 8 0 画素にするため、ここでは垂直方向に 1 / 2 に間引いている。従って、縮小回路 1 1 7 は、1 水平期間おきに画像信号をサンプリングしてバッファメモリ 1 1 9 に出力する。

【 0 0 2 7 】

バッファメモリ 1 1 9 に記憶された画像信号はバスアービタ 1 2 1 により読み出されてメモリ 1 1 3 に書き込まれる。バスアービタ 1 2 1 は内部にデータバスを有し、内部同期信号発生回路 1 1 5 からの同期信号に従って、縮小回路 1 1 7 により縮小され、バッファメモリ 1 1 9 に記憶された画像信号をバースト状に集中させ、メモリ 1 3 3 に転送する。

10

【 0 0 2 8 】

また、バスアービタ 1 2 1 は、内部同期信号発生回路 1 1 5 からの同期信号とは非同期なタイミングで発生される外部同期信号発生回路 1 3 1 からの同期信号に従ってメモリ 1 3 3 に記憶された画像信号をバースト状に集中してバッファメモリ 1 2 3 に転送する。

【 0 0 2 9 】

バッファメモリ 1 2 3 に集中して書き込まれた画像信号は時間軸伸長されて D / A 変換器 1 2 5 に出力され、ここで、内部同期信号発生回路 1 3 1 からの同期信号に従ってアナログ信号に変換され、E V F 1 2 7 及び出力回路 1 2 9 に出力される。E V F 1 2 7 は D / A 変換器 1 2 5 からの画像信号に従い、前述の如き 6 4 0 × 4 8 0 画素のサイズの画像を表示する。また、出力回路 1 2 9 は、D / A 変換器 1 2 5 からの画像信号に対して同期信号を付加すると共にそのレベルを増幅し、外部モニタ 2 0 0 における処理に適した形態に変換してモニタ 2 0 0 に出力する。

20

【 0 0 3 0 】

ここで、バスアービタ 1 2 1 によるバッファメモリ 1 1 9 からメモリ 1 3 3 に対する画像信号の転送処理、及び、メモリ 1 3 3 からバッファメモリ 1 2 3 に対する画像信号の転送処理について説明する。

【 0 0 3 1 】

図 3 はバスアービタ 1 2 1 の転送動作を説明するためのタイミングチャートである。

【 0 0 3 2 】

図 3 において、(a) はバスアービタ 1 2 1 内のデータバスを流れるデータを示し、(c) は外部同期信号発生回路 1 3 1 からの水平同期信号を示している。

30

【 0 0 3 3 】

前述の通り、本形態では、縮小回路 1 1 7 により画像信号のサイズを 7 5 % 程縮小しているので、その分データバスを使用しない時間のゆとりが生まれる。

【 0 0 3 4 】

そこで、本形態では、バスアービタ 1 2 1 により、外部同期信号発生回路 1 3 1 からの同期信号に同期してバッファメモリ 1 2 3 に画像信号を転送する一方、外部同期信号発生回路 1 3 1 からの同期信号とは非同期に発生される内部同期信号発生回路 1 1 5 からの同期信号に同期して信号を出力するバッファメモリ 1 1 9 からの画像信号をバースト状に集中させ、メモリ 1 3 3 からバッファメモリ 1 2 3 へ転送する時間のあまり時間にメモリ 1 3 3 に転送するように制御する。

40

【 0 0 3 5 】

即ち、図 3 において、外部同期信号発生回路 1 3 1 からの水平同期信号に応じて、T 1 ~ T 2 , T 4 ~ T 5 , T 7 ~ T 8 , 及び T 1 0 ~ T 1 1 の期間でメモリ 1 3 3 からバッファメモリ 1 2 3 に対して 4 ライン分のデータ D o u t を転送する。

【 0 0 3 6 】

そして、これ以外の期間でバッファ 1 1 9 から出力された画像信号をメモリ 1 3 3 に転送する。

【 0 0 3 7 】

50

即ち、図3においては、T2～T3の期間でバッファメモリ119からの画像信号を転送した後、転送しきれなかった分を更に、次の水平同期期間におけるT5～T6の期間で転送する。このT2～T3及び、T5～T6の期間でバッファメモリ119に記憶されていた1水平ライン分の画像信号がメモリ133に転送される。従って、バッファメモリ119は間引いた後の1水平ライン分の画像信号を記憶可能な容量を備えていればよい。また、同様にバッファメモリ123も1水平ライン分の容量を備えていればよい。

【0038】

また、本形態では、前述の如くバッファメモリ119からメモリ133に対する画像信号の転送時と、メモリ133からバッファメモリ123に対する画像信号の転送時とでデータバスを時分割に用いることができるので、メモリ133は安価なシングルポートメモリ

10

【0039】

また、撮像回路101により得られた画像信号に応じた画像をEVF127または外部モニタ200に表示する場合は、スイッチ111により撮像回路101からの画像信号を縮小回路117に転送する以外は、メモリカード107の再生時の動作と同じである。

【0040】

なお、記録時においては、撮像回路101からの画像信号に係る画像が動画像としてEVF127に表示され、ユーザはEVF127に表示された画像をモニタしつつ、不図示の操作部にて記録の指示を行う。そして、記録紙時に応じたタイミングで1画面分の画像信号が前述の如くメモリカード107に記録される。

20

【0041】

以上説明したように、本形態では、撮像された画像信号あるいは、メモリカードより再生された画素数の多い(詳細な)画像を撮像系あるいは記録再生系とは非同期なタイミングでモニタする際、その画素数を縮小し、バースト状に集中してメモリに転送することにより、撮像系で扱う画像信号の画素数が変化した場合であっても大幅な設計変更を行うことなく画像のモニタが可能になる。

【0042】

なお、前述の実施形態では、撮像系あるいは記録再生系で扱う画像信号の画素数を水平・垂直方向にそれぞれ1/2に間引く場合について説明したが、もちろんこれ以外の画素数にすることも可能であり、同様の効果を有する。

30

【0043】

また、本形態では、デジタルカメラに対して本発明を適用した場合について説明したが、入力信号と非同期に外部に信号を出力する装置であればどのようなものにも本発明を適用可能である。

【0044】

【発明の効果】

以上説明したように、本発明によれば、入力画像信号と非同期なタイミングで外部に画像信号を出力し、これをモニタする場合、入力及び出力画像信号の画素数が変化しても回路の設計を大幅に変更する必要がない。

【0045】

また、バッファメモリの容量も少なくてもすむ。

40

【図面の簡単な説明】

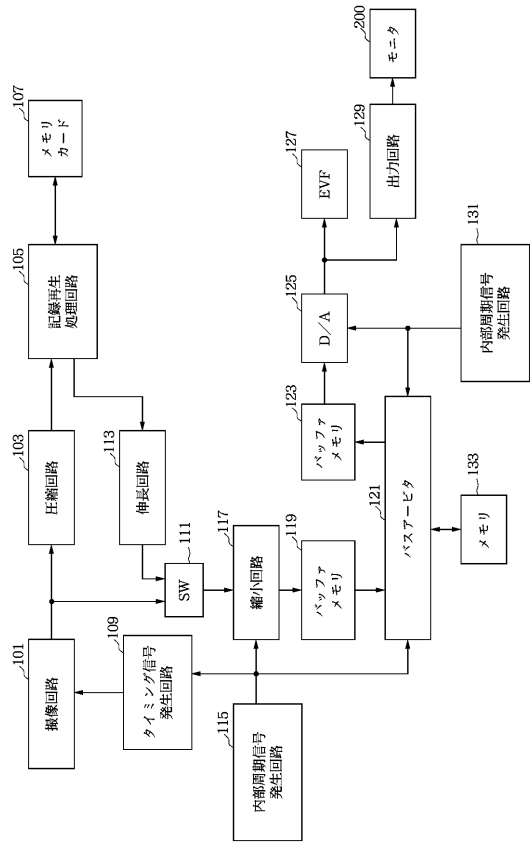
【図1】本発明が適用されるデジタルカメラの構成例を示す図である。

【図2】図1装置の動作を説明するためのタイミングチャートである。

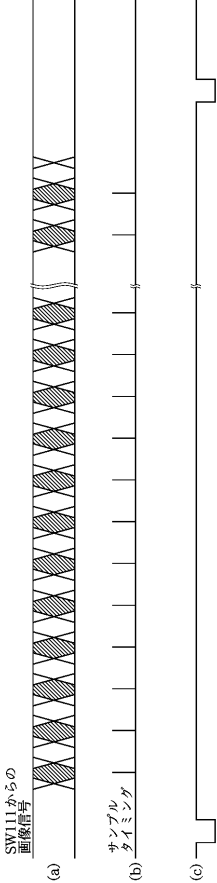
【図3】図1の装置の動作を説明するためのタイミングチャートである。

【図4】撮像系で扱う画像信号と表示用の画像信号のフレームレートを示す図である。

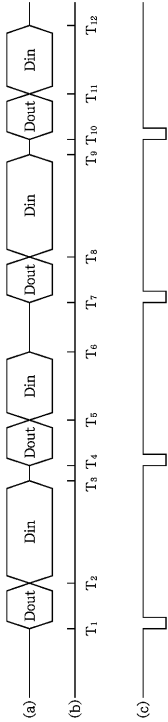
【図 1】



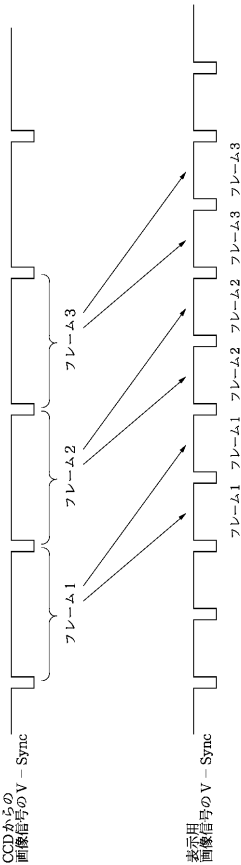
【図 2】



【図 3】



【図 4】



フロントページの続き

- (56)参考文献 実開昭59-037634(JP,U)
特開平10-013732(JP,A)
特開平9-93470(JP,A)
特開平7-312714(JP,A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H04N 5/225,5/76-5/956