(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 568 698**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **85 11943**

(51) Int Cl⁴ : G 05 B 17/02; G 06 F 11/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 5 août 1985.

(30) Priorité : JP, 3 août 1984, n° 162843/1984.

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 6 du 7 février 1986.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *NEC CORPORATION.* — JP.

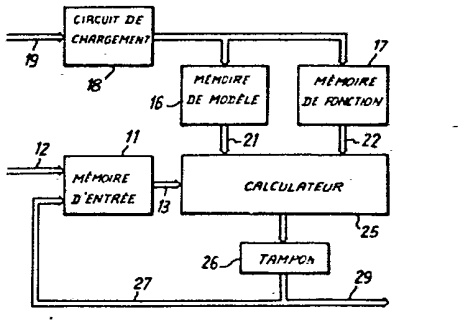
(72) Inventeur(s) : Nobuyoshi Nomizu et Tohru Sasaki.

(73) Titulaire(s) :

(74) Mandataire(s) : Cabinet Chereau, Novapat.

(54) Simulateur logique ayant une capacité de mémoire aussi réduite que possible.

(57) Une mémoire de modèle 16 mémorise le modèle de connexions des portes du circuit logique à simuler, sous forme d'une suite de bits représentant les connexions directes entre chaque porte de chaque niveau du circuit et les portes d'un niveau précédent. Une mémoire de fonction 17 mémorise les fonctions logiques. Un calculateur 25 calcule les états logiques de sortie de chaque niveau en tant qu'états logiques d'entrée d'un niveau subséquent. En vue de l'obtention d'une plus grande vitesse de simulation, le circuit logique à simuler peut être divisé en un nombre prédéterminé de groupes de portes dont chacun est constitué des portes des niveaux successifs. Ce simulateur permet de réduire la capacité de mémoire requise pour la simulation à une valeur inférieure à celle des simulateurs de l'art antérieur.



FR 2 568 698 - A1

2568698

La présente invention concerne principalement un dispositif de simulation logique pouvant être utilisé pour effectuer la simulation logique d'un circuit ou dispositif logique pouvant être du type dit LSI (à grande échelle d'intégration).

Des dispositifs de simulation logique pour circuits intégrés à semi-conducteurs et matériel du même genre sont décrits dans les demandes de brevet déposées aux Etats-Unis d'Amérique sous le No 513 489, le 13 juillet 1983, au nom de Tohru Sasaki, l'un des auteurs de la présente invention, et sous le No 514 900, le 18 juillet 1983, au nom de Kenji Ohmori, ces deux demandes de brevet étant destinées à être cèdées à la Société demanderesse de la présente demande.
On connait également divers autres simulateurs logiques pour circuits intégrés. De façon générale, conformément à l'art. antérieur des simulateurs logiques pour circuits intégrés, on simule le fonctionnement logique d'ensemble d'un circuit logique par mise en mémoire de résultats de simulation. Les mémoires utilisées à cet effet doivent avoir une énorme capacité. Par exemple, le nombre d'élément de mémoire ou cellule s'élève à 2^n lorsque le circuit logique à un nombre d'entrée égal a n.

Un but de la présente invention est donc de fournir un simulateur logique pour circuits intégrés ou matériel du même genre nécessitant une capacité de mémoire aussi réduite que possible.

D'autres buts et résultats de l'invention apparaîtront clairement d'après la description qui va suivre.

Conformément à un premier aspect, l'invention fournit un simulateur logique pour effectuer une simulation logi- d'un circuit logique comprenant une pluralité de portes divisibles en niveaux successifs, selon un modèle de connexion entre les entrées et les sorties de ces portes, ce simulateur étant caractérisé en ce qu'il comprend :

une mémoire d'entrée pour la mémorisation d'états

logiques des entrées respectives des portes de chaque niveau;

des moyens de mémorisation de modèle, pour la mémorisation dudit modèle de connexion sous forme d'une suite de bits de modèle pour chaque porte de chaque niveau, cette suite de bits de modèle étant representatives des connexions directes de chacune de ces portes avec les portes d'un niveau précédent;

des moyens de mémorisation de fonction, pour la mémorisation de fonctions logiques des portes respectives dudit circuit logique;

des moyens de calcul fonctionnant, en réponse aux états logiques de chaque niveau choisi en tant que niveau particulier, aux suites de bits de modèle pour les portes respectives de ce niveau particulier et aux fonctions logiques des portes respectives de ce niveau particulier, de façon à calculer successivement, pour les portes de ce niveau particulier, ces états logiques en tant qu'états calculés pris par les sorties respectives des portes de ce niveau particulier; et

des moyens d'alimentation pour alimenter ladite mémoire d'entrée par lesdits états calculés en tant qu'états logiques des entrées respectives des portes d'un niveau consécutif.

L'invention sera mieux comprise grâce à la description détaillée qui va suivre d'exemple d'exécution du simulateur logique selon l'invention en se référant au dessin annexé dans lequel :

La figure 1 est un schéma bloc d'un simulateur logique conformément à une première forme de réalisation du simulateur logique selon l'invention;

La figure 2 représente, sous forme de blocs, une partie d'un circuit logique destinée à être utilisée lors de la description du fonctionnement du simulateur logique illustré à la figure 1;

La figure 3 est un schéma bloc d'un simulateur logique selon une deuxième forme d'exécution du simulateur selon d'invention;

Les figures 4 (A) et (B) représentent collective-

ment un diagrame temporel destiné à la description du fonctionnement du circuit logique illustré à la figure 3, et

La figure 5 est un schéma bloc d'un simulateur logique selon une troisième forme d'exécution du simulateur selon l'invention.

On se référera maintenant aux figures 1 et 2 qui représentent un simulateur logique destiné à effectuer la simulation logique d'un circuit ou appareil logique comprenant une pluralité de portes diverses. Dans un exemple illustré à la figure 2, le circuit logique comprend des bornes d'entrée de circuit T^1, T^2, T^3... ainsi qu'une pluralité de portes A^1, A^2, A^3,... B^1, B^2, B^3... qui ont diverses fonctions logiques ou sont destinés à effectuer diverses opérations logiques individuelles. Conformément à une première forme d'exécution du simulateur selon l'invention, le simulateur logique comprend une mémoire d'entrée 11 destinée à mémoriser, tout d'abord, les états logiques d'entrée du circuit qui doivent être attribués aux bornes d'entrée de circuit respectives (en faisant abstraction des indices) et, à partir d'elles, à certaines des portes, telles que les portes A (en faisant abstraction des indices). On ce référera dans la suite de la description aux états logiques d'entrée de circuits en tant qu'états logiques primitifs, afin d'abréger la description. Les états logiques primitifs sont donnés par la mémoire d'entrée 11 en passant par une ligne de signal d'entrée de circuit 12 qui est décrite comme consistant en une pluralité de conducteurs permettant le passage d'un signal sous forme de bits en parallèle.

De la manière décrite dans les demandes de brevet sus-mentionnées déposées au nom de Sasaki et de Ohmori, il est possible de diviser les portes A, B (en faisant abstraction des indices), etc., en niveaux successifs selon un modèle de connexion qui est spécifique au circuit logique considéré et représente les connexions entre les entrées de portes et les sorties de portes, des portes A, B, etc. Plus particulièrement, on attribue aux portes A, les états logiques primitifs en tant qu'états logiques d'entrée de porte. On classe les portes A selon le niveau 1 ou premier niveau. Suivant les fonctions logiques des portes A de niveau 1 respecti-

ves, et les états logiques d'entrée de portes de niveau 1, les sorties de portes A ont des états logiques de sortie de portes de niveau 1. Dans l'exemple en cours d'illustration, on attribue aux portes B les états logiques de sortie de porte de niveau 1 en tant qu'états logiques d'entrée de portes. On classe ces portes B selon le niveau 2 ou second niveau.

D'une manière qui apparaîtra clairement d'après la suite de la description, la mémoire d'entrée 11 mémorise les états logiques des sorties de portes respectives pour chaque niveau en tant qu'états logiques d'entrée des entrées de portes respectives des portes d'un niveau consécutif, en correspondance avec les portes individuelles du niveau consécutif.

De tels états logiques d'entrée de portes sont produits pour chaque niveau sous forme d'une suite de bits d'état envoyés dans une ligne de signal intermédiaire 13. Il est à noter, à ce propos, qu'il est discuté en détails, dans la demande de brevet déposée au nom de Sasaki, que les portes A, B et autres du circuit logique peuvent être divisées en niveaux successifs de manières diverses.

Une mémoire de modèle 16 sert à mémoriser le modèle de connexion sous forme d'une suite de bits de modèle pour chaque porte de chaque niveau. A cet effet, la mémoire de modèle 16 mémorise de telles suites de bits de modèle pour les portes respectives du circuit logique. Chaque suite de bits de modèle représente la présence et l'absence de connexions directes de la porte en question avec les portes d'un niveau précédent. Le niveau précédent, selon le terme employé dans la présente description, peut ne pas être un niveau unique. Plus particulièrement, seules certaines des entrées de porte de la porte considérée peuvent être directement raccordées aux sorties de portes de la porte d'un niveau immédiatement précédent alors que d'autres entrées de la porte peuvent être directement connectées à sortie de porte de la porte se trouvant à un niveau qui précède encore le niveau immédiatement précédent. Dans le seul but de faciliter la description, on admettra que les niveaux sont choisis un par un en tant que niveau particulier. Il est donc possible

de dire que la mémoire de modèle 16 sert à mémoriser la suite de bits de modèle pour chaque porte du niveau particulier.

La suite de bits de modèle peut être formé pour chaque porte du niveau particulier en attribuant un bit binaire à chacune des portes du niveau précédent. Dans l'exemple illustré, la porte de niveau 2 B^1 est directement connectée aux portes de niveau 1 A^1 et A^2 et n'est pas connectée aux autres portes de niveau 1 A^3, etc. En conséquence, la suite de bits de modèle est mémorisée dans la mémoire de modèle 16 pour la porte B^1 avec un et les autres valeurs binaires données aux bits assignées aux portes A^1, A^2 et aux bits attribuées aux portes A^3, et autres, respectivement. La suite de bits de modèle pour la porte B^1 peut être une suite de bits binaires 00111... . De manière similaire, la suite de bits de modèles pour la porte B^2 peut être une autre succession de bits binaires 1001... .

Une mémoire de fonction 17 sert à mémoriser les fonctions logiques des portes respectives du circuit logiques. Comme décrit dans la demande de brevet au nom de Sasaki, les fonctions logiques sont mémorisées en tant que "types" dans un "premier" circuit de mémoire. En ce qui concerne la demande de brevet au nom de Ohmori, les fonctions logiques sont mémorisées en tant que "opérations logiques" dans une unité de mémoire de "portes". Il est aisément possible pour un spécialiste de donner les fonctions logiques pour la mémoire de fonction 17 en tenant compte de l'une ou l'autre des demandes de brevets de Sasaki ou de Ohmori.

Un circuit de chargement 18 sert à charger dans la mémoire de modèle 13 et la mémoire de fonction 17 les suites de bits de mémoire pour les portes respectives du circuit logique et les fonctions logiques de ce circuit, respectivement.Selon le circuit logique pour lequel le fonctionnement logique d'ensemble doit être simulé pour divers états logiques primitifs, la suite de bits de modèles et la fonction logique sont introduites, pour chaque porte du circuit logique,dans le circuit de chargement 18 par l'intermédiaire d'une autre ligne de signal d'entrée de circuit 19. Pour chaque porte du circuit logique, les mémoires de modèle et de

fonction 16 et 17 produisent la suite de bits de modèle pour cette porte et un signal de fonction représentant sa fonction logique et les envoie respectivement aux lignes de signal de sortie de modèle et de fonction 21 et 22.

Un calculateur 25 permet de calculer, porte par porte de chaque niveau ou du niveau particulier, les états logiques de sortie de portes sous forme d'états calculés. Lorsque la porte présente une pluralité de sortie de porte, de la manière décrite à titre d'exemple pour la porte A^2, les états calculés sont produits pour les sorties de portes respectives de la porte considérée. Lorsque la porte présente une seule sortie de porte comme dans le cas des portes A^1, A^3 et B^1, seul l'état calculé est produit. Dans les deux cas, le calculateur 25 fonctionne comme une unité de simulation décrite dans la demande de brevet déposée au nom de Sasaki et délivre l'état ou les états calculés pour chaque porte du niveau particulier à une mémoire tampon 26.

De tels états calculés sont produits pour les portes du niveau particulier, le calculateur 25 recevant de la mémoire d'entrée 11 la suite de bits d'état représentant les états logiques des entrées de portes respectives des portes considérées et recevant de la mémoire de modèle 16 les suites de bits de modèle pour ces portes respectives et, de la mémoire de fonction 17 les fonctions logiques de ces portes. En calculant l'état ou les états logiques de sortie pour la porte B^1, le niveau particulier est le niveau 2. De la manière qui est décrite précédemment et sera décrite dans la suite immédiate de la description, les états logiques de sortie des portes de niveau 1 A sont déjà mises en mémoire dans la mémoire d'entrée 11 sous forme des états logiques d'entrée des portes de niveau 2 B, en correspondance avec les portes de niveau 2 individuelles B. Le calculateur 25 effectue une opération logique entre la suite de bits d'état pour le niveau 2, c'est à dire pour les entrée de porte des portes de niveau 2 B, et la suite de bits de modèle pour la porte B^1 de manière à fournir une suite de bits résultante en considération de la fonction logique de la porte B^1 considérée.

Lors de l'opération logique pour la porte de niveau

2 B^1, les bits binaires de la suite de bits d'état pour les porte de niveau 2 B sont maintenus inchangés dans la suite de bits résultante aux positions de bits qui sont assignées aux portes de niveau 1 A^1 et A^2 qui ont des sorties de portes directement connectées aux entrées de portes de la porte B^1 et sont représentées par des bits 0 binaires dans la suite de bits de modèle pour la porte de niveau 1 B^1. On attribue aux autres bits binaires de la suite de bits d'état pour les portes de niveau 2 B, dans la suite de bits résultante, une valeur binaire commune déterminée en considération de la fonction logique de la porte B^1, de manière à ne pas affecter une opération logique similaire qui doit être effectuée sur la suite de bits résultantes et la fonction logique de la porte B^1. Par exemple, la valeur commune est la valeur binaire 1 et la valeur binaire 0 lorsque la porte B^1 est une porte ET en série, telle qu'une porte ET ou une porte NON-ET et une porte OU en série, telle qu'une porte exclusive OU, respectivement.

Après l'obtention de la suite de bits résultante pour la porte B^1 le calculateur 25 effectue l'opération logique similaire mentionnée ci-dessus de façon à fournir l'état ou les états calculés que la porte B^1 présente en tant qu'état ou états logiques de sortie lorsqu'elle est alimentée par les états logiques d'entrée donnés pour la porte B^1 dans la suite de bits d'état. Le calculateur 25 calcule les états logiques de sortie successivement pour les portes B^1 B^2, et les autres portes de niveau 2, c'est à dire du niveau particulier.

De la manière décrite ci-dessus à titre d'exemple pour la porte de niveau 2 B^1, les états logiques de sortie sont calculés tout d'abord pour les portes A du niveau 1 et emmagasinés dans la mémoire tampon 26. Les états logiques de sortie sont fournis à la mémoire d'entrée 11 à travers une ligne de signal de raccordement 27 ou ils sont emmagasinés en tant qu'état logique d'entrée pour les portes de niveau 2 B. De cette manière, les états logiques de sorties sont emmagasinés dans les mémoires d'entrée 11, le cas échéant pour l'avant dernier niveau. Après quoi, la mémoire tampon 26 est chargée avec les états logiques de sortie pour le dernier ni-

veau. Ces états logiques de sortie sont produits à travers une ligne de signal de sortie de circuit 29 sous forme d'états logique de sortie de circuit ou en tant que résultat éventuel de la simulation pour l'ensemble du fonctionnement logique du circuit logique et peuvent être emmagasinés dans la mémoire d'entrée 11 comme les états logiques de sortie pour les niveaux allant du niveau 1 à l'avant dernier niveau.

En se référant à la figure 3, on voit qu'un simulateur logique selon une deuxième forme de mise en oeuvre du simulateur selon l'invention comprend des parties similaires à celles du simulateur qui vient d'être décrit et qui sont désignées par les mêmes chiffres de référence . Ce simulateur logique peut être utilisé lorsque le circuit logique est divisé en un nombre prédéterminé de groupes de portes dont chacun est constitué par les portes des niveaux successifs. Pour faciliter la description, on supposera que ce nombre prédéterminé est égal à 4. On se référera donc aux groupes de portes en tant que groupes de portes allant du premier au quatrième groupe. Ces goupes de portes sont similaires aux "groupes" décrits dans la demande de brevet déposée au nom de Sasaki, en se référant à la figure 5 de ce document.

Comme on le voit à la figure 3, la mémoire d'entrée 11 emmagasine les états logiques pour les entrées respectives des portes de chaque niveau dans les premier au quatrième groupes de portes, en correspondance avec les portes individuelles du niveau considéré dans les groupes de portes. Par conséquent, la mémoire d'entrée 11 est pratiquement équivalente à celle qui a été décrite en se référant à la forme d'exécution illustré à la figure 1.

La mémoire de modèle 16 comprend des première à quatrième parties de mémoire de modèle 161, 162, 163 et 164, correspondant respectivement au premier à quatrième groupe de porte. La ième partie de mémoire de modèle 16 i est destiné à mémoriser la suite de bits de modèle pour chaque porte qui est choisie, à un moment donné, en tant que porte particulière pour les portes du niveau particulier dans le ième groupe de porte. Chaque suite de bits de modèle peut être une suite de

bits binaires pour les portes respectives d'un niveau précédent qui ont un rapport avec la porte particulière dans au moins un des groupes de portes. Bien que le circuit de charge soit désigné par le chiffre de référence 18, il est à remarquer que le circuit de charge 18 doit introduire les suites de bits de modèle pour les portes des groupes de portes respectives dans les parties de mémoire de modèle 161 à 164.

La mémoire de fonction 17 comprend, de manière analogue, des première à quatrième partiesde mémoire de fonction 171, 172, 173 et 174 pour les groupes de portes respectifs. Chaque partie de mémoire de fonction 17 i est destinée à mémoriser les fonctions logiques des portes respectives du groupe de portes auquels correspond la partie de mémoire de fonction 17 i. Le circuit de charge 18 introduit les fonctions logiquesdes portes des groupes de portes respectifs dans les parties de mémoire de fonction 171 à 174. Le calculateur 25 comprend un calculateur unitaire 31 et un circuit de sélection qui comprend, à son tour, un sélecteur 33 et un circuit de commande 34 pour celui-ci. Le sélecteur 33 est alimenté successivement, en provenance des parties de mémoire de modèle 161 à 164, en quatre suites de bits de modèle pour quatre portes des groupes de portes respectifs et, à partir des parties de mémoire de fonction 171 à 174, en quatre fonctions logiques des quatres portes considérées. Sous la commande du circuit de commande 34, le sélecteur 33 sélectionne successivement une des quatres séries de bits de modèle et une des quatres fonctions logiques pour une des quatres portes successivement, afin de les introduire dans le calculateur unitaire 31 par une ligne de signal commune 35. De cette manière, le sélecteur 33 sélectionne cycliquement les parties de mémoire de modèle 161 à 164 et les parties de mémoire de fonction 171 à 174.

Le calculateur unitaire 31 fonctionne de manière similaire au calculateur 25 décrit en relation avec la forme d'exécution illustrée à la figure 1 et il est alimenté, à partir de la mémoire d'entrée 11, par une série de bits d'état représentant les états logiques qui sont mis en mémoire

pour les portes du niveau particulier dans les premier à quatrième groupes de portes. De manière cyclique pour les premier à quatrième groupes de portes, le calculateur unitaire 31 est alimenté, en provenance du sélecteur 33, par les suites de bits de modèle pour les portes respectives du niveau particulier et les fonctions logiques des portes respectives du niveau particulier. Ainsi, le calculateur unitaire 31 calcule les états logiques de sortie des portes du niveau particulier dans les premiers à quatrième groupes de portes.

On va maintenant décrire, en se référant à la figure 4 (A), le fonctionnement du simulateur logique illustré à la figure 1. Pour les quatre portes successives du niveau particulier, les mémoires 11, 16 et 17 sont lues, à des premier à quatrième intervalles de temps t^1, t^2, t^3 et t^4, respectivement, qui forment une série intermittente. Les états logiques de sorties des portes respectives sont calculés à des intervalles de temps t^5, t^6, t^7 et t^8 qui suivent les premier à quatrième intervalles de temps t^1 à t^4, respectivement.

En se référant maintenant à la figure 4 (B), on voit qu'on obtient une plus grande vitesse de simulation en utilisant le simulateur logique illustré à la figure 3. On supposera, aux seules fins de faciliter la description de la vitesse de simulation, que quatre portes consécutives de chaque niveau sont divisées en premier à quatrième groupes de portes, respectivement. Un ou plusieurs des quatre groupes de portes peut être constitué par les portes d'un nombre commun qui est différent du nombre de portes d'un autres groupes de portes. Pour ces quatres portes du niveau particulier, les suites de bits de modèle et les sigaux de fonction sont lus à partir des parties des mémoires de modèles 161 à 164 et à partir des parties de mémoire de fonction 171 à 174, dans le sélecteur 33, dans les premier à quatrième intervalles de temps t^1 à t^4 qui sont en parallèle. Le calculateur unitaire 31 calcule successivement les états logiques de sortie des quatre portes au cours des intervalles de temps t^5 à t^8 en utilisant les

suites de bits de modèle et les fonctions logiques qui sont successivement choisies par le sélecteur 33 pour chacune des quatre portes respectives au cours de la sélection cyclique.

En se référant maintenant à la figure 5, on voit qu'un simulateur logique selon une troisième forme d'exécution du simulateur selon l'invention comprend des parties similaires à celles des simulateurs précédemment décrits, ces parties étant désignée à nouveau par les mêmes chiffres de référence. Toutefois, le circuit de chargement seul est désigné par le chiffre de référence 18'. Ceci en vue de tenir compte du fait que le circuit de charge 18' est différent de celui qui est décrit en relation avec la forme d'exécution illustréeà la figure 1, dans une certaine mesure qui apparaîtra clairement dans la suite de la description.

Pour les portes de chaque niveau, c'est à dire du niveau particulier, les portes du niveau précédent sont classés en blocsde portes en considération de la présence et de l'absence de connexion directe entre les entrées de portes des portes du niveau particulier et les sorties de portes des portes des blocs de portes respectifs. On attribue aux blocs de portes respectifs des numéros de blocs. Il est à noter que les blocs de portes, conformément à la terminologie utilisée dans la présente description, sont différents des "blocs logiques" décrits dans la demande de brevet déposée au nom de Sasaki. En correspondance avec les blocs de portes respectifs, les suites de bits d'état sont divisées en partiesde suite de bits d'état.

De la manière décrite ci-dessus, les états logiques des entrées de portes respectives des portes du niveau particulier sont les états logiques des sorties de portes respectives des portes du niveau précédent. On peut comprendre que les bornes d'entrées de circuits T correspondent aux portes de niveau 0 qui précédent le niveau 1 dans les niveaux successifs. Par conséquent, la mémoire d'entrée 11 mémorise les états logiques des sorties de portes respectives du niveau précédent sous forme de parties de suite de bits d'état en correspondance avec les numéros de blocs.

La suite de bits de modèle est formée pour la porte

particulière en fonction de la présence et de l'absence de connexions directes avec les blocs de portes individuels. En d'autres termes, la suite de bits de modèle est formée, pour la porte particulière, en prêtant attention aux blocs de portes lors de la discrimination de la présence de la connexion directe aux blocs de portes par rapport à l'absence d'une telle connexion. La mémoire de modèle 16 emmagasine de telles suites de bits de modèle pour les portes respectives du circuit logique. La mémoire de modèle 16 peut donc avoir une capacité de mémoire réduite. Il est à noter, à ce propos, que la mémoire de fonction n'est pas différente de celle qui a été décrite précédemment.

Le calculateur 25 comprend un calculateur unitaire 36 et un spécifieur de bloc 38. Le spécifieur de bloc 38 sert à mémoriser les numéros de bloc pour les portes du circuit logique qui y sont emmagasinés par le circuit de chargement 18 en correspondance avec les portes respectives du circuit logique. Pour la porte particulière, le spécifieur de bloc 38 spécifie l'un des numéros de bloc en tant que numéro spécifié assigné aux blocs de portes ayant la connexion directe avec la porte particulière. Le numéro spécifié est délivré vers une ligne de signal de sortie de numéros 39. En d'autres termes, le spécifieur de bloc 38 spécifie un des blocs de portes en tant que bloc spécifié qui est directement connecté à la porte particulière. On comprend maintenant qu'une combinaison de la ligne de signal intermédiaire 13 et la ligne de signal de sortie de numéro 39 sert en tant que dispositif associé à la mémoire d'entrée 11 et au spécifieur de bloc 38 pour spécifier les états logiques des sorties respectives des portes du bloc spécifié en tant qu'états spécifiés.

Le calculateur unitaire 36 est similaire au calculateur unitaire 31 (figure 3). Toutefois, le calculateur unitaire 36 est alimenté à partir du spécifieur de bloc 38 par le nombre spécifié et utilise une des parties de suite de bits d'état qui est représentative des états spécifiés. Ainsi, le calculateur unitaire 36 calcule l'état ou les états à calculer pour la porte particulière et, par conséquent, les états

calculés pour les portes d'un niveau particulier.

Bien que l'invention ait été décrite ci-dessus, en se référant spécifiquement à quelques formes d'exécution du simulateur logique selon l'invention, on comprendra clairement que chacun des circuits logiques illustrés en se référant aux figures 1, 3 et 5, comprend des mémoires 11, 16 et 17 ayant des capacités aussi réduites que possible . Ceci résulte du fait que les états logiques, le modèle de raccordement et les fonctions logiques sont mémoirisés dans les mémoires respectives, ce qui rend possible de diminuer considérablement les résultats de simulation à mettre en mémoire. Il est possible d'effectuer le calcul au moyen de logiciel en représentant le modèle de connexion par des index , de manière connue en soit. En outre, il est possible de substituer dans la mémoire d'entrée 11, les états logiques de sortie accumulée pour chaque niveau dans la mémoire tampon 26 aux états logiques d'entrée pour un niveau immédiatement précédent. Dans ce cas, les états logiques de sortie de chaque niveau peuvent être fournis à une imprimante ou un dispositif enregistreur du même genre, par la ligne de signal de sortie de circuit 29 afin d'être enregistrés sur un support d'enregistrement pour permettre de contrôler les états logiques de sortie des niveaux respectifs. Le calculateur 25, 31 ou 36 peut calculer ou non, les états logiques de sortie pour chaque niveau dans l'ordre illustré à la figure 2 par les portes A^1, A^2, A^3,... ou les portes B^1, B^2, etc. Il est possible de diviser les portes du circuit logique en groupe de portes et en outre, de classer les portes de chaque niveau précédent des groupes de portes en blocs de portes.

REVENDICATIONS

1. Simulateur logique pour effectuer une simulation logique d'un circuit logique comprenant une pluralité de portes divisible en niveaux successifs, selon un modèle de connexion entre les entrées et les sorties de ces portes, caractérisé en ce qu'il comprend :

une mémoire d'entrée pour la mémorisation d'états logiques des entrées respectives des portes de chaque niveau ;

des moyens de mémorisation de modèle, pour la mémorisation dudit modèle de connexion sous forme d'une suite de bits de modèle pour chaque porte de chaque niveau, cette suite de bits de modèle étant représentative des connexions directes de chacune de ces portes avec les portes d'un niveau précédent ;

des moyens de mémorisation de fonction, pour la mémorisation de fonctions logiques des portes respectives dudit circuit logique ;

des moyens de calcul fonctionnant, en réponse aux états logiques de chaque niveau choisi en tant que niveau particulier, aux suites de bits de modèle pour les portes respectives de ce niveau particulier et aux fonctions logiques des portes respectives de ce niveau particulier, de façon à calculer successivement, pour les portes de ce niveau particulier, ces états logiques en tant qu'états calculés pris par les sorties respectives des portes de ce niveau particulier ; et

des moyens d'alimentation pour alimenter ladite mémoire d'entrée par lesdits états calculés en tant qu'états logiques des entrées respectives des portes d'un niveau subséquent.

2. Simulateur logique selon la revendication 1, caractérisé en ce que lesdits moyens de mémorisation de modèle consistent en une mémoire de modèle pour la mémorisation de ladite suite de bits de modèle pour chaque porte de chaque niveau et en ce que lesdits moyens de mémorisation de fonction consistent en une mémoire de fonction pour la mémorisation desdites fonctions logiques pour les portes respectives dudit circuit logique.

3. Simulateur logique selon la revendication 1,

pour circuit logique divisible en un nombre prédéterminé de groupes de portes, chaque groupe de porte étant constitué par les portes desdits niveaux successifs, caractérisé en ce que :

ladite mémoire d'entrée sert à la mémorisation des états logiques des entrées respectives des portes de chaque niveau dans les groupes de portes respectifs ;

lesdits moyens de mémorisation de modèle comprennent une pluralité de mémoires de modèle, correspondant aux groupes de portes respectifs, la mémoire de modèle correspondant à chaque groupe de porte servant à mémoriser la suite de bits de modèle pour chaque porte de chaque niveau du groupe de portes considéré ;

lesdits moyens de mémorisation de fonctions comprennent une pluralité de mémoires de fonction correspondant aux groupes de portes respectifs, la mémoire de fonction correspondant à chaque groupe de porte servant à mémoriser les fonctions logiques des portes respectives du groupe de portes en question ;

lesdits moyens de calcul comprenant :

un sélecteur pour sélectionner cycliquement lesdites mémoires de modèle et lesdites mémoires de fonction pour les portes dudit niveau particulier dans les groupes de portes respectifs ; et

un calculateur fonctionnant, en réponse aux états logiques mémorisés dans ladite mémoire d'entrée, pour les portes dudit niveau particulier, dans les groupes de portes respectifs, aux suites de bits de modèle mémorisées dans les mémoires de modèle sélectionnées pour les portes dudit niveau particulier, dans les groupes de portes respectifs, et aux fonctions logiques mémorisées dans les mémoires de fonction sélectionnées par les portes dudit niveau particulier, dans les groupes de portes respectifs, de façon à calculer les états calculés successivement pour les portes dudit niveau particulier dans les groupes de portes respectifs.

4. Simulateur logique selon la revendication 1, pour circuit logique dans lequel les portes d'un niveau précédent sont classées, pour les portes dudit niveau particulier, en une pluralité de blocs de portes, caractérisé en ce que :

ladite mémoire d'entrée sert à la mémorisation des états logiques des sorties respectives des portes dudit niveau précédent pour les blocs de portes respectifs ;

lesdits moyens de mémorisation de modèle servent à la mémorisation de ladite suite de bits de modèle pour chaque porte dudit niveau particulier, en attirant l'attention sur lesdits blocs de porte lors du contrôle de la connexion directe avec les portes dudit niveau précédent ;

lesdits moyens de calcul comprenant :

un spécifieur de bloc pour spécifier le bloc de porte, pour chaque porte dudit niveau particulier, en tant que bloc spécifié ;

des moyens, associés à ladite mémoire d'entrée et audit spécifieur de bloc, pour spécifier les états logiques des portes dudit bloc spécifié, en tant qu'états spécifiés, et

un calculateur fonctionnant, en réponse à ces états spécifiés, aux suites de bits de modèle pour les portes respectives dudit niveau particulier et aux fonctions logiques des portes respectives dudit niveau particulier, de façon à calculer les états calculés successivement pour les portes dudit niveau particulier.

Fig:1

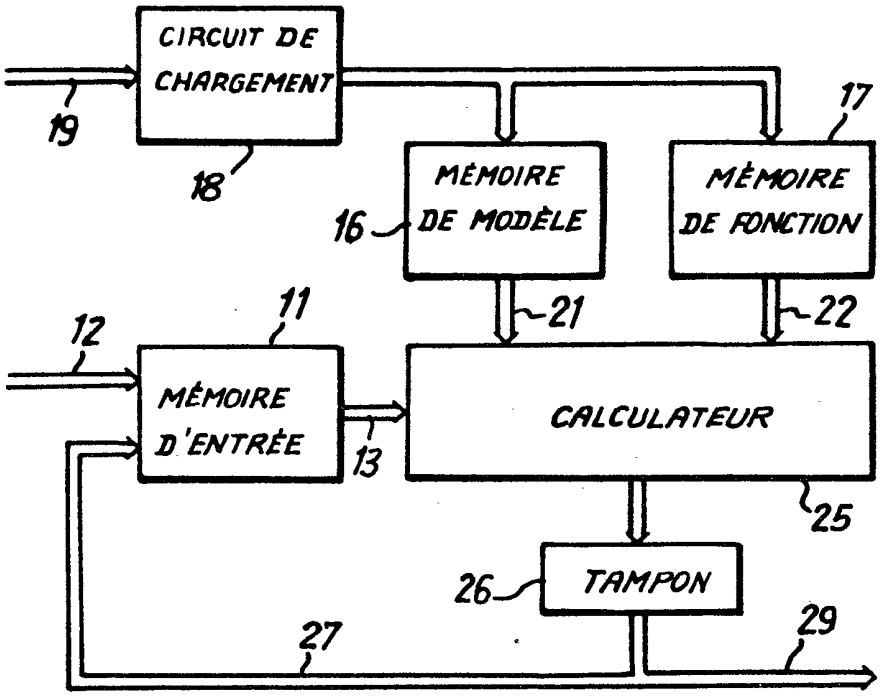

CIRCUIT DE CHARGEMENT
19
18
17
MÉMOIRE DE MODÈLE
16
MÉMOIRE DE FONCTION
21
22
12
11
MÉMOIRE D'ENTRÉE
13
CALCULATEUR
25
26
TAMPON
27
29

Fig:2

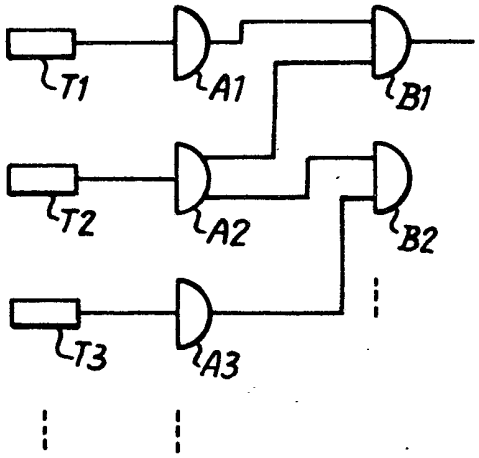

T1
A1
B1
T2
A2
B2
T3
A3

Fig: 3

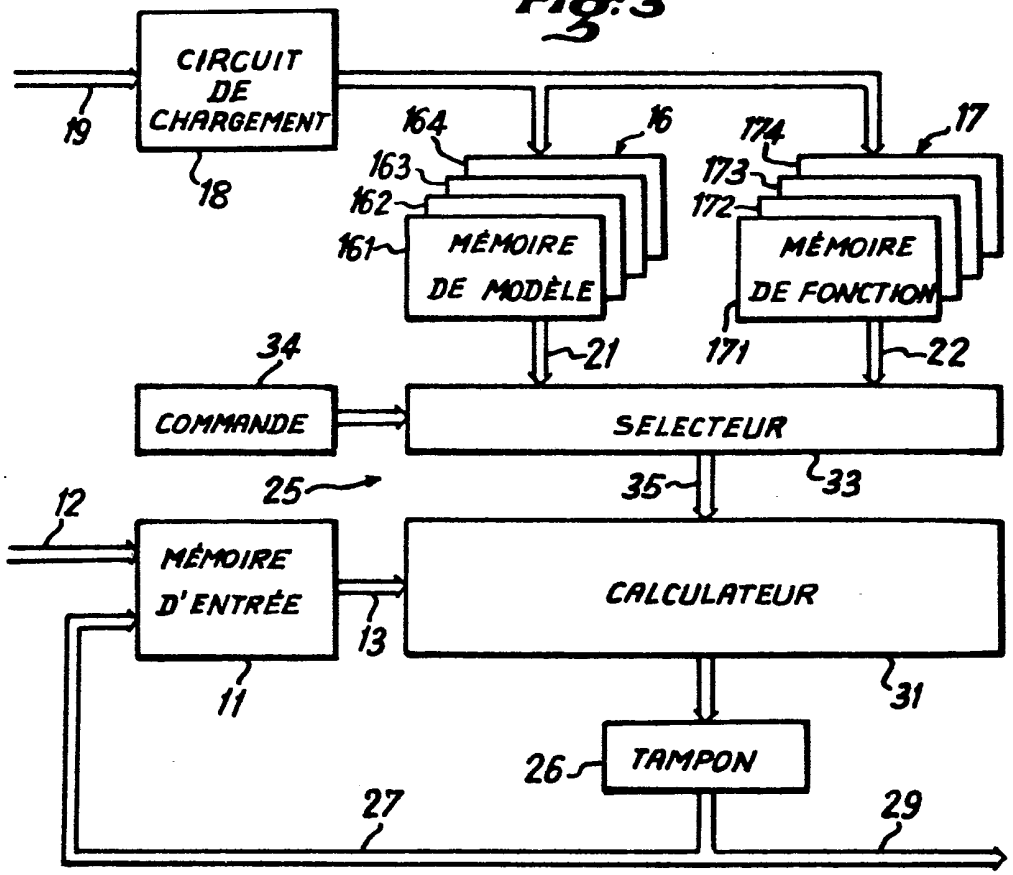

CIRCUIT DE CHARGEMENT
19
18
164
16
163
162
161
MÉMOIRE DE MODÈLE
174
17
173
172
MÉMOIRE DE FONCTION
171
34
21
22
COMMANDE
SELECTEUR
25
35
33
12
MÉMOIRE D'ENTRÉE
13
CALCULATEUR
11
31
26
TAMPON
27
29

Fig: 4

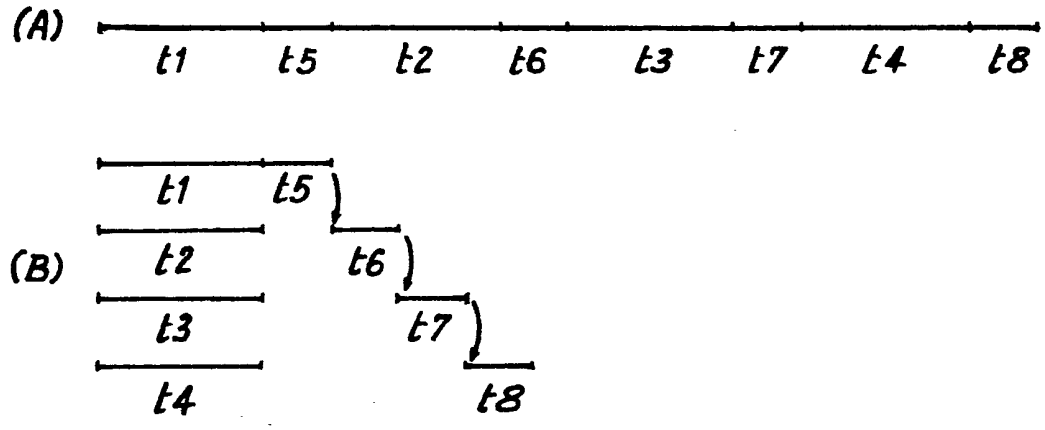
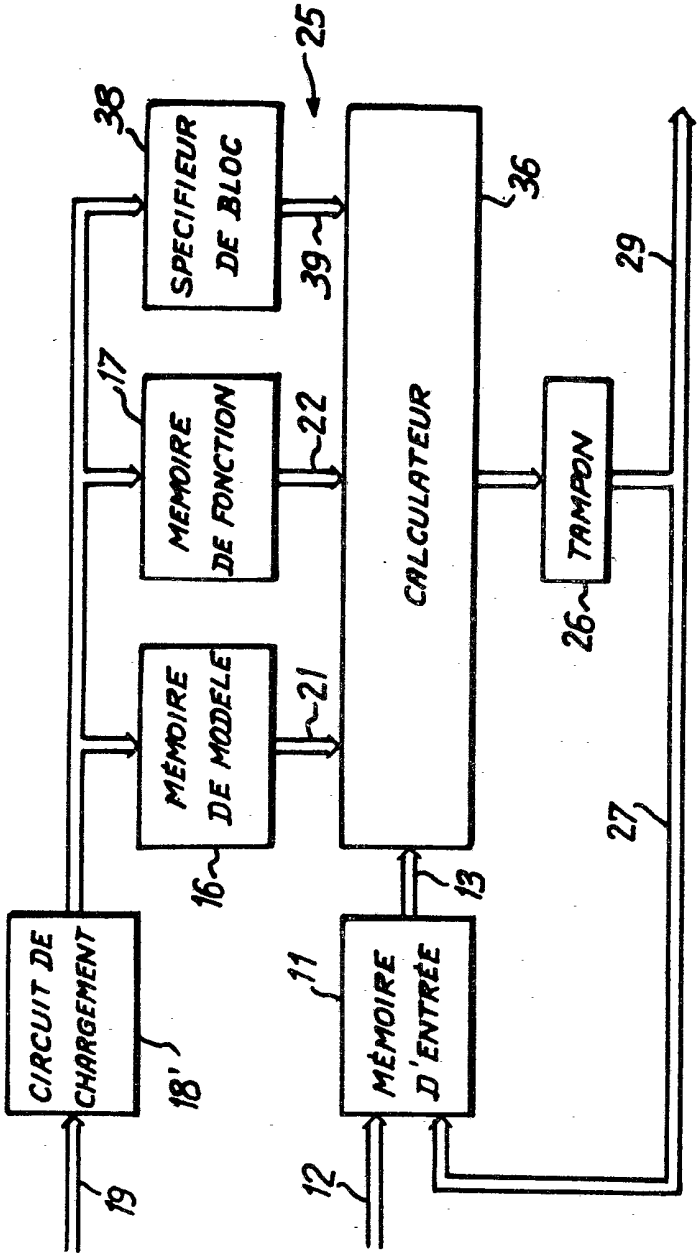

(A)
t1
t5
t2
t6
t3
t7
t4
t8
(B)
t1
t5
t2
t6
t3
t7
t4
t8

Fig.5


25
38
SPECIFIEUR DE BLOC
39
36
29
17
MEMOIRE DE FONCTION
22
CALCULATEUR
TAMPON
26
MÉMOIRE DE MODELE
21
16
27
13
CIRCUIT DE CHARGEMENT
18'
11
MÉMOIRE D'ENTRÉE
19
12