



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년02월26일
 (11) 등록번호 10-1368313
 (24) 등록일자 2014년02월19일

(51) 국제특허분류(Int. Cl.)
 H01L 29/872 (2006.01) H01L 27/115 (2006.01)
 H01L 21/8247 (2006.01)
 (21) 출원번호 10-2012-7003805
 (22) 출원일자(국제) 2012년07월09일
 심사청구일자 2012년03월02일
 (85) 번역문제출일자 2012년02월13일
 (65) 공개번호 10-2012-0026634
 (43) 공개일자 2012년03월19일
 (86) 국제출원번호 PCT/US2010/041539
 (87) 국제공개번호 WO 2011/008650
 국제공개일자 2011년01월20일
 (30) 우선권주장
 12/502,221 2009년07월13일 미국(US)
 (56) 선행기술조사문헌
 US04888304 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 시게이트 테크놀로지 엘엘씨
 미국 캘리포니아 95104 쿠퍼티노 사우쓰 디 엔자
 블러바드 10200
 (72) 발명자
 김, 영
 미국 55347 미네소타 에덴 프레리 빅토리아 드라
 이브 9151
 누를, 아민
 미국 55125 미네소타 우드버리 라이너 드라이브
 8797
 (뒷면에 계속)
 (74) 대리인
 특허법인 남앤드남

전체 청구항 수 : 총 12 항

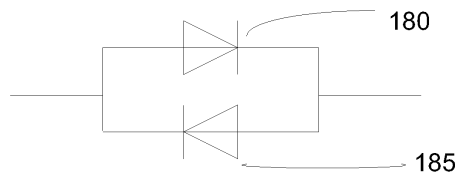
심사관 : 김창주

(54) 발명의 명칭 쇼트키 다이오드 스위치 및 이를 포함하는 메모리 유닛들

(57) 요약

제 1 부분 및 제 2 부분을 갖는 제 1 반도체층; 제 1 부분 및 제 2 부분을 갖는 제 2 반도체층; 상기 제 1 반도체층과 상기 제 2 반도체 층 사이에 배치되는 절연층; 제 1 접합을 형성하는 상기 제 1 반도체층의 제 1 부분과 접촉하며, 제 2 접합을 형성하는 상기 제 2 반도체층의 제 1 부분과 접촉하는 제 1 금속 접촉부; 및 제 3 접합을 형성하는 상기 제 1 반도체층의 제 2 부분과 접촉하며, 제 4 접합을 형성하는 상기 제 2 반도체층의 제 2 부분과 접촉하는 제 2 금속 접촉부를 포함하고, 상기 제 1 접합 및 상기 제 4 접합은 쇼트키(Schottky) 접촉들이고, 상기 제 2 접합 및 상기 제 3 접합은 옴(ohmic) 접촉들이고, 스위칭 엘리먼트가 기재된다.

대표도 - 도1b



(72) 발명자

다디, 세티아디

미국 55436 미네소타 에디나 제프 플레이스 5841

베누고팔란, 화이트야나탄

미국 55437 미네소타 블루밍턴 해리슨 로드 9851
아파트먼트 308

웨이, 티안

미국 55437 미네소타 블루밍턴 웨스트 98 스트리트
4101 아파트먼트 #202

진, 인식

미국 55122 미네소타 이건 존니 케이크 알코브
1569

특허청구의 범위

청구항 1

스위칭 엘리먼트로서,

제 1 부분 및 제 2 부분을 갖는 제 1 반도체층;

제 1 부분 및 제 2 부분을 갖는 제 2 반도체층;

상기 제 1 반도체층과 상기 제 2 반도체 층 사이에 배치되는 절연층;

제 1 집합을 형성하는 상기 제 1 반도체층의 제 1 부분과 접촉하며, 제 2 집합을 형성하는 상기 제 2 반도체층의 제 1 부분과 접촉하는 제 1 금속 접촉부; 및

제 3 집합을 형성하는 상기 제 1 반도체층의 제 2 부분과 접촉하며, 제 4 집합을 형성하는 상기 제 2 반도체층의 제 2 부분과 접촉하는 제 2 금속 접촉부를 포함하고,

상기 제 1 집합 및 상기 제 4 집합은 쇼트키(Schottky) 접촉들이고,

상기 제 2 집합 및 상기 제 3 집합은 옴(ohmic) 접촉들인,

스위칭 엘리먼트.

청구항 2

제 1 항에 있어서,

상기 제 1 반도체층 및 상기 제 2 반도체층은, 실리콘, 실리콘 함유 화합물들, 게르마늄, 게르마늄 함유 화합물들, 알루미늄 함유 화합물들, 붕소 함유 화합물들, 갈륨 함유 화합물들, 인듐 함유 화합물들, 카드뮴 함유 화합물들, 아연 함유 화합물들, 납 함유 화합물들 및 주석 함유 화합물들로부터 독립적으로 선택되는,

스위칭 엘리먼트.

청구항 3

제 1 항에 있어서,

상기 제 1 반도체층은 결정질 실리콘이고,

상기 제 2 부분은 인(P), 붕소(B) 또는 비소(As)로 도핑되는,

스위칭 엘리먼트.

청구항 4

제 1 항에 있어서,

상기 제 2 반도체층은 결정질 실리콘이고,

상기 제 1 부분은 인(P), 붕소(B) 또는 비소(As)로 도핑되는,

스위칭 엘리먼트.

청구항 5

제 1 항에 있어서,

상기 제 1 반도체층의 제 2 부분 및 상기 제 2 반도체층의 제 1 부분은 인(P), 붕소(B) 또는 비소(As)로 고농도로 도핑되는,

스위칭 엘리먼트.

청구항 6

제 5 항에 있어서,
 상기 제 1 반도체층의 제 1 부분 및 상기 제 2 반도체층의 제 2 부분은 고농도로 도핑되지 않는,
 스위칭 엘리먼트.

청구항 7

제 1 항에 있어서,
 제 2 절연층 및 기관층을 더 포함하고,
 상기 제 2 절연층은 상기 기관층과 상기 제 1 반도체층 사이에 위치되고,
 상기 제 2 절연층은 상기 제 1 금속 접촉부 및 상기 제 2 금속 접촉부와 접촉하는,
 스위칭 엘리먼트.

청구항 8

비휘발성 메모리 엘리먼트로서,
 스위칭 디바이스; 및
 비활성 메모리 셀을 포함하고,
 상기 스위칭 디바이스는,
 제 1 부분 및 제 2 부분을 갖는 제 1 반도체층;
 제 1 부분 및 제 2 부분을 갖는 제 2 반도체층;
 상기 제 1 반도체층과 상기 제 2 반도체 층 사이에 배치되는 절연층;
 제 1 접합을 형성하는 상기 제 1 반도체층의 제 1 부분과 접촉하며, 제 2 접합을 형성하는 상기 제 2 반도체층의 제 1 부분과 접촉하는 제 1 금속 접촉부;
 제 3 접합을 형성하는 상기 제 1 반도체층의 제 2 부분과 접촉하며, 제 4 접합을 형성하는 상기 제 2 반도체층의 제 2 부분과 접촉하는 제 2 금속 접촉부를 포함하고,
 상기 제 1 접합 및 상기 제 4 접합은 쇼트키 접촉들이고, 상기 제 2 접합 및 상기 제 3 접합은 옴 접촉들이고,
 상기 스위칭 디바이스는 상기 비활성 메모리 셀과 직렬로 전기적으로 접속되는,
 비휘발성 메모리 엘리먼트.

청구항 9

삭제

청구항 10

제 8 항에 있어서,
 상기 제 1 반도체층의 제 2 부분 및 상기 제 2 반도체층의 제 1 부분은 인(P), 붐소(B) 또는 비소(As)로 도핑되는,
 비휘발성 메모리 엘리먼트.

청구항 11

제 8 항에 있어서,
 상기 제 1 반도체층의 제 1 부분 및 상기 제 2 반도체층의 제 2 부분은 도핑되지 않는,
 비휘발성 메모리 엘리먼트.

청구항 12

제 8 항에 있어서,
 상기 제 1 반도체층 및 상기 제 2 반도체층은 실질적으로 동일한 두께를 갖는,
 비휘발성 메모리 엘리먼트.

청구항 13

제 8 항에 있어서,
 상기 비활성 메모리 셀은 스핀 토크 전달 랜덤 액세스 메모리(STRAM) 스택인,
 비휘발성 메모리 엘리먼트.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

배경 기술

[0001] 메모리의 새로운 타입들은 메모리의 통상적으로 이용되는 타입들과 경쟁할 수 있는 상당한 잠재력을 보였다. 예를 들어, 비휘발성 스핀 전달 토크 랜덤 액세스 메모리(spin-transfer torque random access memory)(여기서 "STRAM"으로 지칭됨) 및 저항 랜덤 액세스 메모리(resistive random access memory)(여기서 "RRAM"으로 지칭됨) 모두는 차세대 메모리를 위한 우수한 후보들로 고려된다. FLASH 메모리(NAND 또는 NOR)와 같은 확립된 메모리 타입들과 더 효과적으로 경쟁하기 위한 STRAM 및 RRAM의 능력은 칩 상에 메모리 유닛들(메모리 셀 및 그 메모리 셀과 연관된 구동 디바이스)이 형성될 수 있는 밀도를 증가시킴으로써 극대화될 수 있다.

발명의 내용

[0002] 제 1 부분 및 제 2 부분을 갖는 제 1 반도체층; 제 1 부분 및 제 2 부분을 갖는 제 2 반도체층; 상기 제 1 반도체층과 상기 제 2 반도체 층 사이에 배치되는 절연층; 제 1 접합을 형성하는 상기 제 1 반도체층의 제 1 부분과 접촉하며, 제 2 접합을 형성하는 상기 제 2 반도체층의 제 1 부분과 접촉하는 제 1 금속 접촉부; 및 제 3 접합을 형성하는 상기 제 1 반도체층의 제 2 부분과 접촉하며, 제 4 접합을 형성하는 상기 제 2 반도체층의 제 2 부분과 접촉하는 제 2 금속 접촉부를 포함하는 스위칭 엘리먼트가 기재되며, 여기서 상기 제 1 접합 및 상기 제 4

접합은 쇼트키(Schottky) 접촉들이고, 상기 제 2 접합 및 상기 제 3 접합은 옴릭(ohmic) 접촉들이다.

[0003] 또한, 제 1 부분 및 제 2 부분을 갖는 제 1 반도체층; 제 1 부분 및 제 2 부분을 갖는 제 2 반도체층; 상기 제 1 반도체층과 상기 제 2 반도체 층 사이에 배치되는 절연층; 제 1 접합을 형성하는 상기 제 1 반도체층의 제 1 부분과 접촉하며, 제 2 접합을 형성하는 상기 제 2 반도체층의 제 1 부분과 접촉하는 제 1 금속 접촉부; 제 3 접합을 형성하는 상기 제 1 반도체층의 제 2 부분과 접촉하며, 제 4 접합을 형성하는 상기 제 2 반도체층의 제 2 부분과 접촉하는 제 2 금속 접촉부 - 상기 제 2 접합 및 상기 제 3 접합은 옴릭 접촉들이 - 를 포함하는 스위칭 디바이스 및 비활성 메모리 셀을 포함하는 비휘발성 메모리 엘리먼트가 기재되며, 여기서 상기 스위칭 디바이스는 상기 비활성 메모리 셀과 직렬로 전기적으로 접속된다.

[0004] 또한, 제 1 반도체층, 절연층 및 제 2 반도체층을 포함하는 적층 물품(layered article)을 제공하는 단계; 상기 적층 물품의 제 1 부분만을 보호하는 제 1 마스크 영역을 형성하는 단계; 제 1 에너지 레벨을 사용하여 상기 제 2 반도체층의 제 1 부분만을 도핑하는 단계; 상기 적층 물품의 제 2 부분만을 보호하는 제 2 마스크 영역을 형성하는 단계 - 상기 적층 물품의 제 1 부분 및 제 2 부분은 단지 부분적으로만 오버랩함 - ; 제 2 에너지 레벨을 사용하여 상기 제 1 반도체층의 제 2 부분만을 도핑하는 단계 - 상기 제 1 에너지 레벨 및 상기 제 2 에너지 레벨은 상이하고, 이로써 도핑된 적층 물품을 형성함 - ; 상기 도핑된 적층 물품의 일부 상에서만 접촉 마스크를 형성하는 단계; 적어도 상기 제 2 반도체층, 상기 절연층 및 상기 제 1 반도체층 중 일부를 에칭하는 단계; 및 상기 제 2 반도체층, 상기 절연층 및 상기 제 1 반도체층의 에칭된 영역들에서 제 1 금속 접촉부 및 제 2 금속 접촉부를 형성하는 단계를 포함하는 스위칭 엘리먼트를 형성하는 방법이 기재된다.

[0005] 이들 및 다양한 다른 특징들 및 이점들이 다음의 상세한 설명의 관독으로부터 명백해질 것이다.

도면의 간단한 설명

[0006] 본 개시는 첨부 도면들과 관련하여 본 개시의 다양한 실시예들의 다음의 상세한 설명을 고려하여 더 완전하게 이해될 수 있다.

도 1a는 여기에서 기재되는 스위칭 엘리먼트의 실시예의 개략도이다.

도 1b는 여기에서 기재되는 스위칭 엘리먼트의 기능을 도시하는 회로도이다.

도 1c는 여기에서 기재되는 가설적인(hypothetical) 스위칭 엘리먼트의 전류-전압(I-V) 곡선이다.

도 2a 및 2b는 여기에서 기재되는 스위칭 엘리먼트들의 개략도들이다.

도 3은 스위칭 엘리먼트를 형성하는 예시적인 방법을 도시하는 흐름도이다.

도 4a 내지 4g는 다양한 제조 단계들에서의 스위칭 엘리먼트를 도시한다.

도 5a 내지 5c는 여기에서 기재되는 비휘발성 메모리 엘리먼트들에서 이용될 수 있는 저항 감지 메모리(RSM) 셀들의 다양한 타입들의 개략도들이다(도 5a 및 5b는 STRAM을 도시하고, 도 5c는 RRAM을 도시함).

도 6a는 여기에서 기재되는 바와 같은 비휘발성 메모리 엘리먼트의 개략도이다.

도 6b는 여기에서 기재되는 바와 같은 비휘발성 메모리 엘리먼트의 회로도이다.

도 7a 내지 7c는 여기에서 기재되는 바와 같은 비휘발성 메모리 유닛들을 통합할 수 있는 크로스바 메모리 어레이(crossbar memory array)들의 부분들에 대한 사시도들(도 7a 및 7b) 및 개략도(도 7c)이다.

도면들은 반드시 실제 크기 비율이지는 않다. 도면들에서 사용되는 유사한 번호들은 유사한 컴포넌트들을 지칭한다. 그러나, 소정의 도면에서의 컴포넌트를 지칭하기 위한 번호의 사용이 동일한 번호로 라벨링된 또 다른 도면에서의 컴포넌트를 제한하도록 의도되지 않는다는 것이 이해될 것이다.

발명을 실시하기 위한 구체적인 내용

[0007] 다음의 설명에서, 본 개시의 일부를 형성하며, 몇몇의 구체적인 실시예들이 예시의 방식으로 도시된 첨부 도면들의 세트가 참조된다. 다른 실시예들이 참조되고, 본 개시의 범위 또는 사상으로 부터 벗어나지 않으면서 이루어질 수도 있다는 것이 이해되어야 한다. 따라서, 다음의 상세한 설명은 제한하는 의미로 해석되어서는 안 된다.

[0008] 별도로 표시되지 않는 한, 본 명세서 및 청구항들에서 사용되는 최소 배선폭들, 양들, 및 물리적 속성들을 표현

하는 모든 수들은 모든 경우들에서 "약"이라는 용어에 의해 수식되는 것으로 이해되어야 한다. 따라서, 반대로 표시되지 않는 한, 전술한 명세서 및 첨부된 청구항들에서 설명된 수치 파라미터들은 여기에서 기재되는 교시들을 이용하여 당업자들에 의해 획득되도록 추구되는 원하는 속성들에 따라 변화할 수 있는 근사치들이다.

- [0009] 엔드포인트(endpoint)들에 의한 수치 범위들의 기재는 그 범위 내에 포함된 모든 수들(예를 들어, 1 내지 5는 1, 1.5, 2, 2.75, 3, 3.80, 4, 및 5를 포함함) 및 그 범위 내의 임의의 범위를 포함한다.
- [0010] 본 명세서 및 첨부된 청구항들에서 사용되는 바와 같이, "하나" 및 "그"와 같은 단수 형태들은, 별도로 내용을 명확하게 지시하지 않는 한, 복수의 지시 대상들을 갖는 실시예들을 포함한다. 본 명세서 및 첨부된 청구항들에서 사용되는 바와 같이, "또는"이라는 용어는 일반적으로, 별도로 내용을 명확하게 지시하지 않는 한, "및/또는"을 포함하는 그 용어의 의미로 사용된다.
- [0011] "하부", "상부", "밑", "아래", "위" 및 "최상부"를 포함하지만 이에 제한되지는 않는 공간적으로 관련된 용어들은, 여기에서 사용되는 경우 엘리먼트(들) 대 다른 엘리먼트의 공간적 관계들을 설명하기 위해서 기술의 편의상 이용된다. 이러한 공간적으로 관련된 용어들은, 도면들에서 도시되고 여기에서 설명되는 특정 방향들에 부가하여 사용 또는 동작 중인 디바이스의 상이한 방향들을 포함한다. 예를 들어, 도면들에서 도시된 셀이 뒤집히거나 또는 거꾸로 돌려지는 경우, 다른 엘리먼트들 아래 또는 밑에 있는 것으로 이전에 설명된 부분들이 그 다른 엘리먼트들 위에 있을 것이다.
- [0012] 여기에서 사용되는 바와 같이, 예를 들어, 엘리먼트, 컴포넌트, 또는 층이 또 다른 엘리먼트, 컴포넌트, 또는 층 "상에", "에 접속되는", "와 연결되는" 또는 "와 접촉하는" 것으로 설명되는 경우, 예를 들어, 그 엘리먼트, 컴포넌트, 또는 층이 특정 엘리먼트, 컴포넌트, 또는 층 바로 위에 있을 수 있거나, 직접 접속될 수 있거나, 직접 연결될 수 있거나, 직접 접촉할 수 있거나, 또는 개재된 엘리먼트들, 컴포넌트들, 또는 층들이 특정 엘리먼트, 컴포넌트, 또는 층 상에 있을 수 있거나, 접속될 수 있거나, 연결될 수 있거나, 또는 접촉할 수 있다. 예를 들어, 엘리먼트, 컴포넌트, 또는 층이 또 다른 엘리먼트 "바로 위에", "에 직접 접속되는", "와 직접 연결되는", 또는 "와 직접 접촉하는" 것으로 지칭되는 경우, 예를 들어 어떠한 개재된 엘리먼트들, 컴포넌트들, 또는 층들도 존재하지 않는다.
- [0013] 스위치들로서 이용될 수 있는 전자 디바이스들이 여기에서 기재된다. 기재되는 전자 디바이스들은 스위칭 디바이스들 또는 스위칭 엘리먼트들로 또한 지칭될 수 있다. 일반적으로, 스위치는 전기 회로를 단속(break)할 수 있는 전기 컴포넌트로서, 전류를 차단하거나 하나의 컨덕터로부터 또 다른 컨덕터로 전류를 우회시킨다. 여기에서 기재되는 바와 같은 스위치들은 양-방향 스위치들로 또한 지칭될 수 있다. 양-방향 스위치는 전기 회로를 단속할 수 있으며, 또한 스위치를 통해 전류를 어느 방향으로든 지향(direct)할 수 있다. 스위칭 디바이스들은 다이오드를 이전에 이용하였거나 이용하였을 것인 애플리케이션들 뿐만 아니라 다른 애플리케이션들에서 이용될 수 있다. 여기에서 기재되는 스위칭 디바이스들은 또한 높은 구동 전류들을 견뎌낼 수 있다.
- [0014] 여기에서 기재되는 바와 같은 스위칭 디바이스의 실시예는 도 1a에 도시될 수 있다. 예시적인 스위칭 디바이스는 제 1 반도체층(130), 절연층(140), 제 2 반도체층(150), 제 1 금속 접촉부(160) 및 제 2 금속 접촉부(170)를 포함한다. 도 1a에 도시되는 바와 같이, 절연층(140)(실시예들에서, 제 1 절연층(140)으로 또한 지칭될 수 있음)은 제 1 반도체층(130)과 제 2 반도체층(150) 사이에 위치될 수 있다. 실시예들에서, 절연층(140)은 제 1 반도체층(130) 및 제 2 반도체층(150) 사이에 직접 위치될 수 있으며, 제 1 반도체층(130)과 제 2 반도체층(150) 모두와 접촉한다.
- [0015] 실시예들에서, 제 1 금속 접촉부(160)는 제 1 반도체층(130), 절연층(140) 및 제 2 반도체층(150)에 인접한다. 실시예들에서, 제 1 금속 접촉부(160)는 제 1 반도체층(130), 절연층(140) 및 제 2 반도체층(150)의 제 1 부분들(131, 141 및 151) 각각에 인접한다. 실시예들에서, 제 1 금속 접촉부(160)는 제 1 반도체층(130), 절연층(140) 및 제 2 반도체층(150)의 제 1 부분들(131, 141 및 151)과 접촉한다. 실시예들에서, 제 1 금속 접촉부(160)는 제 1 반도체층(130), 절연층(140) 및 제 2 반도체층(150)의 제 1 부분들(131, 141 및 151)과 직접 접촉한다.
- [0016] 실시예들에서, 제 2 금속 접촉부(170)는 제 1 반도체층(130), 절연층(140) 및 제 2 반도체층(150)에 인접한다. 실시예들에서, 제 2 금속 접촉부(170)는 제 1 반도체층(130), 절연층(140) 및 제 2 반도체층(150)의 제 2 부분들(133, 143 및 153) 각각에 인접한다. 실시예들에서, 제 2 금속 접촉부(170)는 제 1 반도체층(130), 절연층(140) 및 제 2 반도체층(150)의 제 2 부분들(133, 143 및 153)과 접촉한다. 실시예들에서, 제 2 금속 접촉부(170)는 제 1 반도체층(130), 절연층(140) 및 제 2 반도체층(150)의 제 2 부분들(133, 143 및 153)과 직접 접

촉한다.

- [0017] 제 1 반도체층(130)의 제 1 부분(131)은 제 1 접합부(162)에서 제 1 금속 접촉부(160)와 접촉하고; 제 2 반도체층(150)의 제 1 부분(151)은 제 2 접합부(164)에서 제 1 금속 접촉부(160)와 접촉하고; 제 1 반도체층(130)의 제 2 부분(133)은 제 3 접합부(172)에서 제 2 금속 접촉부(170)와 접촉하고; 제 2 반도체층(150)의 제 2 부분(153)은 제 4 접합부(174)에서 제 2 금속 접촉부(170)와 접촉한다. 제 1, 제 2, 제 3 및 제 4 접합부들(162, 164, 172 및 174)은 오믹(ohmic) 또는 쇼트키 접합부들이다.
- [0018] 금속 및 반도체가 밀접하게 접촉할 때마다, 대부분의 전하 캐리어들(전자(electron)들 또는 홀(hole)들)이 하나의 재료로부터 다른 재료로 통과하는 것을 방해하는 두 재료들 사이의 전위 장벽이 존재한다. 오직 소수의 캐리어들만이 장벽을 극복하기에 충분한 에너지를 가지며, 다른 재료로 건너간다. 바이어스가 접합부에 인가될 때, 바이어스는 두 효과들 중 하나를 가질 수 있다: 바이어스는 장벽이 반도체 측으로부터 낮게 나타나게 할 수 있거나, 또는 바이어스는 장벽이 반도체 측으로부터 높게 나타나게 할 수 있다. 바이어스는 금속 측으로부터의 장벽 높이를 변경하지 않는다. 이것의 결과는 쇼트키 접합 또는 정류성 접촉(rectifying contact)으로 또한 지칭될 수 있는 쇼트키 장벽이고, 여기서 접합은 하나의 바이어스 극성에 대하여 도통(conduct)되지만, 다른 극성에 대해서는 도통되지 않는다. 반면에, 오믹 접촉들은 두 극성들 모두에 대해서 동일하게 도통된다. 오믹 접촉 또는 오믹 접합은 선형적 그리고 대칭적 전류-전압(I-V) 곡선을 갖고; 쇼트키 접촉 또는 쇼트키 접합은 비선형적 그리고 비대칭적 전류-전압(I-V) 곡선을 갖는다.
- [0019] 특정 금속-반도체 접합이 오믹 접합일 것인지 또는 쇼트키 접합일 것인지는 금속의 일 함수(work function), 반도체의 밴드 갭(band gap), 반도체 내의 도펀트들의 타입 및 농도, 및 다른 인자들에 적어도 부분적으로 의존할 수 있다. 일반적으로, 고농도로 도핑된 반도체와 금속의 접합은 더 얇은 에너지 장벽을 형성한다(도펀트 레벨이 고농도일수록, 장벽은 더 얇아질 것임). 역 바이어스 상태들에서, 전하는 양자 역학적 터널링(quantum mechanical tunneling)으로 인하여 장벽을 통해 흐를 것이다. 실시예들에서, 고농도로 도핑된 반도체 재료와 금속의 접합은 오믹 접합을 형성할 것이고(전류는 양쪽 방향으로 흐를 수 있다: 순방향 바이어스된 전류는 하나의 방향으로, 터널링은 다른(역) 방향으로), 도핑되지 않거나 저농도로 도핑된 반도체 재료와 금속의 접합은 쇼트키 접합을 형성할 것이다.
- [0020] 여기에서 기재되는 스위칭 엘리먼트들의 실시예들에서, 제 1 반도체층(130)은 하나의 오믹 접촉 및 하나의 쇼트키 접촉을 가질 것이고, 제 2 반도체층(150)은 하나의 오믹 접촉 및 하나의 쇼트키 접촉을 가질 것이다. 제 1 반도체층(130) 내의 쇼트키 접촉 및 오믹 접촉의 배향은 일반적으로 제 2 반도체층(150) 내의 쇼트키 접촉 및 오믹 접촉의 배향의 반대일 것이다. 실시예들에서, 제 1 접합부(162)는 쇼트키 접합부일 수 있고, 제 2 접합부(164)는 오믹 접합부일 수 있으며, 제 3 접합부(172)는 오믹 접합부일 수 있고, 제 4 접합부(174)는 쇼트키 접합부일 수 있다. 실시예들에서, 제 1 접합부(162)는 오믹 접합부일 수 있고, 제 2 접합부(164)는 쇼트키 접합부일 수 있으며, 제 3 접합부(172)는 쇼트키 접합부일 수 있고, 제 4 접합부(174)는 오믹 접합부일 수 있다.
- [0021] 제 1 및 제 2 반도체층들(130 및 150) 내의 쇼트키 접촉들과 오믹 접촉들의 반대 배향은 양방향 스위치의 이러한 구성을 갖는 스위칭 엘리먼트들을 형성한다. 양방향 스위치는 제 1 극성을 갖는 전류가 인가되는 경우 제 1 방향으로 전류가 흐르게 하고, 제 2 극성(제 1 극성의 반대)을 갖는 전류가 인가되는 경우 제 2 방향(제 1 방향의 반대)으로 전류가 흐르게 한다. 도 1b는 여기에서 기재되는 스위칭 엘리먼트들의 양방향 특성을 예시하는 회로도들 도시한다. 도 1b의 회로도에 도시되는 바와 같이, 제 1 반도체층 및 제 2 반도체층은 병렬인 제 1 다이오드(180) 및 제 2 다이오드(185)의 기능을 각각 제공한다. 제 1 다이오드(180)는 제 2 다이오드(185)에서 전류가 흐르는 반대 방향으로 전류가 흐르게 한다. 도 1c는 기재되는 가설적인 스위칭 엘리먼트에 대한 전류-전압(I-V) 곡선을 도시한다. 도 1c에 도시되는 바와 같이, 제 1 다이오드(180)는 실질적인 전류가 제 1 방향으로 흐르기 시작하는 임계 전압(V_{T1})을 갖고; 제 2 다이오드(185)는 실질적인 전류가 제 2 방향으로 흐르기 시작하는 임계 전압(V_{T2})을 갖는다. 도 1c에 도시되는 바와 같이, 두 전압들에서 스위칭 엘리먼트로부터 흐르는 전류와 같이, V_{T1} 및 V_{T2} 의 극성은 반대이다. 이것은, 전압 V_{T1} 과 전압 V_{T2} 사이의 전류를 본질적으로 차단하며, 제 1 극성을 갖는 전류가 V_{T2} 미만의 전압들에서 흐르게 하고, 제 2 극성을 갖는 전류가 V_{T1} 초과 전압들에서 흐르게 하는 스위칭 엘리먼트를 제공한다.
- [0022] 스위치로서의 기능에서, 이것은, V_{T2} 보다 적은 전압이 스위칭 엘리먼트에 인가되는 경우 전류가 제 1 방향으로 흐를 것인 반면, V_{T1} 보다 큰 전압이 스위칭 엘리먼트에 인가되는 경우 전류가 제 2 방향으로 흐를 것임을 의미한다. 따라서, 스위칭 엘리먼트는 예를 들어, 비휘발성 메모리 셀과 같은 전기적으로 접속되는 컴포넌트를 통해

전류가 흐르는 방향을 제어하는 데에 이용될 수 있다.

[0023] 여기에서 기재되는 바와 같은 스위칭 엘리먼트들은 양방향 스위칭 및 높은 구동 전류를 견디는 능력의 결합을 유리하게 제공할 수 있다. 상대적으로 많은 양의 전류가 흐를 수 있게 하는 기재되는 스위칭 엘리먼트의 전류 경로의 (종래의 MOS 트랜지스터들에 비해) 상대적으로 더 큰 단면으로 인하여 높은 구동 전류가 필요한 경우, 여기에서 기재되는 스위칭 엘리먼트들이 사용될 수 있다. (스핀 토크 전달 랜덤 액세스 메모리(STRAM)의 예와 같이) 높은 구동 전류가 필요한 경우 또는 요구되는 경우, 스위치가 컴포넌트들과 함께 이용될 수 있기 때문에, 높은 구동 전류들을 처리하는 능력은 유리할 수 있다.

[0024] 도 2a는 여기에서 기재되는 스위칭 엘리먼트의 또 다른 실시예를 도시한다. 도 2a에서의 스위칭 엘리먼트는 상기 논의되는 컴포넌트들을 포함하며, 또한 다른 컴포넌트들을 포함한다. 예를 들어, 제 2 절연층(220)으로 또한 지칭될 수 있는 또 다른 절연층(220)이 제 1 반도체층(230)에 인접할 수 있다. 실시예들에서, 제 2 절연층(220)은 제 1 반도체층(230)에 바로 인접할 수 있다. 제 2 절연층(220)은 제 1 반도체층(230)을 기판(210)으로부터 전기적으로 절연하기 위한 기능을 할 수 있다. 기판은 전기적으로 전도성이 있거나, 반도체 재료일 수 있다. 기판(210)은 스위칭 엘리먼트 구조적 안정성을 제공하기 위한 기능을 할 수 있으며, 스위칭 엘리먼트의 형성 프로세스를 보조할 수 있다.

[0025] 도 1c에 도시되는 가설적인 I-V 곡선은 대칭적이다. 일반적으로, 기재되는 스위칭 엘리먼트의 I-V 곡선이 대칭적이게 하기 위해서, 제 1 반도체층 및 제 2 반도체층에 걸친 경로 길이들은 적어도 실질적으로 동일하여야 하고, 금속/반도체 접합부들(예를 들어, 162, 164, 172 및 174)의 표면 영역은 적어도 실질적으로 동일하여야 한다. 대칭적 제 1 및 제 2 반도체층들을 갖지 않는 스위칭 엘리먼트 및/또는 실질적으로 동일한 표면 영역들은 덜 비대칭적이 되도록 변경될 수 있다. 이것은 예를 들어, 스위칭 엘리먼트를 구성하는 컴포넌트들을 변경함으로써, 도펀트들(아이덴티티(identity) 또는 양)을 변경함으로써, 금속 접촉부들 중 하나 또는 모두를 변경함으로써, 여기에서 논의되지 않은 다른 인자들을 변경함으로써, 또는 이들 인자들의 결합을 변경함으로써 이루어질 수 있다. 대칭적 I-V 곡선을 갖는 스위칭 엘리먼트는 일부 애플리케이션들에서 유리할 수 있다. 예를 들어, 메모리 엘리먼트들과 결합하여 사용될 스위칭 엘리먼트가 대칭적 I-V 곡선을 갖는 것이 유리할 수 있다.

[0026] 제 1 및 제 2 반도체층들의 두께를 실질적으로 동일하게 만드는 것은 상대적으로 간단한 일이기 때문에, 도 2a에 도시되는 예시적인 스위칭 엘리먼트는 대칭적인 I-V 곡선을 갖도록 상대적으로 용이하게 제조될 수 있다. 실시예들에서, 실질적으로 동일한 두께를 갖는 제 1 반도체층 및 제 2 반도체층을 갖는 스위칭 엘리먼트는 대칭적 I-V 곡선을 가질 수 있을 것이다.

[0027] 도 2b에 도시되는 예시적인 스위칭 엘리먼트는 대칭적 I-V 곡선을 갖지 않을 수 있을 것이다. 도 2b에 도시되는 바와 같이, 도시되는 스위칭 엘리먼트는 제 2 반도체층(250)보다 상당히 두꺼운 제 1 반도체층(230)을 가지며; 제 1 반도체층(230)의 접합부들인 제 1 접합부(262) 및 제 3 접합부(274)는 제 2 반도체층(250)의 접합부들(즉, 제 1 금속 접촉부(260) 및 제 2 금속 접촉부(270)와의 제 2 접합부(264) 및 제 4 접합부(272))보다 상당히 많은 표면 영역을 갖는다. 이것은 제 1 반도체층(230)이 제 2 반도체층(250)보다 더 높은 임계 전압을 갖게 할 수 있을 것이다. 따라서, 이러한 스위칭 엘리먼트는 비대칭적 I-V 곡선을 가질 수 있을 것이다.

[0028] 제 1 반도체층 및 제 2 반도체층은 임의의 반도체 재료를 포함할 수 있다. 제 1 반도체층 및 제 2 반도체층은 동일한 재료일 수 있지만, 동일한 재료일 필요는 없다. 제 1 반도체층, 제 2 반도체층 또는 이 둘 모두에 이용될 수 있는 예시적인 반도체들은 실리콘, 실리콘 함유 화합물들, 게르마늄, 게르마늄 함유 화합물들, 알루미늄 함유 화합물들, 붕소 함유 화합물들, 갈륨 함유 화합물들, 인듐 함유 화합물들, 카드뮴 함유 화합물들, 아연 함유 화합물들, 납 함유 화합물들, 주석 함유 화합물들을 포함하지만, 이들로 제한되지 않는다. 예시적인 원소 반도체 및 화합물 반도체는 실리콘 예를 들어, 결정질 실리콘, 게르마늄, 실리콘 탄화물(SiC), 실리콘 게르마늄(SiGe), 알루미늄 안티몬화물(AlSb), 알루미늄 비화물(AlAs), 알루미늄 질화물(AlN), 알루미늄 인화물(AIP), 붕소 질화물(BN), 붕소 인화물(BP), 붕소 비화물(BAs), 갈륨 안티몬화물(GaSb), 갈륨 비화물(GaAs), 갈륨 질화물(GaN), 갈륨 인화물(GaP), 인듐 안티몬화물(InSb), 인듐 비화물(InAs), 인듐 질화물(InN), 인듐 인화물(InP), 알루미늄 갈륨 비화물(AlGaAs, Al_xGa_{1-x}As), 인듐 갈륨 비화물(InGaAs, In_xGa_{1-x}As), 인듐 갈륨 인화물(InGaP), 알루미늄 인듐 비화물(AlInAs), 알루미늄 인듐 안티몬화물(AlInAs), 갈륨 비화물 질화물(GaAsN), 갈륨 비화물 인화물(GaAsP), 알루미늄 갈륨 질화물(AlGaN), 알루미늄 갈륨 인화물(AlGaP), 인듐 갈륨 질화물(InGaN), 인듐 비화물 안티몬화물(InAsSb), 인듐 갈륨 안티몬화물(InGaSb), 알루미늄 갈륨 인듐 인화물(AlGaInP, 또한 InAlGaP, InGaAIP, AlInGaP), 알루미늄 갈륨 비화물 인화물(AlGaAsP), 인듐 갈륨 비화물 인화물(InGaAsP), 알루미늄 인듐 비화물 인화물(AlInAsP), 알루미늄 갈륨 비화물 질화물(AlGaAsN), 인듐 갈륨 비화물 질화물

(InGaAsN), 인듐 알루미늄 비화물 질화물(InAlAsN), 갈륨 비화물 안티몬화물 질화물(GaAsSbN), 갈륨 인듐 질화물 비화물 안티몬화물(GaInNAsSb), 갈륨 인듐 비화물 안티몬화물 인화물(GaInAsSbP), 카드뮴 셀렌화물(CdSe), 카드뮴 황화물(CdS), 카드뮴 텔루르화물(CdTe), 아연 산화물(ZnO), 아연 셀렌화물(ZnSe), 아연 황화물(ZnS), 아연 텔루르화물(ZnTe), 카드뮴 아연 텔루르화물(CdZnTe, CZT), 수은 카드뮴 텔루르화물(HgCdTe), 수은 아연 텔루르화물(HgZnTe), 수은 아연 셀렌화물(HgZnSe), 제일구리 염화물(CuCl), 납 셀렌화물(PbSe), 납 황화물(PbS), 납 텔루르화물(PbTe), 주석 황화물(SnS), 주석 텔루르화물(SnTe), 납 주석 텔루르화물(PbSnTe), 탈륨 주석 텔루르화물(Tl₂SnTe₅), 탈륨 게르마늄 텔루르화물(Tl₂GeTe₅), 비스무트 텔루르화물(Bi₂Te₃), 카드뮴 인화물(Cd₃P₂), 카드뮴 비화물(Cd₃As₂), 카드뮴 안티몬화물(Cd₃Sb₂), 아연 인화물(Zn₃P₂), 아연 비화물(Zn₃As₂) 및 아연 안티몬화물(Zn₃Sb₂)을 포함하지만, 이들로 제한되지 않는다.

[0029] 제 1 반도체층 및 제 2 반도체층 모두의 일부는 도핑된다. 도핑은 반도체의 전기적 속성들을 변경하기 위해서 불순물들을 반도체로 의도적으로 첨가(introduce)하는 프로세스이다. 선택된 특정 도펀트는 최종 스위칭 엘리먼트에서 요구되는 특정 속성들, 도핑될 반도체 재료의 아이덴티티, 여기에서 논의되지 않은 다른 인자들 또는 이들의 결합에 적어도 부분적으로 의존할 수 있다. 예시적인 도펀트들은 III족 및 V족 원소들을 포함할 수 있지만, 이들로 제한되지 않는다. 반도체 재료들이 IV족 재료들(예를 들어, 실리콘, 게르마늄 및 실리콘 탄화물)인 경우, III족 또는 V족 원소들이 도펀트들로서 이용될 수 있다. 구체적인 예시적 도펀트들은 붕소(B), 비화물(As), 인화물(P) 및 갈륨(Ga)을 포함할 수 있지만, 이들로 제한되지 않는다.

[0030] 제 1 절연층 및 선택적 제 2 절연층은 전기적으로 절연성인 임의의 재료로 이루어질 수 있다. 제 1 절연층 및 선택적 제 2 절연층은 동일한 재료일 수 있지만, 동일한 재료일 필요는 없다. 예시적인 절연 재료들은 예를 들어, 알루미늄산화물(Al₂O₃), 실리콘 산화물(SiO₂) 및 마그네슘 산화물(MgO)과 같은 산화물을 포함하지만, 이에 제한되지 않는다.

[0031] 금속 접촉부들은 전기적으로 전도성이 있는 임의의 금속 재료로 이루어질 수 있다. 제 1 금속 접촉부 및 제 2 금속 접촉부는 동일한 재료일 수 있지만, 동일한 재료일 필요는 없다. 예시적인 전기적 전도성 금속 재료들은 텅스텐(W) 또는 귀금속 예를 들어, 금(Au), 플래티늄(Pt), 팔라듐(Pd), 로듐(Rh), 구리(Cu), 니켈(Ni), 은(Ag), 코발트(Co), 철(Fe) 또는 이들의 규화물들을 포함하지만, 이들로 제한되지 않는다.

[0032] 실시예들에서, 제 1 및 제 2 반도체층들 모두는 결정질 실리콘으로 이루어진다. 실시예들에서, 제 1 및 제 2 반도체층들은 붕소, 인화물 또는 비화물로 도핑된다. 실시예들에서, 제 1 절연층 및 제 2 절연층은 존재하는 경우, 실리콘 산화물(SiO₂)로 이루어진다. 실시예들에서, 금속 접촉부들은 텅스텐(W), 니켈 규화물 또는 코발트 규화물이다.

[0033] 도 2a에 도시되는 바와 같은 스위칭 엘리먼트에 대한 제조의 예시적인 방법은 도 3에 제공되며, 도 4a 내지 4g에서 단계적으로 설명된다. 일반적으로, 이러한 제조 방식들은 포토리소그래피(photolithography) 기법들 및 다른 제거 기법들 예를 들어, 에칭, 및 화학 기계적 연마(CMP)를 포함하는 반도체 제조 방법들을 포함할 수 있다. 플라즈마 기상 증착(PVD), 이온화 플라즈마 기반 스퍼터링(sputtering), 롱 쓰로우(long throw) 스퍼터링, 화학 기상 증착(CVD), 원자층 증착(ALD) 및 유기 금속 화학 기상 증착(MOCVD)을 포함하지만 이들로 제한되지 않는 증착 방법들은 예시적인 방법으로 증착되는 다양한 층들을 증착시키는 데에 이용될 수 있다. 도 3에 도시되는 단계들 및 도 4a 내지 4g에서의 이들의 도면은 본 명세서에 기재되는 바와 같은 스위칭 엘리먼트가 제조될 수 있는 방식을 결코 제한하지 않는다. 또한, 도 4a 내지 4g는 반드시 실제 크기 비율이지 않으며, 반드시 준비의 매 상태에서의 물품(article)을 도시하는 것은 아니고, 즉, 물품의 일부 중간 단계들이 도면들의 시퀀스에 도시되지 않을 수 있다는 점에 유의하여야 한다. 또한, 도 4a 내지 4g에 대하여 논의된 재료들 및 프로세스들은 본 명세서에 이용될 수 있는 재료들 또는 프로세스들을 결코 제한하지 않는다.

[0034] 도 3 및 도 4a 내지 4g에 도시되는 예시적인 방법은 기관의 사용을 도시한다. 당업자는 본 명세서를 관독함으로써, 기관의 사용이 필수적이지 않고, 여기에서 기재되는 바와 같은 스위칭 엘리먼트들이 기관의 사용 없이 제조될 수 있으며, 스위칭 엘리먼트가 제조 이후 지지물 상에 배치될 수 있고, 기관이 이용되고 이후 스위칭 엘리먼트의 제조 동안 또는 이후에 제거될 수 있으며, 또는 기관은 전혀 이용될 필요가 없다는 것을 이해할 것이다. 기관은 이용되는 경우, 실리콘, 실리콘 및 게르마늄의 혼합물, 또는 다른 유사한 재료들과 같은 재료들을 포함할 수 있다.

[0035] 여기에서 기재되는 스위칭 엘리먼트를 제조하는 예시적인 방법을 도시하는 흐름도가 도 3에 도시된다. 예시적인 방법에서의 제 1 단계는 적층 물품(layered article)을 제공하는 단계(310)이다. 적층 물품은 적어도 제 1

반도체층, 절연층(제 1 절연층으로 또한 지칭될 수 있음) 및 제 2 반도체층을 포함하며, 제 1 반도체층과 제 2 반도체층 사이에 위치되는 절연층을 갖는다. 예시적인 적층 물품(402)은 도 4b에 도시될 수 있으며, 기관(410), 제 2 절연층(420), 제 1 반도체층(430), 제 1 절연층(440) 및 제 2 반도체층(450)을 포함한다. 본 명세서를 판독함으로써, 적층 물품이 도 4b에 도시되는 층들보다 더 많거나 더 적은 층들을 가질 수 있다는 것이 이해되어야 한다. 적층 물품은 예를 들어, 상업적으로 이용가능한 소스들을 통해 제조 또는 획득될 수 있다.

[0036] 적층 물품을 제조하는 데에 이용될 수 있는 예시적인 선택적 단계들은 단계들(302, 304 및 306)에 도시된다. 단계(302)는 제 1 적층 구조를 제공하는 단계를 포함한다. 제 1 적층 구조는 적어도 제 1 기관, 제 2 절연층 및 제 1 반도체층을 포함할 수 있으며, 제 1 기관과 제 1 반도체층 사이에 위치되는 제 2 절연층을 갖는다. 제 1 적층 구조의 예는 기관 상에 배치되는 절연층 및 절연층 상에 배치되는 제 1 반도체층을 갖는 기관(예를 들어, 실리콘 웨이퍼)을 포함할 수 있다. 제 1 적층 구조의 절연층(제 2 절연층)은 기관(예를 들어, SiO₂)의 일부로부터 절연 재료를 형성하기 위해서, 절연 재료를 증착시킴으로써 또는 기관의 일부를 산화시킴으로써 형성될 수 있다. 예시적인 제 1 적층 구조(405)가 도 4a에 도시되며, 기관(410), 제 2 절연층(420) 및 제 1 반도체층(430)을 포함한다.

[0037] 단계(304)는 제 2 적층 구조를 제공하는 단계를 포함한다. 제 2 적층 구조는 적어도 절연층(제 1 절연층으로 지칭될 수 있음) 및 제 2 반도체층을 포함할 수 있으며, 제 2 반도체층 상에 배치되는 절연층(또는 절연층 상에 배치되는 제 2 반도체층)을 갖는다. 제 2 적층 구조의 예는 산화된 기관(예를 들어, 실리콘 웨이퍼)을 포함할 수 있으며, 여기서 산화된 부분은 절연층이 되며, 산화되지 않은 부분은 제 2 반도체층이 된다. 대안적으로, 반도체 재료(예를 들어, 실리콘 웨이퍼)는 제 2 반도체층 상에 절연층을 형성하기 위해서 반도체 재료 상에 배치되는 절연 재료를 가질 수 있다. 실시예들에서, 실리콘 웨이퍼와 같은 기관이 제 2 적층 구조를 형성하는 데에 이용되는 경우, 실리콘 웨이퍼의 일부는 제 2 반도체층의 두께를 조절하기 위해서 제거될 수 있다. 이것은 예를 들어, 화학 기계적 평탄화(planing)(CMP)와 같은 기법들을 사용하여 이루어질 수 있다. 예시적인 제 2 적층 구조(407)는 도 4a에 도시되며, 절연층(440) 및 제 2 반도체층(450)을 포함한다.

[0038] 단계(306)는 제 2 적층 구조와 접촉하는 제 1 적층 구조를 배치(또는 제 1 적층 구조와 접촉하는 제 2 적층 구조를 배치)하는 단계를 포함한다. 적층 물품을 형성하기 위해서 제 2 적층 구조의 절연층이 제 1 적층 구조의 제 1 반도체층에 인접하도록 제 1 및 제 2 적층 구조들이 구성된다. 실시예들에서, 제 1 적층 구조의 제 1 반도체 계층은 제 2 적층 구조의 절연층에 바로 인접하거나 이와 직접 접촉한다. 이후, 제 1 및 제 2 적층 구조들은 웨이퍼 본딩 기법들을 사용하여 함께 본딩(bond)될 수 있다. 이 단계의 완료는 도 4b에 도시되는 적층 물품(402)을 형성한다.

[0039] 그러나, (단계들(302, 304 및 306)을 통해서든 또는 다른 방법을 통해서든) 적층 물품이 제공되고, 스위칭 엘리먼트를 형성하는 방법에서의 다음 단계는 적층 물품을 도핑하는 단계(320)이다. 적층 물품을 도핑하는 단계는 제 1 반도체층의 일부 및 제 2 반도체층의 일부를 도핑하기 위한 기능을 할 수 있다. 보다 구체적으로, 적층 물품을 도핑하는 단계는 제 2 반도체층의 제 1 부분 및 제 1 반도체층의 제 2 부분(또는 그 반대로 마찬가지로)을 도핑하기 위한 기능을 한다. 적층 물품을 도핑하기 위해서 착수(undertake)될 수 있는 예시적인 선택적 단계들은 단계들(322, 324, 326 및 328)로 도시된다.

[0040] 단계(322)는 제 1 마스크 영역을 형성하는 단계를 포함한다. 마스크 영역들(아래에서 논의될 것인 제 1 마스크 영역 및 제 2 마스크 영역 모두)은 마스크 영역들 아래에 위치되는 재료들의 도펀트들의 주입을 방지하는 재료들로 이루어진다(문맥 내의 위 및 아래는 도펀트 소스의 위치에 의해 정의되며, 도펀트 소스는 적층 물품의 층들 및 마스크 영역들 모두의 위에 위치됨). 마스크 영역들로서 이용될 수 있는 예시적인 재료들은 산화 재료들, 실리콘 질화물들 또는 포토레지스트를 포함하지만, 이들로 제한되지 않는다. 제 1 마스크 영역은 적층 물품의 일부만을 주입으로부터 보호한다. 도 4c에 도시되는 물품은 제 1 마스크 영역(411)을 포함한다.

[0041] 다음 단계(단계(324))는 적층 물품의 일부를 도핑하는 단계를 포함한다. (단계(322)에서 형성되는) 제 1 마스크 영역은 적층 물품의 일부 예를 들어, 제 1 부분의 도핑만을 허용한다. 도 4c에 도시되는 바와 같이, 제 1 마스크 영역 아래로의 주입(화살표에 의해 도시됨)은 방지되며, 제 1 마스크 영역이 적층 물품을 커버하지 않고 있는 부분에는 허용된다. 적층 물품의 제 1 부분의 도핑은 제 1 에너지 레벨을 사용하여 이루어진다. 실시예들에서, 제 1 부분의 도핑은 제 2 반도체층(450)이 고농도로 도핑되게 하고, 제 1 반도체층(430)이 단지 저농도로 도핑되게 하거나 실질적으로 전혀 도핑되지 않게 한다. 차동적인 도핑 레벨들(또는 도핑 및 실질적으로 도핑되지 않음)은 상이한 에너지 레벨들을 사용함으로써 이용될 수 있다.

[0042] 여기에서 도시되는 바와 같이, 단계(324)는 (이 실시예에서 도시되는 바와 같이, 적층 물품의 상부 층인) 제 2

반도체층(450)의 우선적 도핑을 달성한다. 오직 적층 구조의 상부 층 또는 층들의 우선적 도핑은 낮은 주입 에너지를 사용하는 도핑에 의해 이루어질 수 있다. 낮은 에너지를 사용하는 도핑은 특정 깊이를 관통하기에만 충분한 에너지를 도펀트에 제공할 수 있다. 도 4d는 단계(324)의 완료 이후, 제 2 반도체층(450)에 존재하는 도펀트들(451)을 도시한다.

[0043] 단계(326)는 제 2 마스크 영역을 형성하는 단계를 포함한다. 제 2 마스크 영역은 적층 물품의 일부만을 주입으로부터 보호한다. 도 4d에 도시되는 물품은 제 2 마스크 영역(413)을 포함한다. 제 1 마스크 영역(411) 및 제 2 마스크 영역(413)의 위치는 적어도 부분적으로 오버랩될 수 있다. 실시예들에서, 제 1 마스크 영역(411) 및 제 2 마스크 영역(413)은 완전히 오버랩되지 않으며, 단지 부분적으로 오버랩된다. 제 2 마스크 영역(413)은 일반적으로 단계(324)에서 도핑되었던 제 2 반도체층(450)의 적어도 일부를 보호한다. 실시예들에서, 제 2 마스크 영역(413)은 일반적으로 단계(324)에서 도핑되었던 제 2 반도체층(450)의 일부뿐만 아니라 단계(324)에서 도핑되지 않았던 제 2 반도체층(450)의 일부를 보호한다.

[0044] 다음 단계(단계(328))는 적층 물품의 일부를 도핑하는 단계를 포함한다. (단계(326)에서 형성되는) 제 2 마스크 영역은 적층 물품의 일부 예를 들어, 제 2 부분의 도핑만을 허용한다. 도 4d에 도시되는 바와 같이, 제 2 마스크 영역 아래로의 주입(화살표에 의해 도시됨)이 방지되며, 제 2 마스크 영역이 적층 물품을 커버하고 있지 않은 부분에는 허용된다. 적층 물품의 제 2 부분의 도핑은 제 2 에너지 레벨을 사용하여 이루어진다. 제 2 에너지 레벨은 (제 1 부분을 도핑하는 데에 사용되는) 제 1 에너지 레벨과 상이하다. 실시예들에서, 제 2 부분의 도핑은 제 1 반도체층(430)이 고농도로 도핑되게 하고, 제 2 반도체층(450)이 단지 저농도로 도핑되게 하거나 실질적으로 전혀 도핑되지 않게 한다. 고 에너지를 사용하는 도핑은 도펀트들을 적층 물품으로 더 깊게 주입한다. 고 에너지 레벨 도핑은 또한 일반적으로 적층 물품의 상부 층들에서 도펀트들을 증착시키지 않거나 적어도 도펀트들의 상당하지 않은 양을 증착시킨다. 도 4e는 단계(328)의 완료 이후, 제 1 반도체층(430)에 존재하는 도펀트들(431)을 도시한다.

[0045] 단계(320) 또는 선택적 단계들(322, 324, 326 및 328)의 효과는 제 2 반도체층(450)의 제 1 부분만을 도핑하거나 고농도로 도핑하는 것 그리고 제 1 반도체층(430)의 제 2 부분만을 도핑하거나 고농도로 도핑하는 것이다. 제 1 및 제 2 반도체층들(430 및 450)에서 도핑되거나 고농도로 도핑된 영역들의 이러한 반대 구성은 제 1 및 제 2 반도체층(430 및 450)에서 (금속 접촉부들의 형성 이후) 반대로 정렬된 오믹 및 쇼트키 접합들을 형성한다. 단계(320)의 효과는 도 4에 도시되고 409로 지정된 도핑된 적층 물품으로 본 명세서에서 언급되는 것을 형성하는 것이다.

[0046] 도 3에 도시되는 방법에서의 다음 단계는 금속 접촉부들을 형성하는 단계(330)이다. 일반적으로, 금속 접촉부들의 형성은 에칭 및 증착 기법들을 사용하여 이루어질 수 있다. 금속 접촉부들을 형성하기 위해서 착수될 수 있는 예시적인 구체적 선택적 단계들은 단계들(332, 334 및 336)에 도시된다. 금속 접촉부들을 형성하는 이 선택적 방법에서의 제 1 단계는 접촉 마스크를 형성하는 단계(332)이다. 도 4f에 도시되는 접촉 마스크(452)는 일반적으로 도핑된 적층 물품의 일부만을 마스크링한다. 실시예들에서, 접촉 마스크(452)는 제 1 반도체층(450) 또는 제 2 반도체층(430)에서 도핑되지 않은 도핑된 적층 물품의 영역을 마스크링한다. 또한, 제 1 마스크 영역(411) 및 제 2 마스크 영역(413)이 도핑으로부터의 보호를 제공하였을 경우, 접촉 마스크(452)는 도핑된 적층 물품의 적어도 일부를 마스크링한다고 할 수 있다. 일반적으로, 접촉 마스크는 도핑된 적층 물품의 중간에 위치된다. 실시예들에서, 접촉 마스크(452)는 도핑된 적층 물품이 에칭될 때 도핑된 제 1 반도체층 및 도핑된 제 2 반도체층의 적어도 일부가 남아있도록 위치된다.

[0047] 다음 단계(단계(334))는 접촉 마스크(452)를 사용하여 도핑된 적층 물품을 에칭하는 단계를 포함한다. 이 단계는 도핑된 적층 물품의 일부 또는 부분들을 제거하기 위한 기능을 한다. 접촉 마스크(452)에 의해 보호되지 않는 부분들은 도핑된 적층 물품으로부터 제거된다. 에칭은 제 1 및 제 2 금속 접촉 영역들(461 및 471)을 형성한다고 할 수 있다. 결국, 제 1 및 제 2 금속 접촉 영역들(461 및 471)은 금속 접촉부들을 형성하기 위해서 금속으로 충전될 것이다. 에칭은 공지된 에칭 기법들 및 방법들을 사용하여 수행될 수 있다.

[0048] 다음 단계(단계(336))는 제 1 및 제 2 금속 접촉 영역들(461 및 471)에서 금속을 증착시키는 단계를 포함한다. 실시예들에서, 금속은 단지 제 1 및 제 2 금속 접촉 영역들(461 및 471) 이상으로 증착될 수 있다. 실시예들에서, 금속은 제 1 및 제 2 금속 접촉 영역들(461 및 471)을 충전하는 깊이까지 전체 도핑된 적층 물품 상에 증착될 수 있으며, 또한 접촉 마스크(452)에 의해 이미 마스크링되었던 영역 상에 층을 제공한다. 이후, 예를 들어, 제 1 및 제 2 금속 접촉부들(460 및 470)을 형성하기 위해서 금속이 남아 있는 유일한 위치가 제 1 및 제 2 금속 접촉 영역들(461 및 471)이도록, 여분의 금속이 CMP를 통해 제거될 수 있다. 도 4g는 제 1 및 제 2 금속 접

층부들(460 및 470)의 형성 이후, 스위칭 엘리먼트를 형성하는 적층 물품을 도시한다.

- [0049] 여기에 도시되거나 논의되지 않은 다른 선택적 제조 단계들이 또한 여기에 논의되고 예로 든 단계들 이전, 이후, 동안 또는 이들의 결합에서 수행될 수 있다. 방법은 또한, 동시에 2개 이상의 스위칭 엘리먼트를 제조하도록 수행될 수 있다.
- [0050] 여기에 기재되는 바와 같은 스위칭 엘리먼트들은 비휘발성 메모리 셀에 대한 선택적 엘리먼트로서 비휘발성 메모리 셀과 함께 이용될 수 있다. 여기에서 설명되는 바와 같은 메모리 디바이스에서 이용되는 비휘발성 메모리 셀은 많은 상이한 타입들의 메모리를 포함할 수 있다. 여기에서 기재되는 전자 디바이스들에서 이용될 수 있는 비휘발성 메모리 셀의 예시적인 타입은 저항 감지 메모리(RSM) 셀들을 포함하지만, 이에 제한되지 않는다. 예시적인 RSM 셀들은 강유전성 RAM(FerRAM 또는 FRAM); 자기 저항 RAM(MRAM); 저항 RAM(RRAM); PRAM, PCRAM, 및 C-RAM으로 또한 지칭되는 상 변화 메모리(PCM); 전도성-브릿징 RAM 또는 CBRAM으로 또한 지칭되는 프로그램가능한 금속화 셀(PMC); 및 STRAM으로 또한 지칭되는 스핀 토크 전달 RAM을 포함하지만, 이들로 제한되지 않는다.
- [0051] 실시예들에서, RSM 셀은 STRAM 셀일 수 있다. STRAM 메모리 셀들은 MTJ(magnetic tunnel junction)를 포함하며, MTJ는 일반적으로 터널 장벽으로 또한 알려져 있는 얇은 절연층에 의해 분리된 2개의 자성 전극 층들을 포함한다. MTJ의 실시예는 도 5a에 도시된다. 도 5a에서의 MTJ(500)는 제 1 자성층(510) 및 제 2 자성층(530)을 포함하며, 제 1 자성층(510) 및 제 2 자성층(530)은 절연층(520)에 의해 분리된다. 제 1 자성층(510) 및 제 2 자성층(530)은 모두 독립적으로 다층 구조들일 수 있다. 도 5b는 제 1 전극층(540) 및 제 2 전극층(550)과 접촉하는 MTJ(500)를 도시한다. 제 1 전극층(540) 및 제 2 전극층(550)은 제 1 자성층(510) 및 제 2 자성층(530)을 자성층들을 통해 관독 및 기록 전류들을 제공하는 제어 회로(미도시)에 각각 전기적으로 접속시킨다. 제 1 자성층(510) 및 제 2 자성층(530)의 자화 벡터들의 상대적인 배향은 MTJ(500)에 걸친 저항에 의해 결정될 수 있으며; MTJ(500)에 걸친 저항은 제 1 자성층(510) 및 제 2 자성층(530)의 자화 벡터들의 상대적인 배향에 의해 결정될 수 있다.
- [0052] 일반적으로, 제 1 자성층(510) 및 제 2 자성층(530)은 철(Fe), 코발트(Co), 및 니켈(Ni) 합금들과 같은 강자성 합금들로 이루어진다. 실시예들에서, 제 1 자성층(510) 및 제 2 자성층(530)은 FeMn, NiO, IrMn, PtPdMn, NiMn, 및 TbCo와 같은 합금들로 이루어질 수 있다. 일반적으로, 절연층(520)은 알루미늄 산화물(Al₂O₃) 또는 마그네슘 산화물(MgO)과 같은 절연 재료로 이루어진다.
- [0053] 일반적으로, 자성층들 중 하나 예를 들어, 제 1 자성층(510)의 자화는 사전 결정된 방향으로 고정되는(pinned) 반면, 다른 자성층, 예를 들어 제 2 자성층(530)의 자화 방향은 스핀 토크의 영향 하에서 자유롭게 회전한다. 제 1 자성층(510)의 고정은 예를 들어, PtMn, IrMn, 및 그외의 재료들과 같은 반강자성 정렬된 재료에 의한 교환 바이어스(exchange bias)의 사용을 통해 달성될 수도 있다.
- [0054] 특정 MTJ(500)는 제 1 전류가 제 2 자기층(530)(자유층)에서 제 1 자기층(510)(고정층)으로의 방향으로 메모리 셀을 통해 흐르게 함으로써 관독될 수 있다. MTJ(500)의 저항은 자유층이 고정층에 정렬되는지 또는 고정층의 반대로 정렬되는지에 따라 변할 수 있다. 이후, 저항에 의존하는 전압이 검출되고 기준 전압과 비교되어, MTJ가 정렬되는지 또는 반대로 정렬되는지 즉, "1"을 포함하는지 또는 "0"을 포함하는지를 결정할 수 있다. 특정 MTJ(500)는 제 2 전류(제 2 전류는 제 1 전류보다 큼)가 MTJ를 통과하게 함으로써 기록될 수 있다. 전류를 한 방향으로 통과시키는 것은 "1"을 기록할 것이고, 전류를 다른 방향으로 통과시키는 것은 "0"을 기록할 것이다. 여기에서 기재되는 스위칭 엘리먼트들의 양-방향 특성은 MTJ(500)를 통해 전류를 양 방향으로 흐르게 하는 능력을 제공할 수 있다.
- [0055] 실시예들에서, RSM 셀은 RRAM 셀일 수 있다. 도 5c는 예시적인 저항 랜덤 액세스 메모리(RRAM) 셀(560)의 개략도이다. RRAM 셀(560)은 중간층(512)의 전기 저항을 변경함으로써 전류 또는 전압 펄스에 응답하는 중간층(512)을 포함한다. 이 현상은 전기 펄스 유도 저항 변화 효과라 지칭될 수 있다. 예를 들어, 이 효과는 메모리의 저항(즉, 데이터 상태)을 하나 이상의 고 저항 상태(들)로부터 저 저항 상태로 변화시킨다. 중간층(512)은 제 1 전극(514)과 제 2 전극(516) 사이에 삽입(interpose)되고, RRAM 셀의 데이터 저장 재료층으로서 동작한다. 제 1 전극(514) 및 제 2 전극(516)은 전압 소스(미도시)에 전기적으로 접속된다. 제 1 전극(514) 및 제 2 전극(516)은 예를 들어, 금속과 같은 임의의 유용한 전기 전도성 재료로 형성될 수 있다.
- [0056] 중간층(512)을 형성하는 재료는 임의의 알려져 있는 유용한 RRAM 재료일 수 있다. 실시예들에서, 중간층(512)을 형성하는 재료는 금속 산화물과 같은 산화물 재료를 포함할 수 있다. 일부 실시예들에서, 금속 산화물은 바이너리(binary) 산화물 재료 또는 복합 금속 산화물 재료이다. 다른 실시예들에서, 중간층(512)을 형성하는 재

료는 칼코게나이드 고체 전해질 재료(chalcogenide solid electrolyte material) 또는 유기/폴리머 재료를 포함할 수 있다.

- [0057] 바이너리 금속 산화물 재료는 M_xO_y 의 화학식으로서 표현될 수 있다. 이 식에서, "M", "O", "x", 및 "y"라는 문자들은 금속, 산소, 금속 조성비, 및 산소 조성비를 각각 지칭한다. 금속 "M"은 전이 금속 및/또는 알루미늄(Al)일 수도 있다. 이 경우, 전이 금속은 니켈(Ni), 니오븀(Nb), 티타늄(Ti), 지르코늄(Zr), 하프늄(Hf), 코발트(Co), 철(Fe), 구리(Cu), 및/또는 크롬(Cr)일 수도 있다. 중간층(512)으로서 사용될 수도 있는 바이너리 금속 산화물들의 구체적인 예들은 CuO , NiO , CoO , ZnO , CrO_2 , TiO_2 , HfO_2 , ZrO_2 , Fe_2O_3 , 및 Nb_2O_5 를 포함한다.
- [0058] 실시예들에서, 금속 산화물은 예를 들어, 식 $Pr_{0.7}Ca_{0.3}MnO_3$, 또는 $SrTiO_3$, 또는 $SiZrO_3$, 또는 Cr 또는 Nb가 도핑된 이들 산화물들을 갖는 복합 산화물 재료와 같은 임의의 유용한 복합 금속 산화물일 수 있다. 또한, 복합물은 $LaCuO_4$ 또는 $Bi_2Sr_2CaCu_2O_8$ 을 포함할 수 있다. 고체 칼코게나이드 재료의 일례는 은(Ag) 성분을 함유하는 게르마늄-셀레나이드(Ge_xSe_{100-x})이다. 유기 재료의 일례는 폴리(3,4-에틸렌다이옥시티오펜)(즉, PEDOT)이다.
- [0059] 또한, RSM 셀은 납 지르콘산 티탄산염(lead zirconate titanate)("PZT"로 지칭됨) 또는 $SrBi_2Ta_2O_9$ ("SBT"로 지칭됨)와 같은 재료들을 사용하여 도 5c와 유사한 구조들을 갖는 강유전성 캐패시터들을 포함할 수 있다. 이러한 메모리 셀들에서, 분극 방향을 스위칭하기 위해 전류가 사용될 수 있으며, 판독 전류는 분극이 업(up)인지 또는 다운(down)인지를 검출할 수 있다. 이러한 실시예들에서, 판독 동작은 파괴적인 프로세스이며, 여기서, 셀은 내부에 포함된 데이터를 손실하여, 그 셀에 데이터를 다시 기록하기 위해 리프레이시를 요구할 것이다.
- [0060] 기재되는 바와 같은 메모리 엘리먼트들은 상기 기재되는 바와 같은 스위칭 엘리먼트; 및 비활성 메모리 셀을 포함한다. 여기에서 기재되는 바와 같은 메모리 엘리먼트(600)의 예시적인 실시예가 도 6a에 도시된다. 상기 설명되고 예로 든 바와 같이, 메모리 엘리먼트(600)는 제 1 반도체층(650), 절연층(640), 제 2 반도체층(630), 제 1 금속 접촉부(660) 및 제 2 금속 접촉부(670)를 포함하는 스위칭 엘리먼트(615)를 포함한다. 메모리 셀(605)에 대한 공간 배향은 도면에 의해 제한되는 것으로 의미되지 않는다. 배향은 일반적으로 비활성 메모리 셀(605)이 금속 접촉부들 중 하나에 직렬로 전기적으로 접속됨을 도시하는 것으로만 의도된다(도 6a는 제 2 금속 접촉부(670)에 전기적으로 접속되는 비활성 메모리 셀(605)을 도시하지만, 물론 비활성 메모리 셀(605)은 제 1 금속 접촉부(660)에 전기적으로 접속될 수 있음).
- [0061] 도 6b는 비휘발성 메모리 엘리먼트의 컴포넌트들의 기능을 도시하는 회로도이다. 도 6b에 도시되는 바와 같이, 스위칭 엘리먼트(615)는 병렬인 2개의 개별 다이오드들(611 및 612)로서 기능을 한다. 이후, 스위칭 엘리먼트(615)는 저항기로서 기능을 하는 비활성 메모리 셀(605)에 직렬로 접속된다. 소스(680)에 의해 제공되는 전압은 V_{T1} (도 1c 참조)보다 큰 전압을 제공할 수 있거나(이는 전류가 회로를 통해 한 방향으로 흐르게 함), V_{T2} (도 1c 참조)보다 작은 전압을 제공할 수 있다(이는 전류가 회로를 통해 다른 방향으로 흐르게 함). 2개의 경로들은 비휘발성 메모리 셀(605)의 저항 상태를 결정하는 단계를 포함하여, 다양한 동작들이 비활성 메모리 셀(605) 상에서 수행되게 할 수 있다.
- [0062] 여기에서 기재되는 바와 같은 메모리 엘리먼트들은 메모리 어레이들에서 이용될 수 있다. 실시예들에서, 여기에서 기재되는 바와 같은 메모리 엘리먼트들은 크로스바 메모리 어레이들에서 이용될 수 있다. 크로스바 메모리 어레이의 예시적인 도면은 도 7a에 도시된다. 예시적인 크로스바 메모리 어레이는 대략 병렬인 컨덕터들(704)의 제 2 층이 위에 놓이거나(또는 아래에 놓인) 대략 병렬인 컨덕터들(702)의 제 1 층을 포함한다. 실시예들에서, 제 2 층(704)의 컨덕터들은 배향이 제 1 층(702)의 컨덕터들과 실질적으로 수직할 수 있다. 실시예들에서, 층들 사이의 배향 각은 직각이 아닐 수도 있다. 컨덕터들의 2개의 층들은 격자 또는 크로스바를 형성하며, 제 2 층(704)의 각각의 컨덕터는 제 1 층(702)의 컨덕터들 모두의 위에 놓이며, 2개의 컨덕터들 사이의 가장 가까운 접촉을 나타내는 컨덕터 교차점들에서 제 1 층(702)의 각각의 컨덕터와 가깝게 접촉한다. 도 7a의 개별 컨덕터들이 사각 단면들을 갖는 것으로 도시되지만, 컨덕터들은 또한 정사각형, 원형, 타원형, 또는 임의의 다른 일정한 또는 일정하지 않은 단면들을 가질 수 있다. 또한, 컨덕터들은 많은 상이한 폭들 또는 지름들, 및 형상비들 또는 이심률(eccentricity)들을 가질 수 있다.
- [0063] 상기 기재되는 바와 같은 메모리 엘리먼트들은 크로스바 메모리 어레이들의 컨덕터 교차점들 중 적어도 일부에 배치될 수 있다. 실시예들에서, 기재된 메모리 엘리먼트들은 컨덕터 교차점들의 실질적으로 모두에 배치될 수 있다. 기재되는 메모리 엘리먼트들에 의해 접속되는 컨덕터 교차점은 "크로스바 접합"으로 지칭될 수 있다. 도 7b 및 7c는 크로스바 메모리 어레이 내에서 2개의 인접한 층들의 컨덕터들(702a 및 704a)을 상호접속시키는

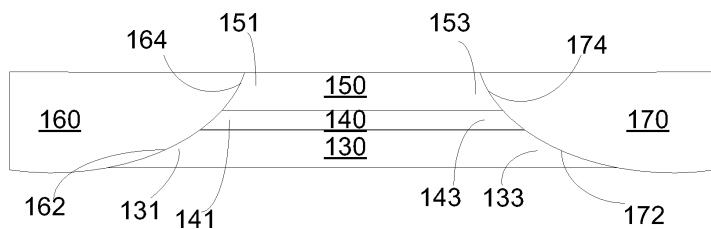
크로스바 접합의 2개의 상이한 도면들을 제공한다. 크로스바 접합은 2개의 컨덕터들(702a 및 704a) 사이의 물리적 접촉을 포함할 수 있거나, 포함하지 않을 수 있다. 도 7b에 도시되는 바와 같이, 2개의 컨덕터들은 그들의 오버랩 지점에서 물리적으로 접촉하지 않지만, 컨덕터들(702a 및 704a) 사이의 갭은 그들의 가장 가까운 오버랩 지점에서 2개의 컨덕터들 사이에 놓이는 메모리 엘리먼트(706a)에 의해 걸쳐진다. 도 7c는 도 7b에 도시되는 메모리 엘리먼트(706a) 및 오버래핑 컨덕터들(702a 및 704a)의 개략 대표도를 도시한다.

[0064] 메모리 엘리먼트들에 포함되는 스위칭 디바이스들이 누설 전류들로 인하여 동작들을 관독, 기록 및 삭제하는 동안 의도하지 않은 셀들에 대한 교란(disturbance)들을 회피하거나 최소화할 수 있는 집적된 선택적 엘리먼트로서 기능을 할 수 있기 때문에, 기재되는 메모리 엘리먼트들은 크로스바 메모리 어레이들에서 유리하게 이용될 수 있다. STRAM이 동작들의 기록 및 삭제가 반대 극성들을 사용하여 수행되도록 요구하기 때문에, 여기에서 기재되는 스위칭 디바이스들은 STRAM과 결합하여 특히 유리하다.

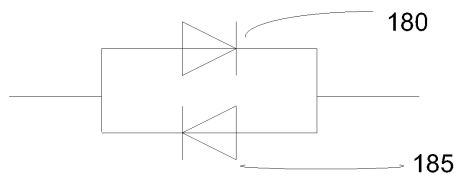
[0065] 따라서, 쇼트키 다이오드 스위치 및 이를 포함하는 메모리 유닛들의 실시예들이 기재된다. 상기 설명된 구현들 및 다른 구현들은 다음의 청구항들의 범위 내에 존재한다. 당업자는 본 발명이 기재된 실시예들 이외의 실시예들로 실시될 수 있다는 것을 인식할 것이다. 기재된 실시예들은 제한이 아닌 예시를 위해서 제시되고, 본 개시는 다음의 청구항들에 의해서만 제한된다.

도면

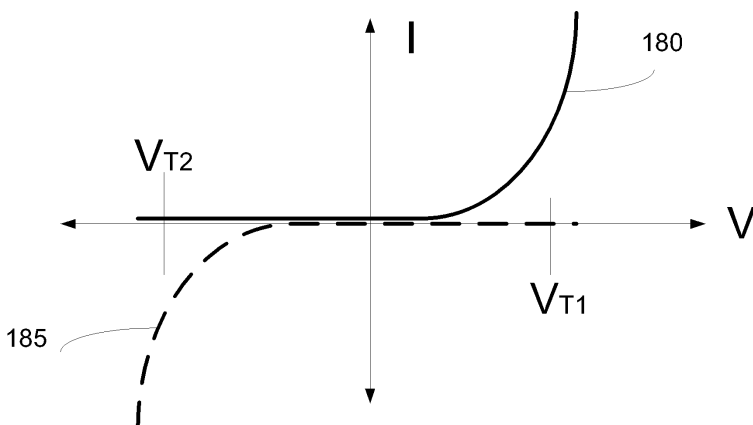
도면1a



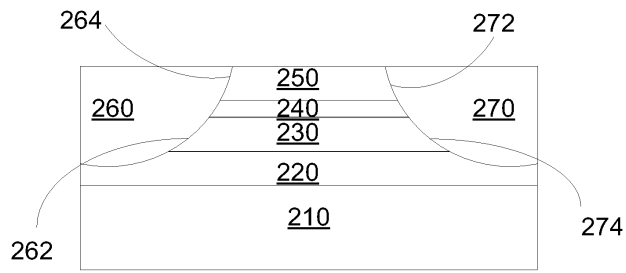
도면1b



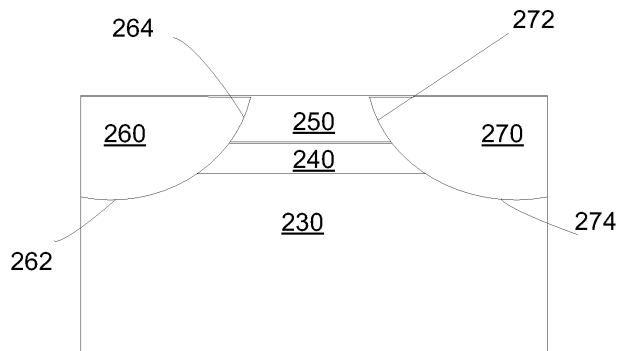
도면1c



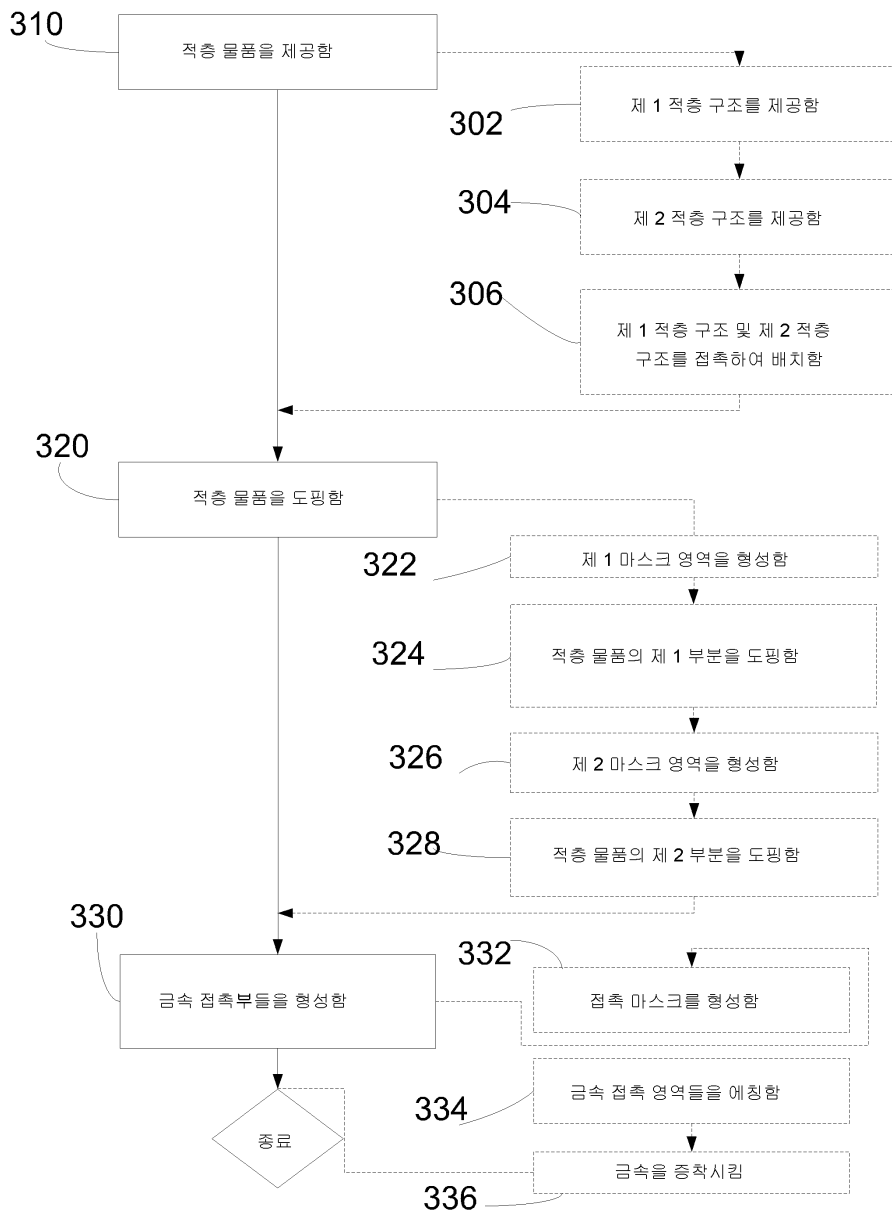
도면2a



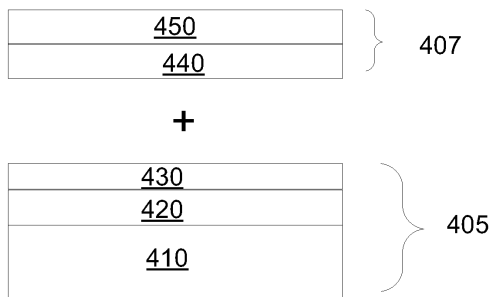
도면2b



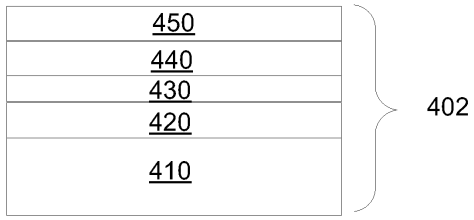
도면3



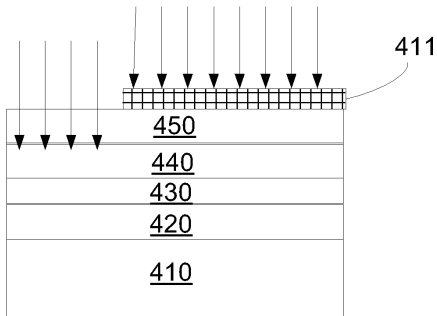
도면4a



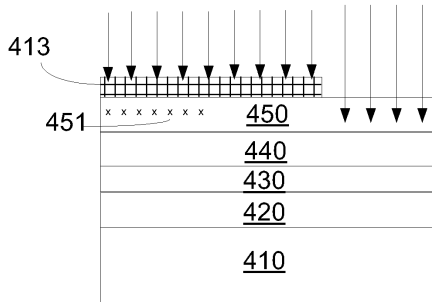
도면4b



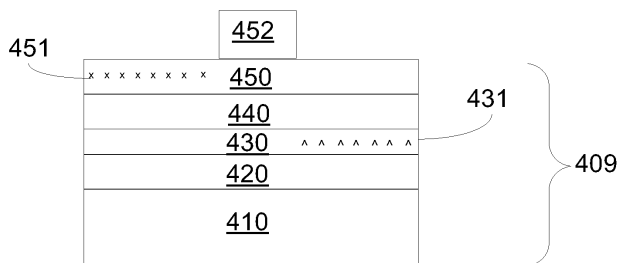
도면4c



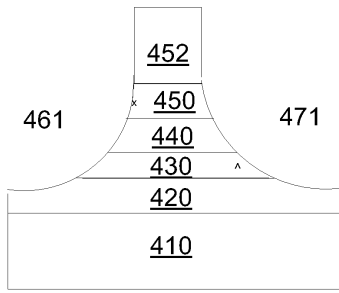
도면4d



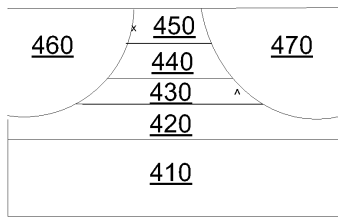
도면4e



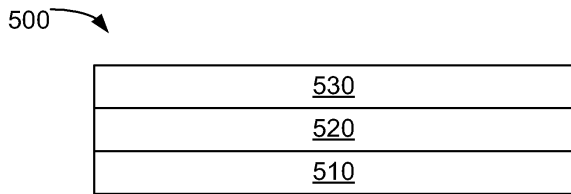
도면4f



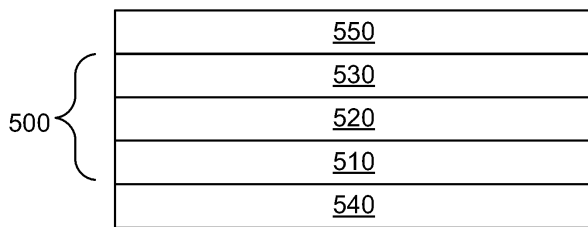
도면4g



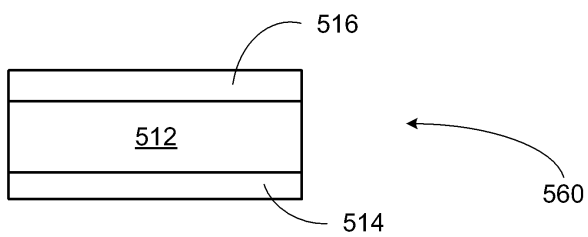
도면5a



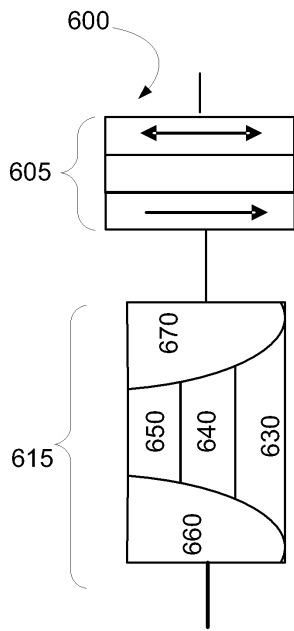
도면5b



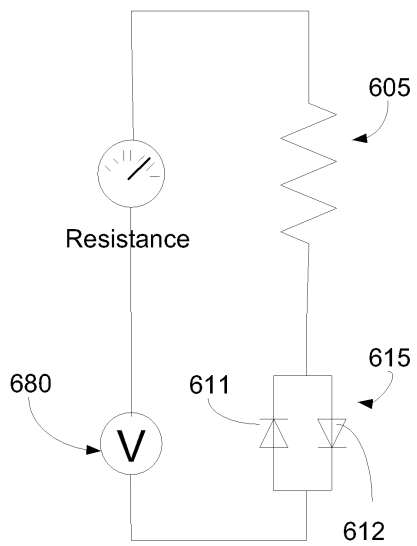
도면5c



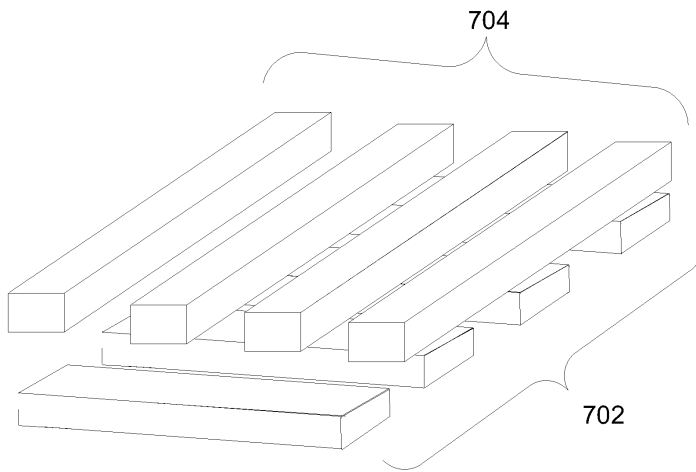
도면6a



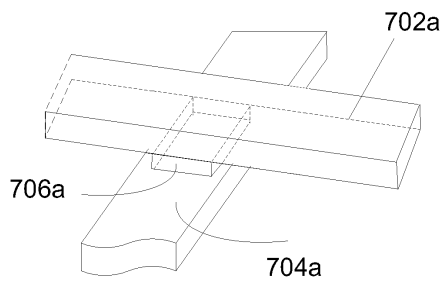
도면6b



도면7a



도면7b



도면7c

