



(12) 发明专利申请

(10) 申请公布号 CN 104040717 A

(43) 申请公布日 2014. 09. 10

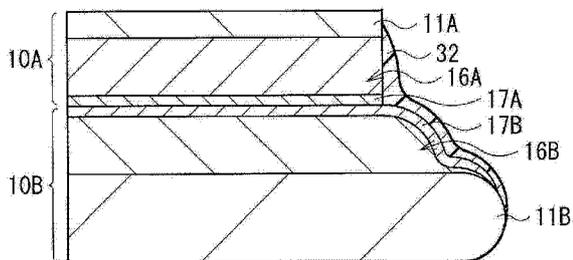
- (21) 申请号 201380005195. 2 H01L 21/02(2006. 01)
- (22) 申请日 2013. 01. 08 H01L 25/065(2006. 01)
- (30) 优先权数据 H01L 25/07(2006. 01)
 - 2012-007086 2012. 01. 17 JP H01L 25/18(2006. 01)
 - 2012-007087 2012. 01. 17 JP H01L 27/00(2006. 01)
 - 2012-007088 2012. 01. 17 JP H01L 27/146(2006. 01)
- (85) PCT国际申请进入国家阶段日
2014. 07. 10
- (86) PCT国际申请的申请数据
PCT/JP2013/050093 2013. 01. 08
- (87) PCT国际申请的公布数据
W02013/108657 JA 2013. 07. 25
- (71) 申请人 索尼公司
地址 日本东京
- (72) 发明人 藤井宣年 青柳健一 萩本贤哉
岩元勇人
- (74) 专利代理机构 北京康信知识产权代理有限
责任公司 11240
代理人 余刚 吴孟秋
- (51) Int. Cl.
H01L 27/14(2006. 01)

权利要求书2页 说明书12页 附图10页

(54) 发明名称
半导体装置的制造方法

(57) 摘要

本发明包括以下：粘合具有第一元件的第一基板的元件形成面和具有第二元件的第二基板的元件形成面使得各面彼此面对；至少在具有第二元件的第二基板的端部形成保护膜；以及使第一基板变薄。



1. 一种半导体装置的制造方法,所述方法包括:
将具有第一元件的第一基板的元件形成面和具有第二元件的第二基板的元件形成面粘合为彼此相对;
至少在具有所述第二元件的所述第二基板的端部上形成保护膜;以及
减小所述第一基板的厚度。
2. 根据权利要求1所述的方法,进一步包括:
在粘合所述第一基板和所述第二基板之前,在所述第二基板的端部形成变薄部分;以及在通过形成所述变薄部分而露出的所述第二基板上的元件的侧面以及所述变薄部分的表面上形成所述保护膜。
3. 根据权利要求2所述的方法,进一步包括:在所述第二基板上形成所述变薄部分之后,平滑并清洁所述第二基板的表面。
4. 根据权利要求1所述的方法,进一步包括:在所述第一基板的端部形成变薄部分;并且在除去所述变薄部分之后减小所述第一基板的整个表面的厚度。
5. 根据权利要求1所述的方法,其中,所述保护膜形成在所述第一基板的整个表面上。
6. 根据权利要求1所述的方法,其中,所述保护膜由具有耐化学性的材料形成。
7. 一种半导体装置的制造方法,所述方法包括:
在具有第一元件的第一基板的端部形成变薄部分;
至少在具有第二元件的第二基板的端部形成不吸收激光束的保护膜;
以所述第一元件和所述第二元件彼此相对的方式粘合所述第一基板和所述第二基板;
以及
利用激光选择性地除去所述第一基板的所述变薄部分。
8. 根据权利要求7所述的方法,进一步包括:在除去所述第一基板的所述变薄部分之后减小所述第一基板的整个表面的厚度。
9. 根据权利要求7所述的方法,进一步包括:利用激光微水刀除去所述第一基板的所述变薄部分。
10. 根据权利要求7所述的方法,进一步包括:在粘合所述第一基板和所述第二基板之前,在所述第二基板的整个表面上形成所述保护膜。
11. 一种半导体装置的制造方法,所述方法包括:
以第一元件和第二元件彼此相对的方式粘合具有所述第一元件的第一基板和具有所述第二元件的第二基板;
减小除所述第一基板的端部以外的内部区域的厚度;以及
除去所述第一基板的所述端部。
12. 根据权利要求11所述的方法,进一步包括:在粘合所述第一基板和所述第二基板之后,在所述第二基板的端部形成保护膜。
13. 根据权利要求11所述的方法,进一步包括:在所述第二基板的整个表面上形成保护膜之后,粘合所述第一基板和所述第二基板。
14. 根据权利要求11所述的方法,进一步包括:使用机械研磨方法减小所述第一基板的内部区域的厚度。
15. 根据权利要求11所述的方法,进一步包括:使用化学处理减小所述第一基板的内

部区域的厚度。

半导体装置的制造方法

技术领域

[0001] 本公开内容涉及具有多个基板粘合的结构 of 半导体装置的制造方法。

背景技术

[0002] 通过精细工艺的采用和二维 LSI (大规模集成) 中的安装密度的提高, 已经实现了半导体装置的高集成化。然而, 近年来, 精密加工的物理限制已经进入人们的视线, 并且三维 LSI 已经引起了关注。

[0003] 在三维 LSI 中, 半导体装置以如下的方式形成, 其中, 在其上形成具有各种功能的元件 (例如, 存储器元件、逻辑元件、以及图像传感器元件) 的基板彼此粘合, 之后, 使用研磨工艺使上层基板变薄到所期望的厚度 (例如, 参见日本未审查专利申请公开 No. 2011-96851 (PTL1))。

[0004] 引用列表

[0005] 专利文献

[0006] PTL1 : 日本未审查专利申请公开 No. 2011-96851

发明内容

[0007] 然而, 在三维 LSI 中, 在如上所述减小厚度时, 更有可能损伤下层基板。这是因为, 通过研磨处理成锐角形状并且称为如我们所说的刀口 (knife edge) 的上层基板的端部无法承受施加于其上的应力, 并且发生开裂或剥离。在下层基板的表面之上的由开裂或剥离引起的刀口的碎片损伤形成在下层基板上的配线等。由于这个原因, 出现了一个问题是, 半导体装置的可靠性和制造成品率可能会降低。

[0008] 因此, 期望提供一种半导体装置的制造方法, 其允许提高半导体装置的可靠性和制造成品率。

[0009] 根据本公开的实施方式的第一半导体装置的制造方法包括以下的步骤 (A1) 至 (C1) :

[0010] (A1) 将具有第一元件的第一基板的元件形成面和具有第二元件的第二基板的元件形成面粘合 (bonding) 成彼此相对 ;

[0011] (B1) 至少在具有第二元件的第二基板的端部形成保护膜 ; 以及

[0012] (C1) 减小第一基板的厚度。

[0013] 在根据本公开的实施方式的半导体装置的第一制造方法中, 在下层基板 (第一基板) 的端部形成保护膜, 之后, 减小上层基板 (第二基板) 的厚度。因此, 降低了在减小上层基板的厚度时发生的对下层基板的损伤。

[0014] 根据本公开的实施方式的半导体装置的第二制造方法包括以下的步骤 (A2) 至 (D2) :

[0015] (A2) 在具有第一元件的第一基板的端部形成变薄部分 ;

[0016] (B2) 至少在具有第二元件的第二基板的端部形成不吸收激光束的保护膜 ;

[0017] (C2) 以第一元件和第二元件彼此相对的方式粘合第一基板和第二基板；以及

[0018] (D2) 使用激光选择性地除去第一基板的变薄部分。

[0019] 在根据本公开的实施方式的半导体装置的第二制造方法中，在下层基板（第二基板）的端部形成不吸收激光束的保护膜，在上层基板（第一基板）的端部形成变薄部分，并且除去上层基板的端部。因此，减小了在除去上层基板的端部时发生的对下层基板的损伤。

[0020] 根据本公开的实施方式的半导体装置的第三制造方法包括以下的步骤 (A3) 至 (C3)：

[0021] (A3) 以第一元件和第二元件彼此相对的方式粘合具有第一元件的第一基板和具有第二元件的第二基板；

[0022] (B3) 减小除第一基板的端部以外的内部区域的厚度；以及

[0023] (C3) 除去第一基板的端部。

[0024] 在根据本公开的实施方式的半导体装置的第三制造方法中，在上层基板（第一基板）的变薄处理中，减小除上层基板的端部以外的内部区域的厚度，之后除去上层基板的端部。因此，减小了在除去上层基板的端部时发生的对下层基板的损伤。

[0025] 根据本公开实施方式的半导体装置的第一制造方法，在下层基板的端部形成保护膜，之后，减小上层基板的厚度。因此，可以在不损伤下层基板的情况下减小上层基板的厚度。

[0026] 根据本公开实施方式的半导体装置的第二制造方法，在下层基板的端部形成不吸收激光束的保护膜，并且在上层基板的端部形成变薄部分。因此，可以在不损伤下层基板的情况下除去上层基板的端部。

[0027] 根据本公开实施方式的半导体装置的第三制造方法，减小除上层基板的端部以外的内部区域的厚度，之后，除去上层基板的端部。因此，可以在不损伤下层基板的情况下除去上层基板的端部。

[0028] 在根据本公开的上述相应的实施方式的半导体装置的第一至第三制造方法中，可以提高半导体装置的可靠性和制造成品率。

附图说明

[0029] 图 1 是根据本公开的第一至第四实施方式中的任一个的图像拾取装置的配置的示意性框图。

[0030] 图 2 是图 1 中示出的图像拾取装置的简化配置图。

[0031] 图 3 是现有图像拾取装置的简化配置图。

[0032] 图 4 是图 1 中示出的图像拾取装置的横截面图。

[0033] 图 5A 是根据本公开第一实施方式的半导体装置的制造方法的示意过程图。

[0034] 图 5B 是示出继图 5A 中示出的过程之后的过程的示意过程图。

[0035] 图 5C 是示出继图 5B 中示出的过程之后的示意过程图。

[0036] 图 6A 是示出根据本公开第一实施方式的半导体装置的制造方法的另一实例的示意过程图。

[0037] 图 6B 是示出继图 6A 示出的过程之后的过程的示意过程图。

[0038] 图 6C 是示出继图 6B 示出的过程之后的过程的示意过程图。

- [0039] 图 7A 是示出根据本公开第二实施方式的半导体装置的制造方法的示意过程图。
- [0040] 图 7B 是示出继图 7A 示出的过程之后的过程的示意过程图。
- [0041] 图 7C 是示出继图 7B 示出的过程之后的过程的示意过程图。
- [0042] 图 7D 是示出继图 7C 示出的过程之后的过程的示意过程图。
- [0043] 图 8A 是示出根据本公开第三实施方式的半导体装置的制造方法的示意过程图。
- [0044] 图 8B 是示出继图 8A 示出的过程之后的过程的示意过程图。
- [0045] 图 8C 是示出继图 8B 示出的过程之后的过程的示意过程图。
- [0046] 图 9A 是示出根据本公开第四实施方式的半导体装置的制造方法的示意过程图。
- [0047] 图 9B 是示出继图 9A 示出的过程之后的过程的示意过程图。
- [0048] 图 9C 是示出继图 9B 示出的过程之后的过程的示意过程图。
- [0049] 图 10 是根据应用例的电子设备（相机）的示意框图。

具体实施方式

[0050] 在下文中,将参照附图描述本公开的一些实施方式。值得注意的是,按照以下给出的顺序进行描述。

- [0051] 1. 图像拾取装置的配置
- [0052] 2. 第一实施方式（在下层基板上形成保护膜且然后执行变薄处理的方法）
- [0053] 3. 第二实施方式（在粘合之前处理下层基板的方法）
- [0054] 4. 第三实施方式（使用激光除去上层基板的变薄部分的方法）
- [0055] 5. 第四实施方式（上层基板的元件形成区域的厚度减小且之后除去上层基板的端部的方法）
- [0056] 6. 应用例（电子设备的实例）

[0057] <1. 图像拾取装置的配置 >

[0058] 图 1 示出了应用在下文中将描述的根据本公开的第一至第四实施方式中的任一个的半导体装置的 MOS 固体图像拾取装置（图像拾取装置 1）的总体配置。该图像拾取装置 1 是适于拍摄彩色图像（静态图像或动态图像）的图像拾取装置,并且由像素区域 3（所谓的像素阵列）和外围区域 4 构成。像素区域 3 以以下这种方式被配置:其每个包括光电转换部的多个像素 2 在基板上排列成矩阵模式。

[0059] 设置在像素区域 3 的像素 2 包括:用作光电转换部的光电二极管 PD、多个像素晶体管 Tr (MOS 晶体管) 等。例如,多个像素晶体管 Tr 可以是转移 (transfer) 晶体管、复位晶体管、和放大晶体管这三种类型晶体管,或者可以可选地通过添加选择晶体管而由四种类型的晶体管构成。值得注意的是,单位像素的等效电路类似于典型等效电路,因此将省略其详细描述。像素 2 可以被配置为单个单位像素。然而,像素 2 可以被配置为像素共享结构。该像素共享结构使得多个光电二极管 PD 共享配置传输晶体管、以及传输晶体管以外的任意晶体管的浮动扩散。

[0060] 在外围区域 4, 设置了控制电路 5、垂直驱动电路 6、列新号处理电路 7、水平驱动电路 8、输出电路 9 等等。

[0061] 控制电路 5 接收输入时钟、和数据命令操作模式等等,并且输出诸如图像拾取装置 1 的内部信息的数据。更具体地,该控制面板 5 基于垂直同步信号、水平同步信号、以及

主时钟生成用作用于操作垂直驱动电路 6、列信号处理电路 7、水平驱动电路 8 等等的基准信号的时钟信号和控制信号。此外，控制电路 5 将这些时钟信号和控制信号输入到垂直驱动电路 6、列信号处理电路 7、水平驱动电路 8 等等。

[0062] 例如，垂直驱动电路 6 可以由移位寄存器构成。该垂直驱动电路 6 选择像素驱动配线，并且将用于驱动像素的脉冲提供到所选择的像素驱动配线，以基于每行来驱动像素。更具体地，垂直驱动电路 6 基于每行在垂直方向顺次执行像素区域 3 的每个像素 2 的选择扫描，并且通过垂直信号线 9 将基于根据每个像素 2 上的光电二极管 PD 的光接收量生成的信号电荷的像素信号提供到列信号处理单元 7。

[0063] 例如，列信号处理单元 7 可针对像素 2 的每列而布置，并且对于从每个像素列的単行中的像素 2 输出的信号，执行诸如噪声抑制的信号处理操作。更具体地，列信号处理电路 7 执行信号处理操作，诸如用于抑制像素 2 中的固有的固定模式噪声的 CDS、信号放大、以及模拟数字转换。在该列信号处理电路 7 的输出级，水平选择开关（在附图中未示出）设置为连接在水平信号线 10 之间。

[0064] 例如，水平驱动电路 8 可以由移位寄存器构成，并且通过顺次输出水平扫描脉冲来依次选择每个列信号处理电路 7，以驱动每个列信号处理电路 7 向水平信号线 10 输出像素信号。

[0065] 输出电路 9 对于将通过水平信号线 10 从每个列信号处理电路 7 顺次提供的信号执行信号处理操作，以输出所得到的信号。在某些情况下，例如，该输出电路 9 可以只执行缓冲，或者可以执行黑电平调节、列变化校正、各种数字信号处理操作等等。输入 / 输出端子 12 涉及外部电路之中的信号处理。

[0066] 图 2 的 (A) 和图的 2(B) 各示出了应用根据本公开第一至第四实施方式中的任一个的半导体装置的图像拾取装置 1 的简化配置，并且图 3 示出了现有 MOS 固体图像拾取装置（图像拾取装置 100）的简化配置。

[0067] 如图 3 所示，在现有可用图像拾取装置 100 中，在单个半导体基板 110 上形成了像素部 102A、控制部 102B、以及用于信号处理的逻辑电路 LC。通常，图像传感器 110 由像素区域 113 和控制电路 115 构成。

[0068] 相反，在应用根据本公开第一至第四实施方式中的任一个的半导体装置的图像拾取装置 1 中，如图 2 的 (A) 所示，像素部 2A、控制部 2B、逻辑电路 LC 形成在两个单独基板上（例如，第一半导体基板 10A 和第二半导体基板 10B）。更具体地，图像拾取装置 1 具有如下配置，其中，像素部 2A 和控制部 2B 形成在第一半导体基板 10A 上，而包括用于执行信号处理操作的信号处理电路的逻辑电路 LC 形成在第二半导体基板 10B 上，并且第一半导体基板 10A 和第二半导体基板 10B 彼此电连接。

[0069] 值得注意的是，单独地形成在第一半导体基板 10A 和第二半导体基板 10B 上的像素部 2A、控制部 2B、以及逻辑电路 LC 的组合没有特别限制，并且例如，如图 2 的 (B) 所示，可选地，像素部 2A 可以形成在第一半导体基板 10A 上，并且控制部 2B 和逻辑电路 LC 可以形成在第二半导体基板 10B 上。

[0070] 基于图 2 的 (A) 示出的配置，图 4 示出了图像拾取装置 1 的横截面配置的一部分。在该图像拾取装置 1 中，上面形成了像素部 102A 和控制部 102B 的第一半导体基板 10A 和上面形成了逻辑电路 LC 的第二半导体基板 10B 彼此电连接地垂直（上下）堆叠。

[0071] 更具体地,该图像拾取装置 1 被配置为(层状体 10,见图 4)通过粘合第二半导体基板 10B 和第一半导体基板 10A 上的、在其上形成 MOS 晶体管 Tr 的彼此相对的元件形成面(元件层 16A 和 16B)来堆叠第二半导体基板 10B 在下侧的第一半导体基板 10A 与该第二半导体基板 10B。在该图像拾取装置 1 中,用作光电转换部的光电二极管 PD 布置在第一半导体基板 10A 侧的表面侧(附图中的上侧的面,下文中,称为背面)上。在第一半导体基板 10A 和第二半导体基板 10B 的接合面上,分别形成了绝缘层 13A 和 13B,在绝缘层 13A 和 13B 上形成了多层配线层 14A 和 14B。

[0072] 值得注意的是,设置在像素区域 3 中的像素部 2A 和控制部 2B 上的每个 MOS 晶体管 Tr 都具有如下的配置,其中,栅电极形成在其之间有栅极绝缘膜的源电极和漏电极对上(这些组成部分在附图中未示出)。此外,在第一半导体基板 10A 的背面,例如,可以形成防反射膜 18、包括遮光膜 19A 的绝缘膜 19、以及平坦化膜 20。在与平坦化膜 20 上的每个像素 2 的光电二极管 PD 对应的位置,设置了片上透镜 22,在其与片上透镜 22 之间设置有滤色器。

[0073] 在具有这种配置的图像拾取装置 1 中,从第一半导体基板 10A 的背面经由片上透镜用光照射光电二极管 PD,并且针对每个像素 2 生成信号电荷。例如,通过读取所有像素 2 中的图像信号作为对应于这种信号电荷的量的电压信号,可以获得图像数据。下文中,提供了对图像拾取装置 1 的制造方法的实例的描述。

[0074] (制造方法)

[0075] (第一半导体基板(第一基板)10A 的制造)

[0076] 首先,在基板 11A 上的元件形成区域中形成图像传感器,即,像素部 2A 和控制部 2B。更具体地,在像素部 2A 中,例如,用作每个像素 2 中的光电转换部的光电二极管 PD 形成在基板 11A 上,之后,形成每个像素晶体管 Tr。这里,相邻于光电二极管 PD 的像素晶体管 Tr 与转移晶体管对应,并且其源漏区域(附图中未示出)对应于浮动扩散 FD。此外,MOS 晶体管 Tr 形成在控制部 2B 中。例如,每个 MOS 晶体管 Tr 可以由一对 n- 型源/漏区域、以及栅极绝缘膜介于其间的栅电极(这些组成部分在附图中未示出)构成。

[0077] 接下来,在基板 11A 上形成绝缘膜 13A 之后,形成连接孔 15A,并且形成将与预定晶体管连接的连接导体 15。随后,由多层(例如,三层)铜等构成的金属层被形成为配线层 14A,以连接各连接导体 15。目前描述的步骤,形成了其上具有像素部 2A 和控制部 2B 的第一半导体基板 10A。

[0078] (第二半导体基板(第二基板)10B 的制造)

[0079] 接下来,在基板 11B 的元件形成区域中形成包括用于信号处理目的的列信号处理电路 7 等的逻辑电路 LC。更具体地,例如,配置逻辑电路 LC 的多个 MOS 晶体管 Tr 形成在基板 11B 上。更具体地,例如,构成逻辑电路 LC 的多个 MOS 晶体管 Tr 形成在基板 11B 上。例如,各 MOS 晶体管 Tr 可以由一对 n 型源/漏区域、以及其间有栅极绝缘膜的栅电极(这些组成部分在附图中未示出)构成。

[0080] 随后,以与上述第一半导体基板 10A 情况相同的方式,在基板 11B 上形成绝缘层 13B、连接孔 15A、连接导体 15、以及配线层 14B。到目前描述的步骤形成了其上具有逻辑电路 LC 的第二半导体基板 10B。值得注意的是,在配线层 14B 的顶部,可以形成应力校正膜(附图中未示出),用于缓解在下文中描述的粘合第一半导体基板 10A 和第二半导体基板

10B 时的应力。应力校正膜可以以如下的方式配置,例如,以例如大约 100 至 200nm 的范围内的膜厚度形成 P-SiN 膜(等离子体氮化物膜)或者 P-SiON 膜(等离子体氮氧化物膜)。

[0081] (粘合第一半导体基板 10A 和第二半导体基板 10B)

[0082] 接下来,利用彼此相对的配线层 14A 和 14B 粘合第一半导体基板 10A 和第二半导体基板 10B。更具体地,例如,可以在第一半导体基板 10A 或第二半导体基板 10B 的接合面的一方的面上形成粘接材料层(附图中未示出),并且利用其间的该粘接材料层粘合第一半导体基板 10A 和第二半导体基板 10B。这里,通过在其上形成像素区域 3 的第一半导体基板 10A 放置在上层并且第二半导体基板 10B 放置在下层来执行粘合。

[0083] 值得注意的是,为了第一半导体基板 10A 和第二半导体基板 10B 的粘合,除了通过使用上述粘接材料层来粘合之外,还可以使用等离子体粘合。在使用等离子体粘合的情况下,在第一半导体 10A 和第二半导体基板 10B 的各自结合面上形成等离子体 SiO₂、SiN、SiC、或 SiCN 膜等。第一半导体基板 10A 和第二半导体基板 10B 以如下方式彼此粘合以彼此重叠:针对在其上形成这些膜的各结合面执行等离子体处理,之后,对于重叠的结合面执行退火处理。这里,可以优选在对配线等没有影响的 400 摄氏度以下的温度的低温处理中执行退火处理。

[0084] (第一半导体基板 10A 的厚度的减小)

[0085] 随后,研磨并抛光第一半导体基板 10A 的背面(基板 11A 侧)以减小第一半导体基板 10A 的厚度。更具体地,以如下的方式执行厚度的减小:例如,使得厚度为大约 600 μm 的基板 11A 可以减小至大约 3 至 6 μm 范围内的厚度,以使光电二极管 PD 彼此面对。通过减小第一半导体基板 10A 的厚度,第一半导体基板 10A 的背面用作背面照射型图像拾取装置 1 的光入射面。

[0086] 最后,在半导体基板 10A 的背面形成抗反射膜 18、包括遮光膜 19A 的绝缘膜 19、以及平坦化膜 20。此外,在平坦化膜 20 上形成对应于各像素的红(R)、绿(G)、和蓝(B)的滤色器 21、以及片上透镜 22,从而完成图像拾取装置 1。

[0087] 以下,关于根据本公开第一至第四实施方式的半导体装置的制造方法,提供了对减小第一半导体基板 10A 的厚度的方法的描述。值得注意的是,与上述图像拾取装置 1 的那些相同的任何组成要素用相同的参考标号表示,并且将适当地省略相关描述。

[0088] <2. 第一实施方式>

[0089] 图 5A 至图 5C 中的各个图示出了根据本公开第一实施方式的半导体装置的制造方法,具体地,减小第一半导体基板 10A 的厚度的处理。

[0090] 在该实施方式中,开始,如图 5A 所示,例如,在宽度为 2mm 且深度为 100 μm 的范围内除去第一半导体基板 10A 的端部,以形成变薄部分 31。然后,使用例如上述等离子体粘合或其他方法将第一半导体基板 10A 和第二半导体基板 10B 彼此粘合。

[0091] 随后,如图 5B 所示,研磨第一半导体基板 10A 以便以机械方式减小基板的整个表面的厚度,之后,使用例如离子束方法(见日本未审查专利申请公开 No. 2010-70788)在第一半导体基板 10A 的侧面上以及第二半导体基板 10B 的表面上形成膜厚度为 3 μm 的 SiN 膜(保护膜 32)。在研磨第一半导体基板 10A 时基板 11A 的碎片刺(stick)在第二半导体基板 10B 的表面上,该保护膜 32 用于覆盖包括这些碎片的第二半导体基板 10B 的表面。

[0092] 对于该保护膜 32 的构成材料,优选地使用如下的材料,其对在后面执行的第一半导体基板 10A 的背面的化学液体处理中使用的化学液体(例如,酸系化学液体)具有耐力。该材料的具体实例包括等离子体 SiN、SiC、和 SiCN 膜等。

[0093] 然后,如图 5C 所示,使用化学液体处理平滑并进一步减小基板 11A 的表面的厚度。在该情况下,当在第二半导体基板 10B 的端部没有形成保护膜 32 时,将会有一种化学溶液可能会浸入到被基板 11A 损伤的部分,引起被用于配置形成在第二半导体基板 10B 的端部的配线层 14B 的金属材料的洗脱,导致发生污染的可能性的担忧。另一方面,在该实施方式中,在除去第一半导体基板 10A 的端部(变薄部分 31)之后,在第二半导体基板 10B 的表面上形成保护膜 32,因此由保护膜 32 密封了由于碎片碰撞引起的损伤部分。这防止了可能由于配线层 14B 的洗脱引起的金属污染。

[0094] 值得注意的是,在该实施方式中,在除去了第一半导体基板 10A 的变薄部分 31 之后形成保护膜 32 并且减小了基板 11A 的整个表面的厚度。然而,如图 6A 所示,根据该实施方式的保护膜 32 可以可选地在粘合第一半导体基板 10A 和第二半导体基板 10B 之前形成在第二半导体基板 10B 的端部。在紧接着形成保护膜 32 之后,如图 6B 和图 6C 所示,执行在第一半导体基板 10A 的端部形成变薄部分 31、研磨并变薄基板 11A、以及除去变薄部分 31。此外,对于形成保护膜 32 的方法没有具体限制,只要这种方法允许保护膜 32 可以局部地形成在第二半导体基板 10B 的端部即可。这种方法的实例可以包括:将局部等离子体和膜形成气体吹向端部的化学汽相膜形成法。作为可选地,可以利用能够仅在预定范围内通过从狭窄的喷嘴注入涂膜液来执行膜形成的涂布机的方法,以及以在整个表面上涂布涂布液或光致抗蚀剂并且然后执行光刻曝光和抗蚀剂的移除的方式仅在端部形成保护膜的方法。

[0095] 在当前可用的变薄处理中,在开始执行研磨处理。在使用研磨处理研磨上层基板中,由于这是机械研磨,因此存在以下担忧:如之前所述的在上层基板的端部发生开裂或剥离的可能性。上层基板的开裂或剥离直接刺在下层基板的端部作为引起下层基板的表面的损伤的碎片。当配线层形成在这种损伤部分上时,配线露出,并且在利用随后将被执行的湿式蚀刻等的变薄处理中可能发生由于被用于配置配线的金属的洗脱而引起的污染。此外,即使在配线层没有形成在下层基板上的情况下,下层基板出现的损伤可能会引起灰尘的产生,并且这将造成制造成品率低下的问题。

[0096] 作为解决这种问题的方法,例如,日本未审查专利申请公开 No. 2003-15193 已经公开了以下一种方法,其中,中途中断对用作活性硅层的 SOI 侧的研磨,并且使用化学液体处理将基板除去到预定厚度的深度。通过使用该方法,在使用化学液体处理进一步变薄上层基板中也除去了上层基板的端部。

[0097] 然而,该方法的前提是垂直堆叠的上层基板和下层基板的端部彼此粘合,并且残留(remain)在端部后面的上层基板侧的绝缘膜等利用将被用于除去上层基板的化学液体是可除去的(removable)。在堆叠的三维半导体装置的情况下,在制造装置时,在端部作出台阶,因此端部通常置于未粘合状态。此外,由于用作形成在装置的各层上的绝缘膜的 SiN 膜不能用化学液体除去,因此该方法除了端部处的灰尘源的生成之外不起作用。

[0098] 相反,在该实施方式中,在使用化学液体处理的上层第一半导体基板 10A 的变薄处理之前,在第二半导体基板 10B 的端部形成保护膜 32。通过形成该保护膜 32,覆盖了由于在第一半导体基板 10A 的机械研磨时从基板 11A 产生的碎片的直接刺入而产生的第二半

导体基板 10B 的损伤部分,并且防止了可能由随后将被执行的化学液体处理引起的第二半导体基板 10B 的蚀刻。因此,这防止了从第二半导体基板 10B 的损伤部分由于金属洗脱或者灰尘生成而引起的污染。

[0099] 如上所述,根据本公开的该实施方式的半导体装置的制造方法,在使用化学液体处理的上层第一半导体基板 10A 的变薄处理之前,在第二半导体基板 10B 的端部形成保护膜 32,在第一半导体基板 10A 的变薄处理中,该第二半导体基板 10B 可能会受到从基板 11A 产生的碎片的直接刺击 (striking)。这防止了可能由化学液体引起的第二半导体基板 10B 的蚀刻。因此,这防止了由于从第二半导体基板 10B 侧的金属洗脱或灰尘生成而引起的污染,并且使得可以提高半导体装置的可靠性和制造成品率。

[0100] 此外,在根据本公开的该实施方式的半导体装置的制造方法中,仅在第二半导体基板 10B 的期望部分形成保护膜 32,因此抑制了可能由保护膜的应力引起的第二半导体基板 10B 的翘曲 (warpage),并且相比于保护膜形成在第二半导体基板 10B 的整个表面上的情况,处理变得容易。

[0101] <3. 第二实施方式 >

[0102] 图 7A 至图 7D 中的各个图示出了根据本公开第二实施方式的半导体装置的制造方法,具体地,减小第一半导体基板的厚度的处理。本公开的该实施方式中的制造方法与根据上述实施方式的方法的不同在于,在粘合第一半导体基板 10A 和第二半导体基板 10B 之前,在第二半导体基板 10B 的端部 (更具体地,在其上形成配线层的区域) 形成变薄部分 33,并且在其整个表面上形成保护膜 34。

[0103] 首先,形成第二半导体基板 10B,之后,如图 7A 所示,使用修边处理减小形成第二半导体基板 10B 的配线层 14 的端部的厚度,以形成变薄部分 33。值得注意的是,作为形成变薄部分的 33 的方法,可选地,可以使用除修边处理以外的任意方法。例如,可以使用仅对预定范围 (在该情况下,端部) 应用抛光处理的方法、或者使用干或湿处理的蚀刻处理方法。

[0104] 然后,如图 7B 所示,在第二半导体基板 10B 的整个表面上,更具体地,在通过元件形成面的除去而露出的变薄部分的侧面和表面上,形成保护膜 34。例如,使用与用于在上述第一实施方式中形成的保护膜 32 的材料类似的材料,即,对化学液体具有耐力的材料的等离子体 SiN、SiC、SiCN 膜等中的任一种,诸如,酸系化学液体 (荧光硝酸系湿式蚀刻液体, fluonitric acid-based wet etching liquid) 例如,用于减小第一半导体基板 10A 的厚度,以形成厚度为 10 μ m 的保护膜 34。值得注意的是,作为形成保护膜 34 的方法,由于上面,即,第二半导体基板 10B 的元件形成面在完成膜形成处理之后成为粘合面,因此可以优选地均匀地形成保护膜 34,以避免对粘合的不利影响。更具体地,在膜厚度可控性方面优良的 ALD (原子层沉积) 方法可能是优选的。可选地,可以使用 CVD (化学气相沉积) 方法。当使用 CVD 方法等时,通过在完成膜形成处理之后使用 CMP 方法等,可以优选地提高表面平坦性。

[0105] 此外,在保护膜 34 的形成之前,可以优选地使用湿处理平滑和清洁第二半导体基板 10B 的表面。更具体地,除去了在使用洗涤清洁来除去第二半导体基板 10B 的表面上的灰尘或者使用如修边处理的机械加工处理时将附着于的金属系杂质。具体而言,支持执行使用酸系化学液体 (例如,氢氟酸过氧化氢混合溶液 (FPM)) 的清洁处理。这提高了保护膜

34对第二半导体基板 10B 的粘结性和保护膜 34 的膜形成性能,以及对将被用于减小第一半导体基板 10A 的厚度的化学液体的保护能力。

[0106] 如上所述,在本公开的该实施方式中,在第二半导体 10B 的端部处形成了变薄部分 33 并且形成保护膜以覆盖该变薄部分 33 之后,第一半导体基板 10A 和第二半导体基板 10B 彼此粘合。随后,减小第一半导体基板 10A 的厚度。结果,如同上述第一实施方式,可以防止在使用化学液体处理减小厚度时由于第二半导体基板 10B 端部处的金属洗脱和灰尘产生而引起的污染的发生。

[0107] < 第四实施方式 >

[0108] 图 8A 至图 8C 中的各个图示出了根据本公开第三实施方式的半导体装置的制造方法,具体地,减小第一半导体基板 10A 的厚度的处理。本公开的该实施方式中的制造方法是用激光微水刀 (laser microjet) 来除去第一半导体基板 10A 的端部 (变薄部分 31)。

[0109] 首先,如图 8A 所示,例如,在 2mm 的宽度和 100 μm 的深度的范围内除去第一半导体基板 10A 的端部,以形成变薄部分 31。使用激光微水刀一并除去该变薄部分 31 和变薄部分 31 的形成,使得可以抑制第一半导体基板 10B 中损伤的发生。更具体地,通过在第一半导体基板 10A 和第二半导体基板 10B 之间设置变薄部分 31,在第一半导体基板 10A 和第二半导体基板 10B 之间设置了空隙。此外,一旦激光波长穿过第一半导体基板 10A,则传播水的激光微水刀产生强烈的传播辐射通量,并且变得不能保持通过反射激光束而获得的强能量。结果,可以抑制由于激光引起的第二半导体基板 10B 的损伤。

[0110] 接下来,如图 8B 所示,在第二半导体基板 10B 的端部形成保护膜 35。使用不吸收激光束的材料 (更具体地, SiO_2 或 SiN 膜等等) 形成厚度为 1 μm 的该保护膜 35。结果,确保了在随后将要执行使用激光微水刀除去第一半导体基板 10A 的变薄部分 31 的处理时的处理选择比,并且凭借通过形成上述空隙得到的综合效应,可以防止由激光束引起的第二半导体基板 10B 的损伤。

[0111] 之后,使用上述等离子体粘合等将第一半导体基板 10A 和第二半导体基板 10B 彼此粘合,之后,使用化学液体处理减小第一半导体基板 10A 的整个背面的厚度。

[0112] 作为除去上层基板端部的现有可用方法,如同该实施方式,已经公开了使用激光束的方法 (例如,见日本未审查专利申请公开 No. 2006-108532)。更具体地,对于堆叠的上层基板,用激光束照射其预定位置以除去上层基板的端部,之后研磨上层基板以减小其厚度。在该方法中,由于在研磨上层基板之前除去了上层基板的端部,因此没有形成刀口。因此,可以将上层基板研磨成预定厚度,而在研磨时不会引起对下层基板的表面的损伤。然而,通过使用激光束的处理通常没有选择比,因此在除去上层基板的端部的同时发生了下层基板的损伤。结果,如同当前可用变薄处理中的情况,可能会发生由于金属洗脱或灰尘生成而导致的污染。此外,激光束具有短焦距,因此在技术上可能难以没有任何改变地处理上层基板。即使允许处理上层基板,在聚焦激光束的同时,需要处理上层基板十次以上。

[0113] 相反,在该实施方式中,在第一半导体基板 10A 的端部形成了变薄部分 31,并且在第二半导体基板 10B 的端部设置了不吸收激光波长的保护膜 35 之后,使用激光束除去第一半导体基板 10A 的端部。这使得可以在没有因为激光束而引起对第二半导体基板 10B 的损伤的情况下执行处理。

[0114] 值得注意的是,这里,对激光束的保护膜 35 仅在第二半导体基板 10B 的端部形成,

然而,形成保护膜 35 的方法不限于此。作为可选地,在粘合第一半导体基板 10A 和第二半导体基板 10B 之前,可以在第二半导体基板 10B 的整个表面上设置保护膜 35。

[0115] <5. 第四实施方式>

[0116] 图 9A 至图 9C 中的各个图示出了根据本公开第四实施方式的半导体装置的制造方法,具体地,减小第一半导体基板 10A 的厚度的处理。本公开的该实施方式中的制造方法研磨内部区域 10a,以将其深度减小至预定厚度,之后除去端部,其中,在内部区域 10a 中,端部实际残留在第一半导体基板 10A 的背面上。

[0117] 首先,如图 9A 所示,使用上述等离子体粘合等将第一半导体基板 10A 和第二半导体基板 10B 彼此粘合。随后,如图 9B 所示,可能会引起对第二半导体基板 10B 的表面的损伤的第一半导体基板 10A 的端部实际是残留的,并且研磨其中形成诸如 MOS 晶体管 Tr 的元件的内部区域 10a。之后,使用湿式蚀刻方法将内部区域 10a 变薄至与预定膜厚度一样深。

[0118] 接下来,如图 9C 伸缩式,使用端部修边方法除去第一半导体基板 10A 的端部。

[0119] 值得注意的是,在粘合第一半导体基板 10A 和第二半导体基板 10B 之前或之后,如同上述第一至第三实施方式,可以在第二半导体基板 10B 的整个表面或端部设置诸如 SiN 膜的保护膜。这种方式使得可以抑制可能由除去第一半导体基板 10A 的端部过程中的碎片引起的对第二半导体基板 10B 的表面的机械损伤。

[0120] 作为在粘合上层基板和下层基板之后除去上层基板的端部的现有可用方法,例如,除了在上述专利公报(日本未审查专利申请公开 No. 2011-96851)中公开的除去方法之外,在日本未审查专利申请公开 No. 2008-84976 中披露了一种方法。更具体地,通过使用第一魔石执行研磨处理,在围绕元件形成区域的外围区域形成了环状凸部,之后,使用具有小于第一魔石的磨粒直径的第二魔石研磨包括环状凸部的上层基板的整个背面,以将其扁平化。虽然该方法使得可以避免像刀口一样处理上层基板,但是难以避免发生可能由第二研磨处理中上层基板的碎片的直接刺击引起的对下层基板的损伤。结果,可能发生由于后续化学液体处理引起的金属洗脱或者由于灰尘生成而引起的污染。

[0121] 相反,在该实施方式中,在第一半导体基板 10A 的变薄处理中,端部实际上残留,并且机械地研磨其中形成元件的内部区域。之后,通过执行使用化学液体的化学处理进一步将基板 11A 变薄到与实际残留端部的预定厚度一样深,之后,使用端部修边方法除去第一半导体基板 10A 的端部。通过进行这种处理,可以防止由于后续化学液体处理引起的金属洗脱或者由于灰尘生成引起的污染。

[0122] <6. 应用例>

[0123] 包括使用在上述第一至第四实施方式中描述的任意制造方法形成的半导体装置的图像拾取装置 1 可以应用于具有拍摄功能、测量功能、显示功能等的各种电子设备。如上所述,图像拾取装置 1 能够提供高质量的彩色图像,因此优选地用于诸如相机(数码相机或摄像机)或移动电话和具有拍摄功能的 PDA(个人数字助理)的移动设备。另外,图像拾取装置 1 还可以应用于特定物质测量(检测)设备等。例如,图 10 示出了相机(相机 200)的功能框。

[0124] 相机 200 设置有光学系统,其包括:镜头组 231、图像拾取装置 1、用作相机信号处理部的 DSP 电路 232、帧存储器 235、显示装置 233、记录装置 236、操作系统 234、电源系统 237 等等。在这些组成部分中,DSP 电路 232、帧存储器 235、显示装置 233、记录装置 236、操

作系统 234、以及电源系统 237 被配置为经由总线 238 彼此互连。

[0125] 镜头组 231 从拍摄对象获取入射光（图像光），以在图像拾取装置 1 的成像表面（光接收表面）上形成图像，并且由一个或多个镜头构成。图像拾取装置 1 基于由镜头组 231 成像在成像表面上的入射光输出图像拾取数据 D0。例如，显示装置 233 可以由液晶显示装置或有机 EL（电致发光）显示装置等等配置，并且显示由图像拾取装置 1 拍摄的动态图像或静态图像（已经由图像处理部 22 完成了其图像处理的彩色图像）。记录装置 236 将图像拾取装置 1 拍摄的动态图像或静态图像记录在记录介质上，诸如录像带和 DVD（数字通用盘）。操作系统 234 用作响应用户操作的外部信号输入装置，并且接收关于相机 200 提供的各种功能的操作命令，以将这些命令发送到内部电路。电源系统 237 包括用作 DSP 电路 232、帧存储器 235、显示装置 233、记录装置 236、以及操作系统 234 的操作电源的各种电源。

[0126] 到目前为止参照一些实施方式和变形例描述了本公开内容。然而，本公开内容不限于上述实施方式，并且可以进行各种修改。例如，在上述实施方式等中，作为图像传感器，例如，背面照射型或正面照射型 CMOS 图像传感器被采用为示例。然而，图像传感器不限于这种 CMOS 型，CCD（电荷耦合元件）图像传感器或 MOS 图像传感器也是可以接受的。

[0127] 值得注意的是，本技术允许具有在以下（1）至（15）所描述的配置。

[0128] （1）一种半导体装置的制造方法，该方法包括：

[0129] 将具有第一元件的第一基板的元件形成面和具有第二元件的第二基板的元件形成面粘合为彼此相对；

[0130] 至少在具有第二元件的第二基板的端部形成保护膜；以及

[0131] 减小第一基板的厚度。

[0132] （2）根据（1）的方法，进一步包括：

[0133] 在粘合第一基板和第二基板之前，在第二基板的端部形成变薄部分；以及在通过形成变薄部分而露出的第二基板上的装置的侧面以及变薄部分的表面上形成保护膜。

[0134] （3）根据（1）或（2）的方法，进一步包括：在第二基板上形成变薄部分之后，平滑和清洁第二基板的表面。

[0135] （4）根据（1）至（3）中任一项的方法，进一步包括：在第一基板的端部形成变薄部分；并且在除去变薄部分之后，减小第一基板的整个表面的厚度。

[0136] （5）根据（1）至（4）中任一项的方法，其中，保护膜形成在第一基板的整个表面上。

[0137] （6）根据（1）至（5）中任一项的方法，其中，保护膜由具有耐化学性的材料形成。

[0138] （7）一种半导体装置的制造方法，该方法包括：

[0139] 在具有第一元件的第一基板的端部形成变薄部分；

[0140] 至少在具有第二元件的第二基板的端部形成不吸收激光束的保护膜；

[0141] 以第一元件和第二元件彼此相对的方式粘合第一基板和第二基板；以及

[0142] 使用激光选择性地除去第一基板的变薄部分。

[0143] （8）根据（7）的方法，进一步包括：在除去第一基板的变薄部分之后，减小第一基板的整个表面的厚度。

[0144] （9）根据（7）或（8）的方法，进一步包括：使用激光微水刀除去第一基板的变薄部分。

[0145] (10) 根据 (7) 至 (9) 中任一项的方法,进一步包括:在粘合第一基板和第二基板之前,在第二基板的整个表面上形成保护膜。

[0146] (11) 一种半导体装置的制造方法,该方法包括:

[0147] 以第一元件和第二元件彼此相对的方式粘合具有第一元件的第一基板和具有第二元件的第二基板;

[0148] 减小除第一基板的端部以外的内部区域的厚度;以及

[0149] 除去第一基板的端部。

[0150] (12) 根据 (11) 的方法,进一步包括:在粘合第一基板和第二基板之后,在第二基板的端部形成保护膜。

[0151] (13) 根据 (11) 或 (12) 的方法,进一步包括:在第二基板的整个表面上形成保护膜之后,粘合第一基板和第二基板。

[0152] (14) 根据 (11) 至 (13) 中任一项的方法,进一步包括:使用机械研磨方法减小第一基板的内部区域的厚度。

[0153] (15) 根据 (11) 至 (14) 中任一项的方法,进一步包括:使用化学处理减小第一基板的内部区域的厚度。

[0154] 本申请要求基于 2012 年 1 月 17 日在日本专利局提交的日本专利申请 No. 2012-007086、No. 2012-007087、和 No. 2012-007088 的优先权,其全部内容通过引用结合于此。

[0155] 本领域普通技术人员能够理解,根据设计需求和其他影响因素,可以有各种修改、合并、子合并、和替换。然而,可以理解,这都包括在所附权利要求及其等同物的范围内。

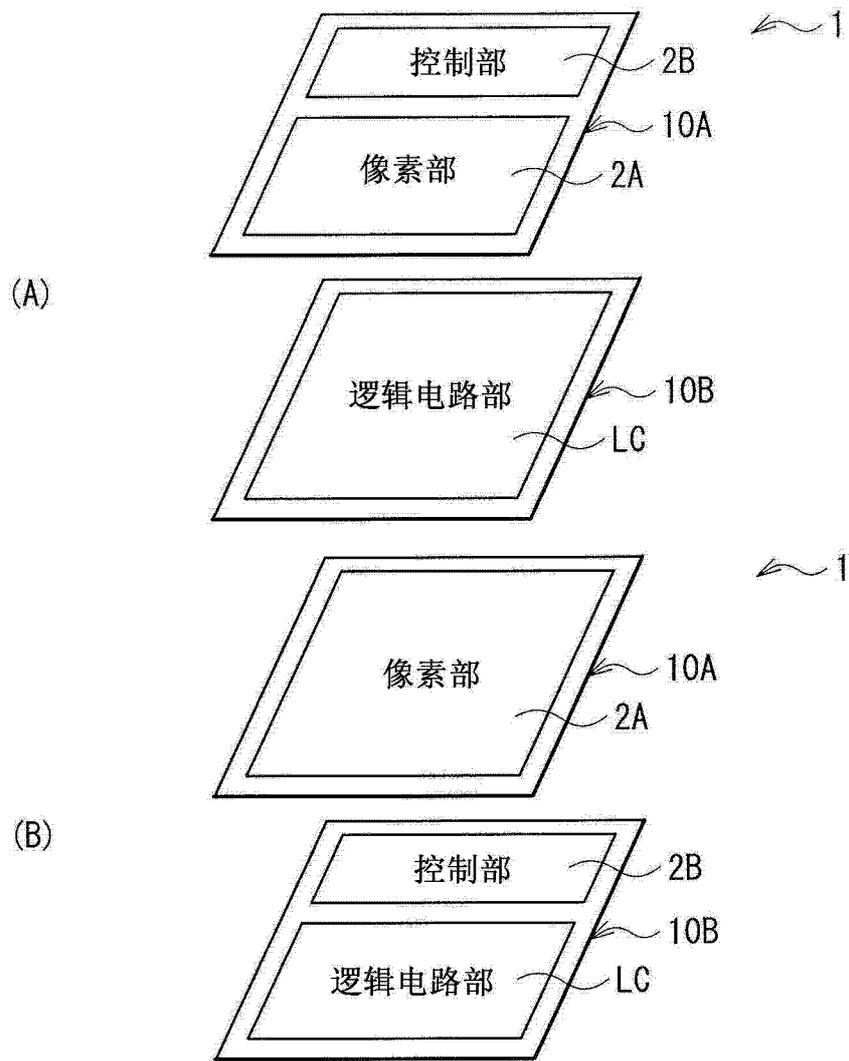


图 2

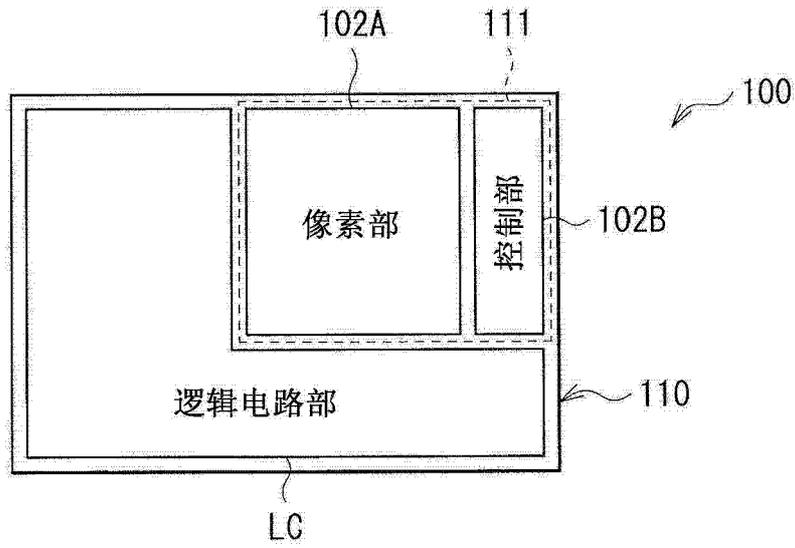


图 3

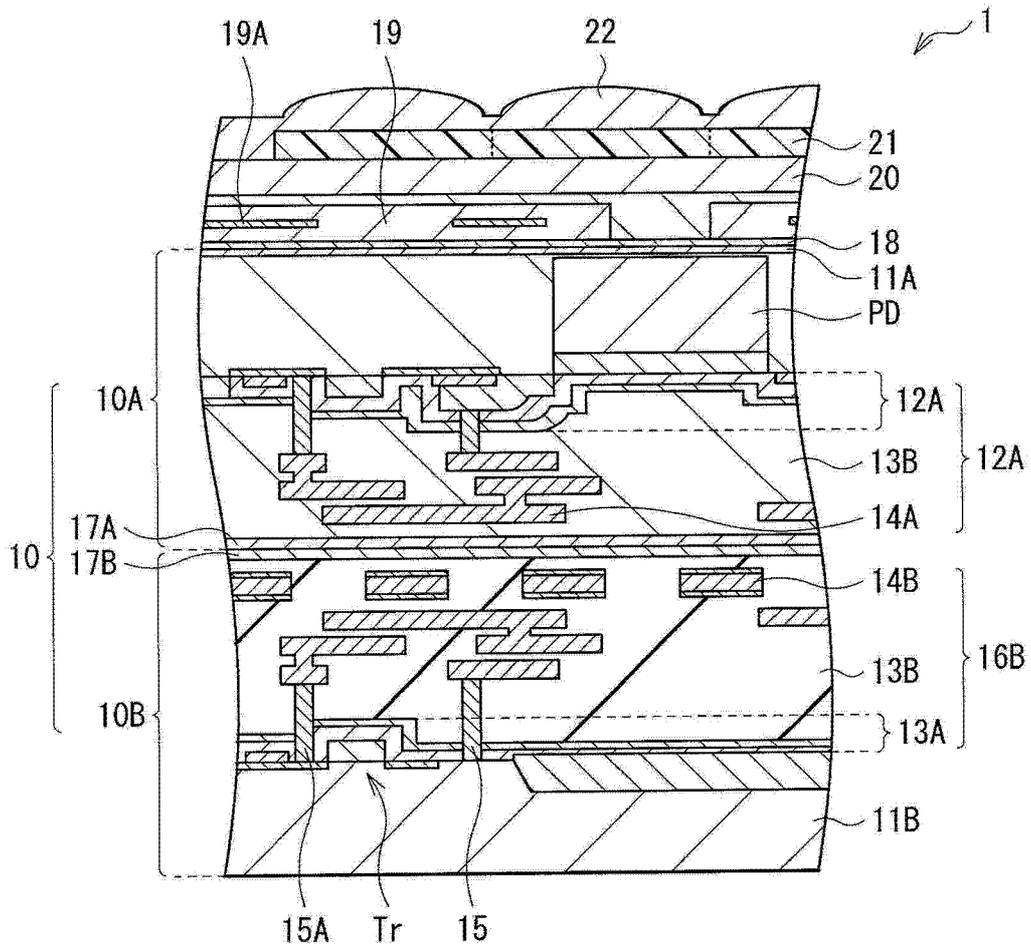


图 4

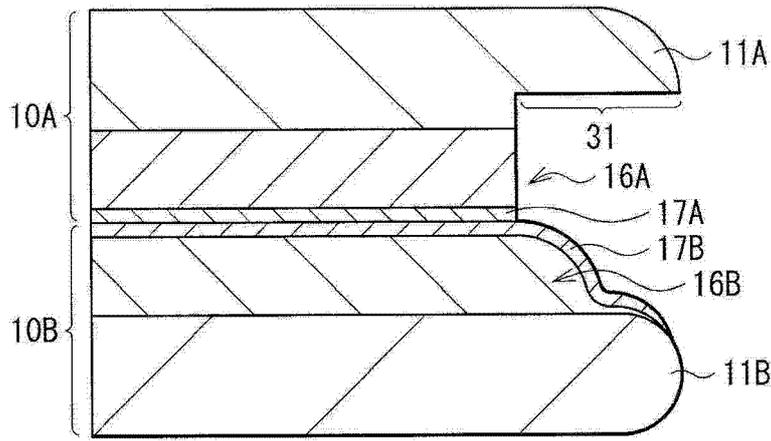


图 5A

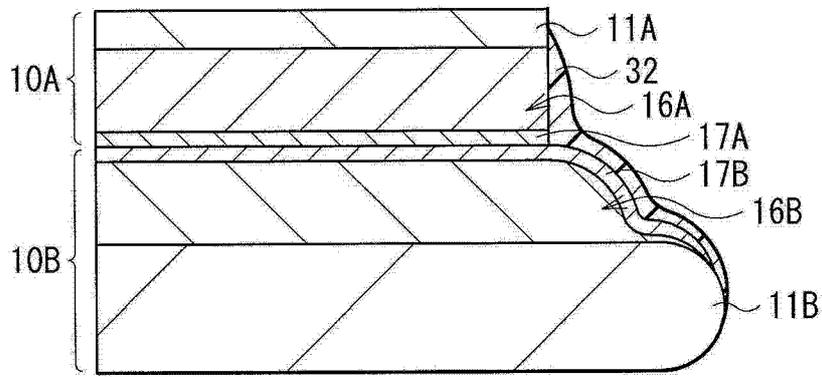


图 5B

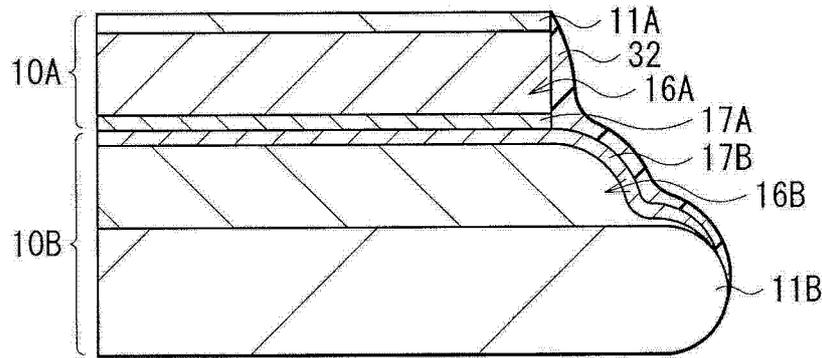


图 5C

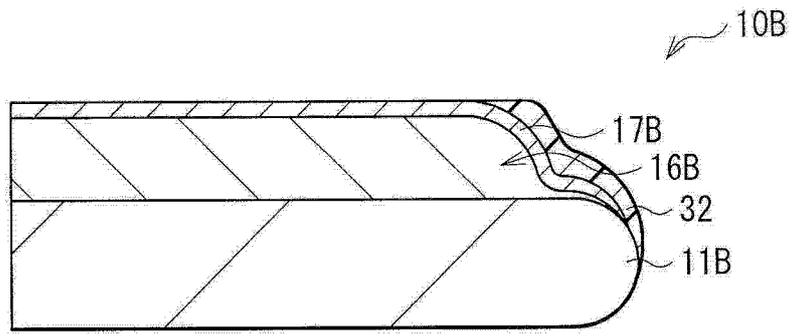


图 6A

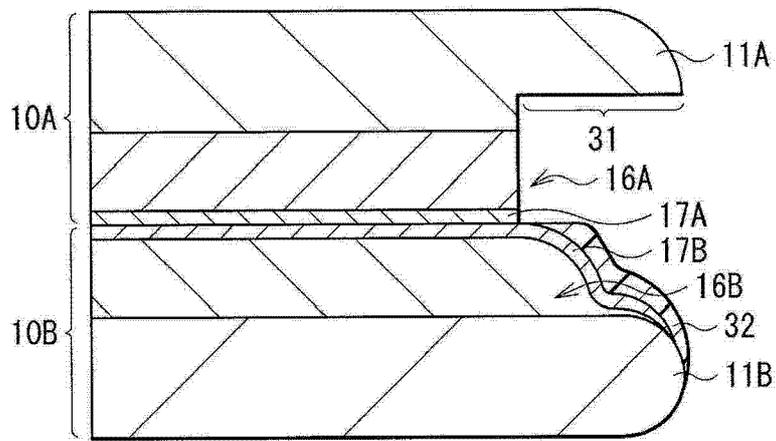


图 6B

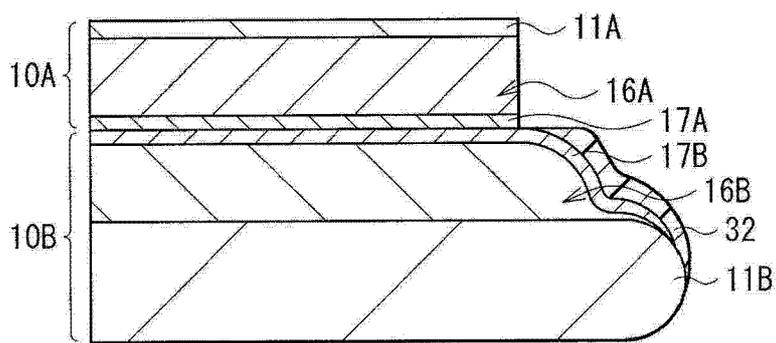


图 6C

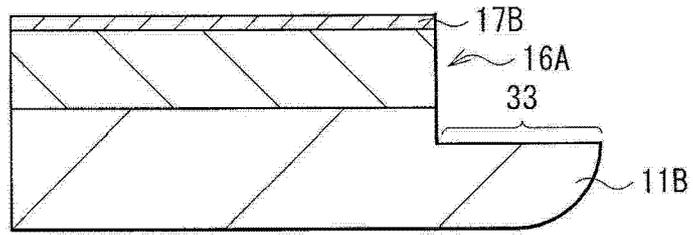


图 7A

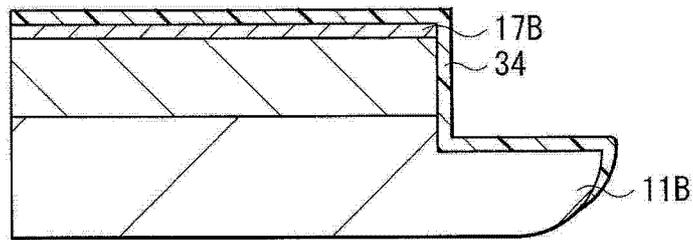


图 7B

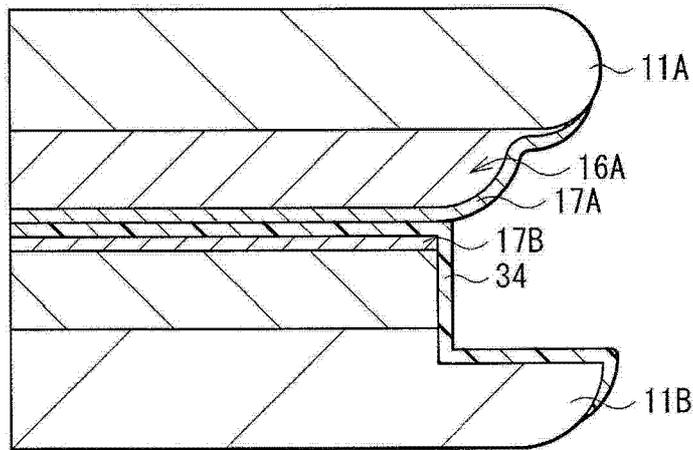


图 7C

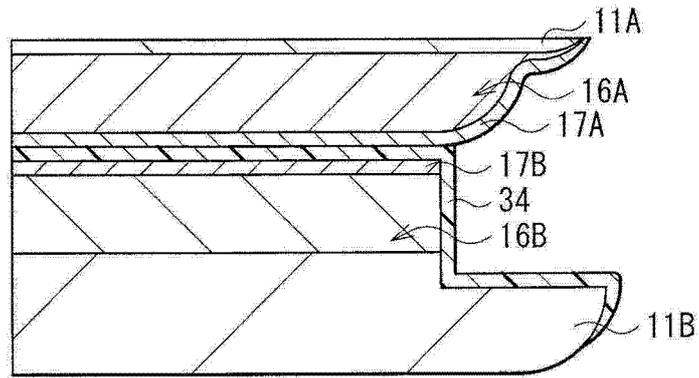


图 7D

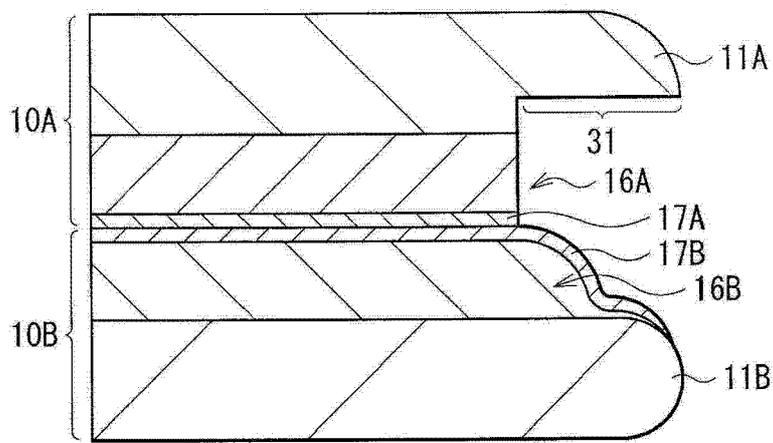


图 8A

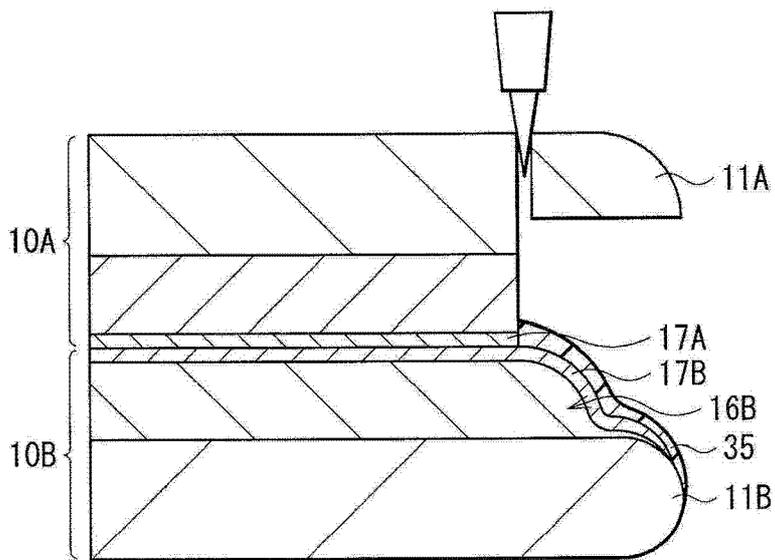


图 8B

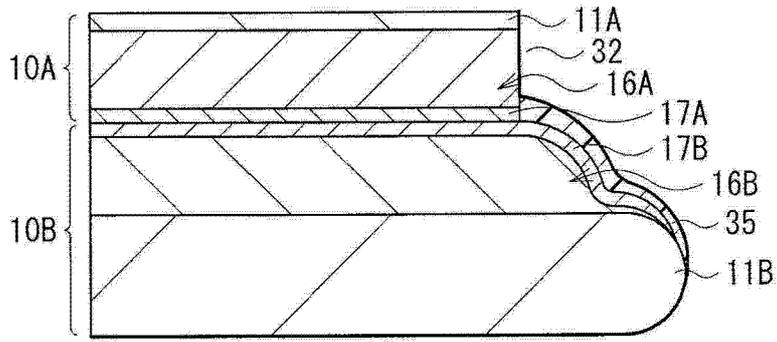


图 8C

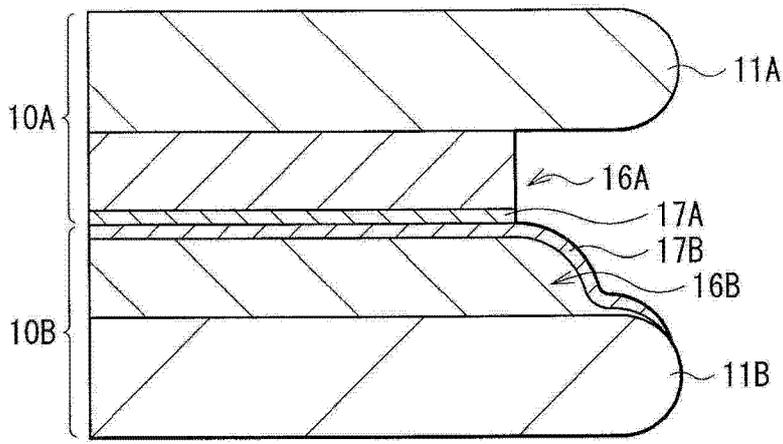


图 9A

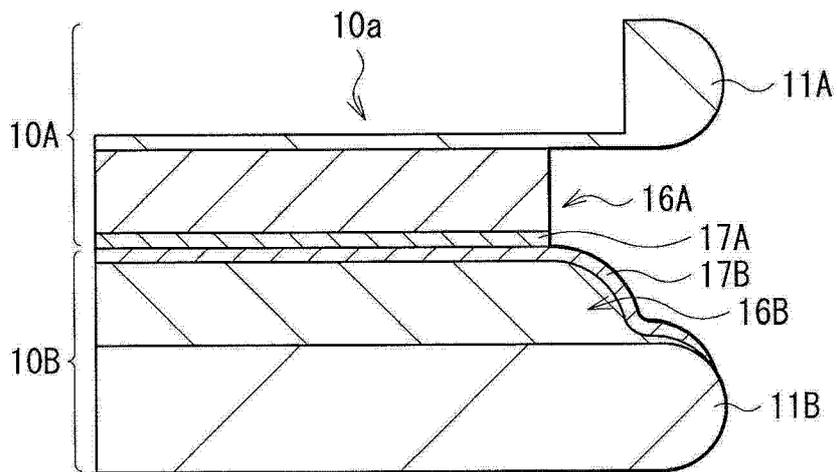


图 9B

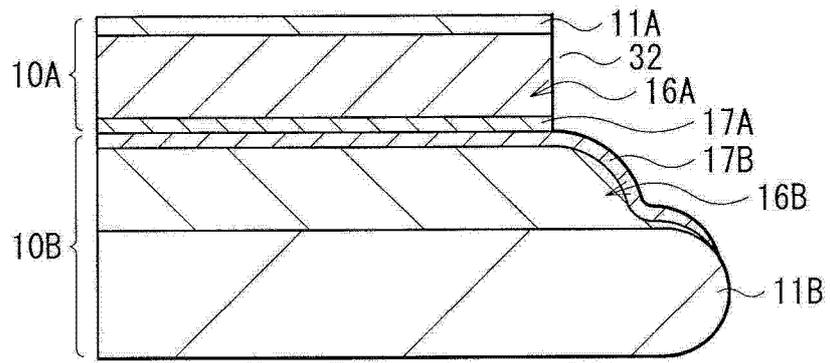


图 9C

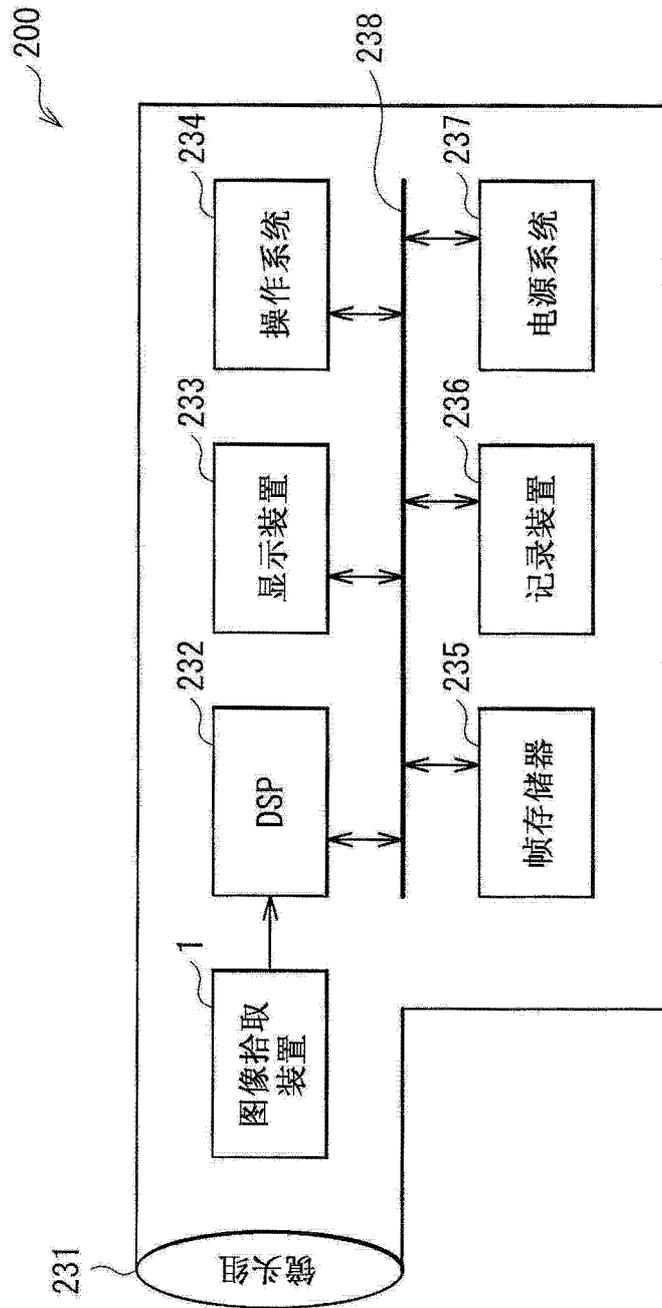


图 10