



[12] 发 明 专 利 说 明 书

[21] ZL 专利号 97196721.0

[45] 授权公告日 2004 年 2 月 18 日

[11] 授权公告号 CN 1139109C

[22] 申请日 1997.7.22 [21] 申请号 97196721.0

[30] 优先权

[32] 1996. 7. 23 [33] DE [31] 19629766.4

[86] 国际申请 PCT/DE97/01542 1997.7.22

[87] 国际公布 WO98/03991 德 1998.1.29

[85] 进入国家阶段日期 1999.1.25

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 N·埃尔贝尔 Z·加布里斯

B·纽雷特尔

审查员 聂少岩

[74] 专利代理机构 中国专利代理(香港)有限公司

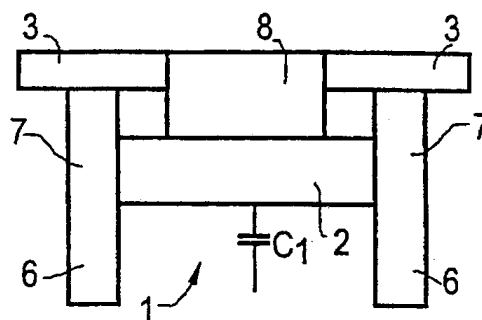
代理人 马铁良 王忠忠

权利要求书 2 页 说明书 5 页 附图 2 页

[54] 发明名称 在半导体衬底中建立高导电性埋入的侧面绝缘区域的方法

[57] 摘要

用于在半导体衬底中建立埋入的、高导电性的侧面绝缘区域的方法，具有如下的步骤：a) 准备具有高导电性的埋入区域的硅衬底，b) 在硅衬底上设置基准层，其中，做为基准层规定有一氮化硅层、一氮化钛层或一多晶硅层，c) 对基准层进行构图，d) 在硅衬底中产生一个槽，并且 e) 在如此产生的结构上设置用于填充该槽所应用的、由氧化硅构成的绝缘材料，其中，如此选择基准层，用于填充槽所应用的绝缘材料在基准层上的生长速率至少 2 倍地小于用于填充该槽所应用的绝缘材料在要覆盖的槽上表面上的生长速率。



1. 用于在半导体衬底中建立埋入的、高导电性的侧面绝缘区域的方法，具有如下的步骤：

- a) 准备具有高导电性的埋入区域的硅衬底 (1),
- 5 b) 在硅衬底 (1) 上设置基准层 (5, 12), 其中, 做为基准层 (5, 12) 规定有一氮化硅层、一氮化钛层或一多晶硅层,
- c) 对基准层 (5, 12) 进行构图,
- d) 在硅衬底 (1) 中产生一个槽 (6), 并且
- 10 e) 在如此产生的结构上设置用于填充该槽所应用的、由氧化硅构成的绝缘材料,

其中, 如此选择基准层 (5, 12), 用于填充槽 (6) 所应用的绝缘材料在基准层 (5, 12) 上的生长速率至少 2 倍地小于用于填充该槽所应用的绝缘材料在要覆盖的槽 (6) 上表面上的生长速率。

2. 如权利要求 1 的方法, 其特征在于, 该氧化硅以臭氧活化的 CVD
15 方法被淀积。

3. 如权利要求 1 或 2 的方法, 其特征在于, 用于填充该槽 (6) 所应用的绝缘材料如此一直设置, 直到在该槽 (6) 的周围构成基本上平的上表面。

4. 如权利要求 1 或 2 的方法, 其特征在于, 在衬底 (1) 和基准层
20 (5, 12) 之间规定有至少一个中间层 (3, 11)。

5. 如权利要求 4 的方法, 其特征在于, 所述中间层是一个氧化物层。

6. 如权利要求 1 或 2 的方法, 其特征在于, 在敷放用于填充该槽 (6) 所应用的绝缘材料之后进行热氧化处理。

7. 如权利要求 1 或 2 的方法, 其特征在于, 在产生槽 (6) 之后进
25 行线性氧化处理。

8. 如权利要求 1 或 2 的方法, 其特征在于, 在敷放用于填充该槽所应用的绝缘材料之后, 高于基准层 (5, 12) 的高度的绝缘材料部分再一次被去掉。

9. 如权利要求 1 或 2 的方法, 其特征在于, 该槽 (6) 达到高导电
30 性区域 (2) 的下部。

10. 如权利要求 1 或 2 的方法, 其特征在于, 该槽 (6) 为环形结构, 并且从侧面完全地包围高导电性区域 (2) 的至少一部分。

11. 如权利要求 1 或 2 的方法, 其特征在于, 该槽具有至少一个浅的范围 (21) 和至少一个深的范围 (22)。

12. 如权利要求 11 的方法, 其特征在于, 深的范围的宽度与浅的范围的级高的比值大约等于 $2 \times \alpha / (\alpha - 1)$, 其中 α 是用于填充槽所应用的绝缘材料在要覆盖的该槽 (6) 的上表面上的生长速率与用于填充槽所应用的绝缘材料在基准层 (12) 上的生长速率的比值。

13. 如权利要求 11 的方法, 其特征在于, 高于基准层 (12) 的高度的绝缘材料部分通过 CMP 方法再一次被去掉。

在半导体衬底中建立高导电性
埋入的侧面绝缘区域的方法

5 本发明涉及在半导体衬底中建立高导电性埋入的侧面绝缘区域的方法。本发明尤其涉及通过深槽绝缘在半导体衬底中建立高导电性埋入的侧面绝缘区域的方法。

高导电性的埋入区域，即所谓的“埋入层”应用在半导体技术中的多个器件的情况下以能够实现器件的侧面接触。例如在高频技术中，该埋入层在垂直的双极性晶体管中是集电极的一部分。

以此在一个芯片上的相邻的器件在功能上是不会相互干扰的，那么需要这些器件通过绝缘结构进行相互绝缘。这些相邻的器件分别具有一个“埋入层”，则这些“埋入层”也必须是相互绝缘的。

15 对于此种绝缘的最简单的可能性是在高导电性的各个区域之间存在足够的空间，以使该各个区域通过衬底进行相互绝缘。另外在高导电性的各个区域之间提供另外一个注入（“沟道停止层”），其用于产生截止的PN过渡区。

此种可能性的缺点在于器件的包装厚度受到大大的限制。另外应用在高频技术中时，双极性晶体管所达到的界限频率通过该电容受到限制，该电容形成在高导电区域和衬底之间。为了能够使界限频率大于 50Ghz，此区域-衬底-电容必须被明显地减小。

25 为了能够彻底地解决此问题而提出了用氧化物填充的槽（“深槽”），其以一个封闭的环的形式完全围绕在高导电性的各个区域。然而尤其在氧化物填充的槽的整平的时候存在一系列困难。通过槽的填充在半导体晶片的表面上存在较大的布图差异，这能够干扰以下的生产步骤。此布图差异通过整平，例如回蚀必须被再一次去掉。尤其是同时在衬底表面进行LOCOS绝缘时，通过回蚀的整平需要复杂而且昂贵的生产工艺。

30 本发明的任务在于给出一种在半导体衬底中建立高导电性的埋入的侧面绝缘区域的方法，其能够以较少的时间和费用进行有效的工作，并且能够实现具有优选的平面结构的衬底。

基准层 基准层 基准层 基准层 本发明提供用于在半导体衬底中建立埋入的、高导电性的侧面绝缘区域的方法，具有如下的步骤：

- a) 准备具有高导电性的埋入区域的硅衬底,
- b) 在硅衬底上设置基准层, 其中, 做为基准层规定有一氮化硅层、一氮化钛层或一多晶硅层,
- c) 对基准层进行构图,
- 5 d) 在硅衬底中产生一个槽, 并且
- e) 在如此产生的结构上设置用于填充该槽所应用的、由氧化硅构成的绝缘材料,

其中, 如此选择基准层, 用于填充槽所应用的绝缘材料在基准层上的生长速率至少 2 倍地小于用于填充该槽所应用的绝缘材料在要覆盖的槽上表面上的生长速率。

通过本发明的方法所产生的高导电性的埋入的侧面绝缘区域可以允许较厚的包装, 以此能够在半导体晶片上产生较高的集成密度。这样在高导电性区域和衬底之间的电容明显的减少, 以此能够在高频技术中实现较高的界限频率。本发明的方法还提供了这种可能, 绝缘高导电性区域, 15 否则在衬底的表面会构成大的布图差异。

优选的使用硅衬底作为衬底并且优选的使用氧化硅填充该槽。

另外有利的是使用一氮化硅层、一氮化钛或者一多晶硅层, 尤其是掺杂的多晶硅层作为基准层。在此该氧化硅有利的以臭氧活化的 CVD 方法, 尤其是 SACVD 方法进行淀积。这种臭氧活化的 CVD 方法例如在 EP 0 582 724 A1 和 EP 0 537 001 A1 中进行了描述。尤其是 SACVD 淀积方法通过非常 20 好的填充性能表现了该具有大于 2: 1 的较大外表比例的槽能够无缩孔的自动进行填充。

优选的用于填充该槽的材料如此设置, 在该槽的周围形成基本是平的表面。

25 基准层能够直接设置在衬底表面上。替换的是在衬底和基准层之间含有至少一个中间层, 尤其是一个氧化物层 (LOCOS - 氧化物, pad 氧化物)。

优选的在沉积用于填充该槽所使用的材料之后进行一个热氧化处理 (例如 900 - 1000℃, 10 - 30 分钟)。此氧化处理通过已经淀积的材料, 尤其是通过已经淀积的氧化硅起作用, 并且减少了衬底中存在的损伤, 30 该损伤能够在产生槽的期间出现。

衬底中的损伤能够通过线性氧化处理在产生槽之后进行减少。生长的氧化物最后通过湿化学方法再一次去掉, 因为随后的淀积过程的选择没

有给出。此“消耗氧化物”能够去掉例如腐蚀损伤和槽边沿上的静电，此静电损坏了该槽的绝缘性能。

优选的在沉积用于填充该槽所使用的绝缘材料之后，设置得超出基准层高度的绝缘材料的一部分再一次被去掉。对此应用了有利的湿化学或者等5 离子化学方法。

按照本发明的另一优选实施例该槽一直延伸到高导电性的区域。

另外有利的是，当该槽环形地构成时，该高导电性的区域从侧面进行了完全的包围。

一般的，各个器件另外在衬底表面通过场氧化物，尤其是 LOCOS 氧化物10 物进行相互的淀积。以此尤其有利的是，该槽含有至少一个平的范围和至少一个深的范围。以此方式该槽的平的范围能够替换在衬底表面上的场氧化物，并且能够得到良好整平的衬底表面。

现在设置得超过基准层高度的绝缘材料的一部分也可以通过 CMP（化学机械抛光）方法去掉。因为在使用平槽的情况下，该晶片表面在随后的 CMP 步骤之前已经是基本上平的，并且在 CMP 步骤期间的较大的槽范围15 的情况下没有出现额定值“表面凹陷”。

在此深的范围的宽度和平的范围的深度的比例有利的是大约等于 $2 \times \alpha / (\alpha - 1)$ ，其中 α 是用于填充该槽所使用的材料在衬底 2 上的生长速率和用于填充该槽所使用的材料在基准层 5 上的生长速率的比例。该20 槽的两个范围能够以此简单的方式进行填充，形成一个被淀积的绝缘材料的平的表面。

现在本发明借助于附图进行详细地解释。在附图中的相同部分使用相同的标志。图为：

图 1-3 是本发明的方法的示意性描述，

25 图 4 是通过本发明的方法所产生的器件结构，

图 5 是现有技术的器件结构，和

图 6 是另一个通过本发明的方法所产生的器件结构。

图 1 示出了一硅衬底并且以 1 标出。在衬底 1 中例如通过注入生成一个高导电性的区域 2（埋入层）。另外在衬底 1 的表面存在一个场氧化绝缘层 3（LOCOS - 氧化物），其用于绝缘不同的器件和/或一个器件的不同30 部分。

在衬底 1 或者场氧化物 3 的表面上设置有氮化硅层 5，其作为基准层

用于随后的槽的填充。该氮化硅层 (Si_3N_4) 通过 CVD 方法建立。

然后该氮化硅层通过光刻技术构图, 并且槽 6 各向异性地蚀刻。槽 6 在硅衬底 1 中蚀刻大约 $5\mu\text{m}$ 深并且宽度为 $1\mu\text{m}$ 。以此所得到的结构在图 1 中示出。

5 随后槽 6 以氧化硅 7 进行填充, 其以臭氧活化的 CVD 方法淀积。

在氧化硅层的臭氧活化的淀积时, 在不同的表面上达到不同的生长速率。在上述情况下, 氧化硅在氮化硅层 5 上的生长速率 5 倍小于氧化硅在槽 6 的硅或者氧化硅上的生长速率。该氧化物的淀积一直进行到槽 6 的周围基本上都是平的氧化物表面。

10 TEOS, 尤其是 OMTC (Octa-Metyl-Zyklo-Siloxan) 或者 HMDS (Hexa-Metyl-Disiloxan) 作为 CVD 淀积的输出物质。以此所形成的结构在图 2 中示出。

随后通过臭氧活化的 CVD 方法淀积的氧化硅 7 被去掉, 该氧化物位于氮化硅层 5 的上边沿的上部。此过程优选的通过回蚀实现。以此所得到的结构在图 3 中示出。

图 4 示出了通过本发明的方法所产生的器件结构。该器件结构含有高导电性的区域 2, 其通过环形封闭的槽 6 进行包围。

槽 6 通过氧化硅 7 填充, 并且槽 6 使高导电性的区域 2 在侧面方向进行绝缘。以此在区域 2 和衬底之间只在区域 2 的下侧构成额定值电容 C_i 。
20 在区域 2 的上方设有特有的器件 8, 其在衬底的表面附加通过场氧化物 3 进行绝缘。

图 5 示出了作为比较的现有技术的器件结构。在此区域 2 只通过衬底 1, 可能的情况下通过另一器件的一个附加的“沟道-停止层”-注入区 (未示出) 进行绝缘。另外在区域 2 的底面上的电容 $C1$ 现在只构成区域
25 2 的侧面上的另一电容 $C2$ 。这提高了区域 2 和衬底 1 之间的总电容, 并且应用 in 高频技术中时能够限制所能够达到的界限频率。

图 6 示出了另一通过本发明的方法所产生的器件结构, 此绝缘结构 20 含有一个在半导体衬底 1 中的以氧化硅 7 填充的槽 6。另外该绝缘结构 20 含有一个平的范围 21, 该范围从氮化硅层 12 (基准层) 的上表面计起为一个级高 T 。以此绝缘结构 20 具有一个深的范围 22。此深的范围 22 从
30 侧面绝缘了构成在衬底 1 中的高导电性的区域 2。在区域 2 的上方再一次设置了特有的器件 8。在氮化硅层 12 (基准层) 和衬底之间另外设置

了薄的 pad 氧化物 11。

绝缘结构 20 的区域 22 具有宽度 B。在此深的范围的宽度 B 与平的范围的级高 T 的比例大约等于 $2 \times \alpha / (\alpha - 1)$ ，其中 α 是用于填充槽所应用的材料在衬底 1 上的生长速率与用于填充槽所应用的材料在氮化硅层 12 上的生长速率的比值。

以此保证了在填充本发明的绝缘结构时产生了几乎平的氧化硅 7 的上表面。

槽 6 的平的区域 21 替换了衬底表面上的场氧化物 3 (参见图 1 到 3)，相对于通过 LOCOS 过程产生的场氧化物 3，槽 6 的平的区域 21 具有良好的平整性。在此情况下从基准层 12 产生的氧化硅 7 也可以通过 CMP 过程再一次去掉。

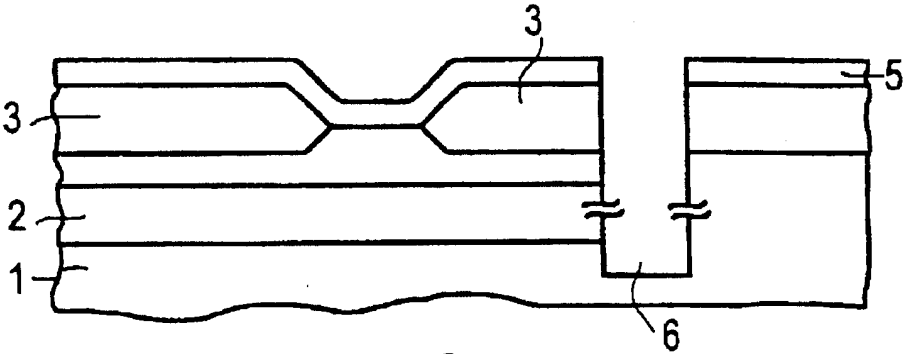


图 1

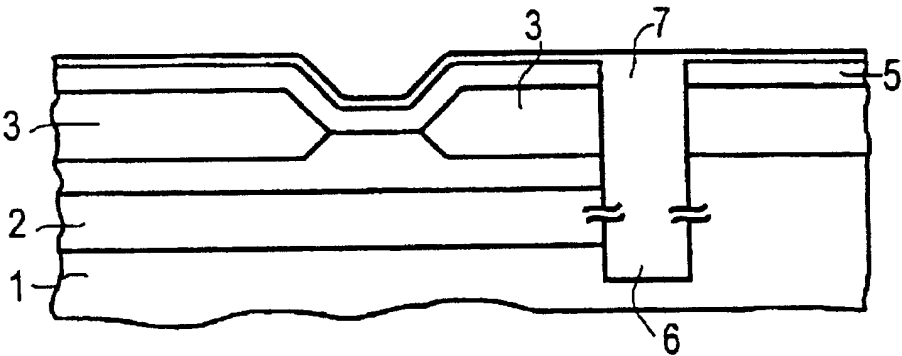


图 2

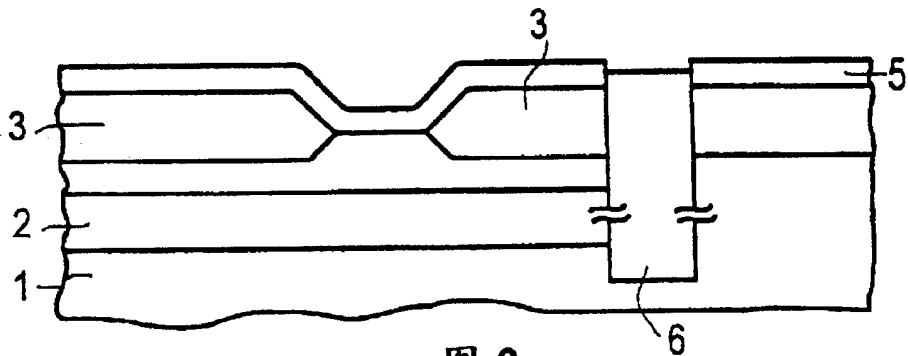


图 3

