

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4465713号
(P4465713)

(45) 発行日 平成22年5月19日(2010.5.19)

(24) 登録日 平成22年3月5日(2010.3.5)

| | | | | | |
|--------------|-------------|------------------|------|------|---|
| (51) Int.Cl. | | F I | | | |
| HO2M | 3/28 | (2006.01) | HO2M | 3/28 | C |
| HO2M | 7/21 | (2006.01) | HO2M | 7/21 | A |

請求項の数 4 (全 14 頁)

| | | | |
|-----------|-------------------------------|-----------|---------------------------------|
| (21) 出願番号 | 特願2004-329044 (P2004-329044) | (73) 特許権者 | 390013723 |
| (22) 出願日 | 平成16年11月12日(2004.11.12) | | TDKラムダ株式会社 |
| (65) 公開番号 | 特開2006-141151 (P2006-141151A) | | 東京都品川区東五反田一丁目11番15号 |
| (43) 公開日 | 平成18年6月1日(2006.6.1) | | 電波ビルディング |
| 審査請求日 | 平成18年6月27日(2006.6.27) | (74) 代理人 | 100080089 |
| | | | 弁理士 牛木 護 |
| | | (72) 発明者 | 竹上 栄治 |
| | | | 東京都品川区東五反田1-11-15 デンセイ・ラムダ株式会社内 |
| | | 審査官 | 杉浦 貴之 |

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置及び同期整流回路

(57) 【特許請求の範囲】

【請求項1】

電力路を開閉する一対の開閉端子と駆動端子とを有するFETを備えたスイッチング電源装置において、前記電力路からの電力とは別の電力を前記駆動端子に断続的に入力して前記FETをオン・オフ動作させる駆動手段と、当該オン・オフ動作停止時に前記開閉端子間に印加される電圧に応じた駆動電力を前記駆動端子に入力し、ドレイン-ソース間耐圧までは前記FETの開動作を抑制する保護駆動手段と、前記オン・オフ動作停止時に前記駆動手段の出力をハイインピーダンスにする出力開放手段とを備え、

前記保護駆動手段がダイオードと定電圧素子との直列回路からなることを特徴とするスイッチング電源装置。

【請求項2】

電力路を開閉する一対の開閉端子と駆動端子とを有するFETを備えたスイッチング電源装置において、前記FETをオン・オフ動作させる駆動手段と、当該オン・オフ動作停止時に前記開閉端子間に印加される電圧に応じた駆動電力を前記駆動端子に入力し、ドレイン-ソース間耐圧までは前記FETの開動作を抑制する保護駆動手段と、前記オン・オフ動作停止時に前記駆動手段の出力をハイインピーダンスにする出力開放手段とを備え、

前記保護駆動手段がダイオードと定電圧素子との直列回路からなることを特徴とするスイッチング電源装置。

【請求項3】

前記保護駆動手段は、前記開閉端子間に印加される電圧が所定値以上になると、前記所

定値を超えた分の超過電圧に応じ増加する駆動電力を前記駆動端子に入力するものであることを特徴とする請求項 1 又は請求項 2 のいずれか 1 つに記載のスイッチング電源装置。

【請求項 4】

電力路を開閉する一対の開閉端子と駆動端子とを有する F E T と、前記 F E T の同期整流動作をさせる同期駆動手段と、当該同期整流動作停止時に前記同期駆動手段の出力をハイインピーダンスにする出力開放手段とを備え、ダイオードと定電圧素子との直列回路が前記開閉端子の一方と前記駆動端子との間に接続され、前記駆動端子と前記開閉端子の他方との間に抵抗が接続され、ドレイン・ソース間耐圧までは前記 F E T の開動作を抑制することを特徴とする同期整流回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力電圧を所望の出力電圧に変換するスイッチング電源装置に関し、このようなスイッチング電源装置などに使用され、入力に同期して整流する同期整流回路に関する。

【背景技術】

【0002】

従来、この種の同期整流回路を搭載したスイッチング電源装置としては、トランスの二次巻線に誘起される電圧の極性に同期して整流するものが知られている。とりわけ、高効率・応答特性を良くするため、スイッチング電源装置の整流部に使用される素子として F E T を用いたものがある。

【0003】

しかし、このような同期整流回路をスイッチング電源装置に使用する場合には、スイッチング電源装置に使用されるインダクタンス素子に起因するサージ電圧から F E T を保護する必要がある。

【0004】

また、同期整流方式のスイッチング電源装置を共通する負荷に複数台（例えば 2 台）接続して並列運転を行った場合に、F E T の持つ電流の双方向性により、一方のスイッチング電源装置に他方のスイッチング電源装置からの出力インダクタ電流が逆流し（逆電圧が印加され）、その結果、同期整流停止時に F E T に過大な電圧ストレスが印加され、F E T の故障に至る可能性があった。

【0005】

上記問題を解決する手段として、特許文献 1 ～ 5 に開示されるような F E T の保護を考慮した同期整流回路がある。

【0006】

特許文献 1 には、F E T のゲート端子とトランスの二次巻線の一端との間にツェナーダイオードを接続した同期整流回路が開示されている。これは、二次巻線に誘起される電圧をツェナーダイオードを介して F E T のゲート・ソース間に入力するよう構成することにより、F E T を駆動させて二次巻線の誘起電圧を同期整流すると共に、F E T のゲート・ソース電圧をツェナー電圧分レベルシフトさせて F E T の破損を防ぐようにしている。

【0007】

特許文献 2 には、F E T のゲート端子とトランスの二次巻線の一端との間にゲート駆動用コンデンサを接続し、ゲート端子とソース端子との間にツェナーダイオードを接続した同期整流回路が開示されている。これは、二次巻線に誘起される電圧をゲート駆動用コンデンサと F E T のゲート容量とツェナーダイオードの静電容量で分割した電圧をゲート・ソース間に入力するよう構成することにより、F E T を駆動させて二次巻線の誘起電圧を同期整流すると共に、F E T のゲート・ソース間電圧をツェナー電圧でクランプして F E T の破損を防ぐようにしている。

【0008】

特許文献 3 には、整流用及び転流用の F E T のゲート端子それぞれに、トランスに設け

10

20

30

40

50

た2つの二次補助巻線の一端を接続する一方、トランスの一次側に共振現象を止める手段を設けた同期整流回路が開示されている。これは、二次補助巻線に誘起される電圧を整流用FET及び転流用FETのゲート-ソース間に交互に入力するように構成することにより、整流用FET及び転流用FETを交互に駆動させて二次巻線の誘起電圧を同期整流すると共に、電源停止時に生じるトランスの一次側の共振現象を止めることで、二次側でのサージ電圧の発生を抑制し、FETの破損を防ぐようにしている。

【0009】

特許文献4には、整流用FETのゲート端子とトランスの二次巻線の一端との間にコンデンサを接続し、転流用FETのゲート端子にトランスに設けた二次補助巻線の一端を接続し、整流用FET及び転流用FETのゲート電圧をそれぞれグラウンドレベルに落とす2つの補助FETを設けた同期整流回路が開示されている。これは、二次巻線に誘起される電圧をコンデンサと整流用FETのゲート容量とで分割した電圧を整流用FETのゲート-ソース間に入力し、二次補助巻線に発生するフライバック電圧を転流用ダイオードに入力するように構成している。なお、補助FETは、整流用FET及び転流用FETのゲート電圧を瞬時に放電させて、整流用FETと転流用FETとを速やかに切り換える手段として設けられている。これにより、整流用FETと転流用FETとを交互に駆動させて二次巻線の誘起電圧を同期整流すると共に、電源停止時に第2の補助FETがターンオフすると、転流用FETと第1の補助FETのゲート電圧が抵抗を介して徐々に放電し、転流用FETがターンオフする。そして、前記コンデンサが充電されてから第1の補助FETがターンオフすることにより、整流用FETのゲート端子に電荷がチャージされないようにして整流用FETの破損を防ぐようにしている。

【0010】

特許文献5には、FETのゲート端子にトランスに設けた二次補助巻線の一端を接続し、ゲート端子とソース端子との間にツェナーダイオードとダイオードとからなる直列回路を接続した同期整流回路が開示されている。これは、二次補助巻線に誘起される電圧をゲート-ソース間に入力するよう構成することにより、FETを駆動させて二次巻線の誘起電圧を同期整流すると共に、FETのゲート-ソース間電圧をツェナー電圧でクランプしてFETの破損を防ぐようにしている。

【特許文献1】特開平11-8974号公報

【特許文献2】特開2000-156974号公報

【特許文献3】特開2002-320385号公報

【特許文献4】特開2004-15886号公報

【特許文献5】特開2004-187387号公報

【発明の開示】

【発明が解決しようとする課題】

【0011】

しかしながら、上記特許文献1～5に開示される同期整流回路では、FETの駆動電圧に二次巻線又は二次補助巻線の誘起電圧を利用しているため、FETのドレイン-ソース間電圧が当該誘起電圧に左右されてしまうという問題があった。近年は広範囲な入力電圧に対応できるいわゆるワイドレンジ化に対応したスイッチング電源装置が市場で要求されており、入力電圧の大きな変化にも対応する必要がある。このような要求から入力電圧が増加すると、それに伴い二次巻線に誘起される電圧も増加し、ドレイン-ソース間電圧がその耐圧(絶対最大定格)を越え、FETが破損する虞があった。

【0012】

また、入力電圧が一定であっても、FETのゲート-ソース間をツェナーダイオードでクランプするものでは、例えば負荷側からの逆流など何らかの原因でクランプする電圧が当該ツェナー電圧を大きく超えてしまうと、ツェナーダイオードで消費される電力が許容損失を超えてしまい故障する虞があり、その結果、FETも破損する虞があった。

【0013】

そこで本発明は上記問題点に鑑み、スイッチ素子にかかる電圧ストレスを少ない部品点

数で確実に抑制するスイッチング電源装置を提供することを目的とする。

【0014】

また、同期整流停止時にスイッチ素子にかかる電圧ストレスを少ない部品点数で確実に抑制する同期整流回路を提供することを別の目的とする。

【課題を解決するための手段】

【0015】

本発明における請求項1のスイッチング電源装置では、電力路を開閉する一対の開閉端子と駆動端子とを有するFETを備えたスイッチング電源装置において、前記電力路からの電力とは別の電力を前記駆動端子に断続的に入力して前記FETをオン・オフ動作させる駆動手段と、当該オン・オフ動作停止時に前記開閉端子間に印加される電圧に応じた駆動電力を前記駆動端子に入力し、ドレイン・ソース間耐圧までは前記FETの開動作を抑制する保護駆動手段と、前記オン・オフ動作停止時に前記駆動手段の出力をハイインピーダンスにする出力開放手段とを備え、前記保護駆動手段がダイオードと定電圧素子との直列回路からなっている。

10

【0016】

このようにすると、FETの駆動端子に入力される電力が、電力路からの電力とは別系統となるため、スイッチング電源装置の入力電圧が増加しても、FETの駆動電力は変化せず、FETの破損を防ぐことができる。また、FETのオン・オフ動作停止時には、保護駆動手段によりFETの開閉端子間に印加される電圧に応じた駆動電力が駆動端子に入力されるため、開閉端子間の耐圧を越える電圧が印加された場合でも、それに応じて開閉端子間が導通し、開閉端子間に発生する電圧ストレスを抑制することができる。

20

【0017】

また、FETの駆動端子に駆動手段と保護駆動手段とを共に接続しておいても、オン・オフ動作停止時には、駆動手段が切り離された状態となるため、両者を容易に切り換えることができる。

【0018】

本発明における請求項2のスイッチング電源装置では、電力路を開閉する一対の開閉端子と駆動端子とを有するFETを備えたスイッチング電源装置において、前記FETをオン・オフ動作させる駆動手段と、当該オン・オフ動作停止時に前記開閉端子間に印加される電圧に応じた駆動電力を前記駆動端子に入力し、ドレイン・ソース間耐圧までは前記FETの開動作を抑制する保護駆動手段と、前記オン・オフ動作停止時に前記駆動手段の出力をハイインピーダンスにする出力開放手段とを備え、前記保護駆動手段がダイオードと定電圧素子との直列回路からなっている。

30

【0019】

このようにすると、FETのオン・オフ動作停止時には、保護駆動手段によりFETの開閉端子間に印加される電圧に応じた駆動電力が駆動端子に入力されるため、開閉端子間の耐圧を越える電圧が印加された場合でも、それに応じて開閉端子間が導通し、開閉端子間に発生する電圧ストレスを抑制することができる。また、FETの駆動端子に駆動手段と保護駆動手段とを共に接続しておいても、オン・オフ動作停止時には、駆動手段が切り離された状態となるため、両者を容易に切り換えることができる。

40

【0020】

本発明における請求項3のスイッチング電源装置では、前記保護駆動手段は、前記開閉端子間に印加される電圧が所定値以上になると、前記所定値を超えた分の超過電圧に応じ増加する駆動電力を前記駆動端子に入力するものである。

【0021】

このようにすると、例えば開閉端子間耐圧などの所定値までは、開閉端子間の導通を抑制することができ、無駄な電力を消費することがない。また、所定値を超えた分の超過電圧に応じて増加する駆動電力が前記駆動端子に入力されるため、開閉端子間に印加される電圧に対応した適切な駆動電力によりFETのオン動作を行うことができる。

【0022】

50

本発明における請求項4の同期整流回路では、電力路を開閉する一対の開閉端子と駆動端子とを有するFETと、前記FETの同期整流動作をさせる同期駆動手段と、当該同期整流動作停止時に前記同期駆動手段の出力をハイインピーダンスにする出力開放手段とを備え、ダイオードと定電圧素子との直列回路が前記開閉端子の一方と前記駆動端子との間に接続され、前記駆動端子と前記開閉端子の他方との間に抵抗が接続され、ドレイン-ソース間耐圧までは前記FETの開動作を抑制する。

【0023】

このようにすると、同期整流動作停止時には、定電圧素子によりFETの開閉端子間に印加される電圧から所定の電圧分降下させた駆動電力が駆動端子に入力されるため、開閉端子間の耐圧を越える電圧が印加された場合には、それに応じて開閉端子間が導通し、開閉端子間に発生する電圧ストレスを抑制することができる。このとき、例えば開閉端子間耐圧などの所定値までは、定電圧素子が導通しないため、無駄な電力を消費することがない。その上、所定値を超えた分の超過電圧に応じて増加する駆動電力が駆動端子に入力されるため、開閉端子間に印加される電圧に対応した適切な駆動電力によりFETのオン動作を行うことができる。

10

【0024】

FETの開閉端子間電圧は、定電圧素子と抵抗により分圧されるため、開閉端子間電圧が定電圧素子に設定された所定電圧を超えると、FETの開閉端子間が導通することで、定電圧素子での損失が減少するため、定電圧素子が破損することはない。

さらに、FETの駆動端子に同期駆動手段と保護駆動手段とを共に接続しておいても、同期整流動作停止時には、同期駆動手段が切り離された状態となるため、両者を容易に切り換えることができる。それに伴い、保護駆動手段に設けられたダイオードが、保護駆動手段を通じて流出する電流を阻止する。

20

【発明の効果】

【0025】

本発明の請求項1によると、入力電圧の増加に容易に対応することができると共に、オン・オフ動作停止時にFETにかかる電圧ストレスを確実に抑制するスイッチング電源装置を提供することができる。

【0026】

また、駆動手段と保護駆動手段とを容易に切り換えてFETを保護することができる。

30

【0027】

本発明の請求項2によると、オン・オフ動作停止時にFETにかかる電圧ストレスを確実に抑制するスイッチング電源装置を提供することができる。

【0028】

本発明の請求項3によると、無駄な電力消費を抑えながらFETを保護することができる。

【0029】

本発明の請求項4によると、入力電圧の増加に容易に対応することができると共に、少ない部品で同期整流停止時に当該同期整流回路を構成する各素子にかかる電圧ストレスを確実に抑制する同期整流回路を提供することができる。

40

【発明を実施するための最良の形態】

【0030】

以下、添付図面を参照しながら、本発明におけるスイッチング電源及び同期整流回路の好ましい実施例を説明する。

【0031】

図1は、本発明における同期整流回路を備えたスイッチング電源装置を示す回路図である。同図において、1はスイッチング電源装置としてのDC-DCコンバータであり、一対の入力端子2a, 2b(正極入力端子2a, 負極入力端子2b)に接続された図示しない直流電源から電力を取り出し、所望の電圧値を有する直流電力に変換し、一対の出力端子3a, 3b(正極出力端子3a, 負極出力端子3b)から図示しない任意の負荷へ出力

50

する。本実施例では、DC - DCコンバータ1をハーフブリッジ形コンバータ回路で構成している。

【0032】

DC - DCコンバータ1の回路構成について詳述する。正極入力端子2aと負極入力端子2bとの間には、コンデンサ4, 5の直列回路が接続される。また、正極入力端子2aには、例えばMOSFETからなるスイッチング素子6のドレインが接続される一方、負極入力端子2bには、例えばMOSFETからなるスイッチング素子7のソースが接続され、スイッチング素子6のソースとスイッチング素子7のドレインとが接続される。

【0033】

DC - DCコンバータ1の入力側と出力側とを絶縁するトランス10は、一次巻線11と、二次巻線12とからなる。一次巻線11のドット側は、スイッチング素子6のソースとスイッチング素子7のドレインとの接続ラインに接続され、非ドット側は、コンデンサ4とコンデンサ5との接続ラインに接続される。18は、DC - DCコンバータ1の入力側と出力側とを絶縁するドライブトランスであり、一次巻線13, 14と、二次巻線15とからなる。一次巻線13には、抵抗17が並列接続されると共に、そのドット側はスイッチング素子7のソースひいては負極入力端子2bに接続され、非ドット側はスイッチング素子7のゲートに接続される。一次巻線14には、抵抗16が並列接続されると共に、その非ドット側はスイッチング素子6のソースとスイッチング素子7のドレインとの接続ラインに接続され、ドット側はスイッチング素子6のゲートに接続される。

【0034】

ドライブトランス18の二次巻線15はスイッチングドライバ35の出力端子OUTA, OUTB間に接続され、スイッチングドライバ35の入力端子INA, INBには、それぞれパルス発生器27のパルス出力端子OUT3, OUT2が接続される。スイッチングドライバ35の電源端子VDD及び接地端子GNDは、それぞれパルス発生器27の電源端子VDD及び接地端子GNDと接続される。スイッチングドライバ35は、後述するように、パルス発生器27から入力されるパルス信号と同期した出力電力を二次巻線15に供給することにより、スイッチング素子6, 7をスイッチング動作させる。

【0035】

トランス10の二次巻線12のドット側にはチョークコイル20の一端が接続され、非ドット側にはチョークコイル21の一端が接続される。一方、チョークコイル20の他端とチョークコイル21の他端とは、共に正極出力端子3aに接続される。正極出力端子3aと負極出力端子3bとの間には平滑コンデンサ22が接続され、この平滑コンデンサ22とチョークコイル20, 21とにより平滑回路が構成される。

【0036】

二次巻線12と前記平滑回路との間には同期整流回路23が挿入されている。同期整流回路23は、主に、スイッチ素子としての例えばMOS型のFET25, 26と、ダイオード42のカソードとツェナーダイオード43のアノードとを接続した直列回路からなる保護駆動手段50と、ダイオード44のカソードとツェナーダイオード45のアノードとを接続した直列回路からなる保護駆動手段51と、同期駆動手段としての同期整流ドライバ34と、前記パルス発生器27とから構成されている。

【0037】

FET25のドレインは二次巻線12の非ドット側に接続され、ソースは負極出力端子3bに接続される。FET25のゲート - ドレイン間には、ツェナーダイオード43のアノードがFET25のゲート側、ダイオード42のアノードがドレイン側となるよう保護駆動手段50が接続される一方、FET25のゲート - ソース間には抵抗40が接続される。また、FET25のゲートには同期整流ドライバ34の出力端子OUTBが接続される。

【0038】

一方、FET26のドレインは二次巻線12のドット側に接続され、ソースは負極出力端子3bに接続される。FET26のゲート - ドレイン間には、ツェナーダイオード45のアノードがFET26のゲート側、ダイオード44のアノードがドレイン側となるよう保護駆動手段

10

20

30

40

50

51が接続される一方、F E T 26のゲート - ソース間には抵抗41が接続される。また、F E T 26のゲートには同期整流ドライバ34の出力端子OUTAが接続される。なお、ダイオード42, 44は、同期整流ドライバ34の出力端子OUTB, OUTAからF E T 25, 26のドレインへの電流流出を阻止するために設けられている。

【 0 0 3 9 】

同期整流ドライバ34の入力端子INA, INBには、それぞれ抵抗28, 30を介してパルス発生器27の出力端子OUT6, OUT4が接続される。同期整流ドライバ34の電源端子VDDは、スイッチングドライバ35と同様にパルス発生器27の電源端子VDDと接続されるが、接地端子GNDは、例えばM O S型のF E T 29のドレインに接続される。F E T 29のソースは、負極出力端子3 bとパルス発生器27の接地端子GNDに接続され、ゲートは、パルス発生器27の出力端子OUT5と接続される。また、同期整流ドライバ34の接地端子GNDにはダイオード31, 32のアノードが接続され、ダイオード31, 32のカソードは、それぞれ同期整流ドライバ34の入力端子INA, INBに接続される。なお、同期整流ドライバ34の電源ラインとグラウンドラインとの間には、デカップリングコンデンサ33が接続されている。

【 0 0 4 0 】

次に、本発明における同期整流回路の作用について、図1及び図2を参照しながらD C - D Cコンバータ1の動作と共に説明する。

【 0 0 4 1 】

図2は、D C - D Cコンバータ1各部の電圧・電流波形を示したものである。Vcntは、パルス発生器27の出力端子OUT5から出力されるコントロール信号の電圧波形であり、コンバータもしくは同期整流ドライバ34ひいては同期整流回路23のみを停止させる時にLレベルになる信号である。コントロール信号VcntのHレベルがF E T 29のゲートへ出力されることにより、F E T 29がターンオンし、同期整流ドライバ34の接地端子GNDがパルス発生器27の接地端子GND, スwitchングドライバ35の接地端子GND, 負極出力端子3 bなどと接地される。コントロール信号VcntのLレベルがF E T 29のゲートへ出力されると、F E T 29がターンオフし、同期整流ドライバ34の接地端子GNDが切り離された状態となり、同期整流ドライバ34の出力端子OUTA, OUTBが共にハイインピーダンス(高抵抗状態)となる。従って、本実施例においては、コントロール信号Vcntを出力するパルス発生器27やF E T 29などが出力開放手段に相当する。言い換えると、パルス発生器27やF E T 29などは同期整流器ON/OFF制御手段として機能している。同期整流ドライバ34に例えば出力イネーブル端子などが用意されている場合には、F E T 29を設けなくてもよく、コントロール信号Vcntを直接出力イネーブル端子に入力すればよい。

【 0 0 4 2 】

スイッチング素子6, 7のゲート - ソース間電圧であるスイッチング電圧を示したものがVgs_S1, Vgs_S2であり、スイッチング素子6, 7が交互にスイッチング動作する様子を表している。当該スイッチング動作について詳述する。パルス発生器27では、D C - D Cコンバータ1の出力を安定させるために、例えばP W M制御されたスイッチングパルスが生成され、出力端子OUT3, OUT2からスイッチングドライバ35の入力端子INA, INBへそれぞれ出力される。スイッチングドライバ35は、前記スイッチングパルスを基に、出力端子OUTA, OUTB間に接続されたドライブトランス18の二次巻線15へ交流電流を流す。

【 0 0 4 3 】

二次巻線15のドット側から非ドット側へと電流が流れた場合には、ドライブトランス18の特性から、一次巻線14のドット側に正の電圧が誘起され、一次巻線13の非ドット側に負の電圧が誘起される。すなわち、スイッチング素子6のスイッチング電圧Vgs_S1がHレベル(正の電圧)になる一方、スイッチング素子7のスイッチング電圧Vgs_S2がLレベル以下(負の電圧)になる。反対に、二次巻線15の非ドット側からドット側へと電流が流れた場合には、一次巻線13の非ドット側に正の電圧が誘起され、一次巻線14のドット側に負の電圧が誘起される。すなわち、スイッチング素子7のスイッチング電圧Vgs_S1がHレベル(正の電圧)になる一方、スイッチング素子6のスイッチング電圧Vgs_S2がLレベル以下(負の電圧)になる。このようにして、スイッチング素子6, 7が交互にスイッ

10

20

30

40

50

チング動作する。なお、スイッチング電圧 V_{gs_S1} , V_{gs_S2} には、スイッチング素子 6 , 7 が同時にターンオンしないように、少なくとも、ある所定の時間だけ両者が L レベルになるリセット期間が設けられている。

【 0 0 4 4 】

スイッチング素子 6 がターンオンのときは、正極入力端子 2 a からトランス 10 の一次巻線 11 を通してコンデンサ 4 , 5 へ電流が流れ込む。このとき、一次巻線 11 に流れる電流はドット側から非ドット側へ流れるため、二次巻線 12 のドット側に電圧が誘起される。一方、スイッチング素子 7 がターンオンのときは、コンデンサ 4 , 5 から一次巻線 11 を通して負極入力端子 2 b へ電流が流れ出す。このとき、一次巻線 11 に流れる電流は非ドット側からドット側へ流れるため、二次巻線 12 の非ドット側に電圧が誘起される。この二次巻線 12 に誘起される交流電圧が、二次巻線 12 の誘起電圧 V_{trans} となる。誘起電圧 V_{trans} は、後述するように、同期整流回路 23 により整流されると共に、チョークコイル 20 , 21 や平滑コンデンサ 22 により平滑され、正極出力端子 3 a と負極出力端子 3 b との間に接続された前記負荷に出力されることとなる。

10

【 0 0 4 5 】

同期整流回路 23 は、F E T 25 , 26 を交互にターンオンさせることにより、誘起電圧 V_{trans} を同期整流する。F E T 25 , 26 のゲート - ソース間電圧である駆動電圧を示したものが V_{gs_S3} , V_{gs_S4} であり、F E T 25 , 26 が交互にターンオンする様子を表している。当該同期整流動作について詳述する。パルス発生器 27 では、前記スイッチングパルスに同期した同期パルスが生成され、出力端子 OUT6 , OUT4 から同期整流ドライバ 34 の入力端子 INA , INB へそれぞれ出力される。同期整流ドライバ 34 は、前記同期パルスを基に、出力端子 OUTB , OUTA から F E T 25 , 26 のゲートへ、駆動電圧 V_{gs_S3} , V_{gs_S4} を出力する。もちろん、パルス発生器 27 が十分なドライブ能力を有している場合には、パルス発生器 27 を同期駆動手段として、出力端子 OUT6 , OUT4 から出力される同期パルスを駆動電圧 V_{gs_S3} , V_{gs_S4} として F E T 25 , 26 のゲートへ出力してもよい。

20

【 0 0 4 6 】

駆動電圧 V_{gs_S3} , V_{gs_S4} は、前記同期パルスによりスイッチングパルスひいてはスイッチング素子 6 , 7 のスイッチング電圧 V_{gs_S1} , V_{gs_S2} と同期しており、駆動電圧 V_{gs_S3} はスイッチング電圧 V_{gs_S2} のオフ期間 (L レベル以下の期間) に H レベルとなり、駆動電圧 V_{gs_S4} はスイッチング電圧 V_{gs_S1} のオフ期間に H レベルとなるよう構成されている。言い換えると、スイッチング素子 6 がターンオンして誘起電圧 V_{trans} が正となるときには、F E T 25 がターンオンし、F E T 26 がターンオフする一方、スイッチング素子 7 がターンオンして誘起電圧 V_{trans} が負となるときには、F E T 25 がターンオフし、F E T 26 がターンオンする。すなわち、同期整流回路 23 は、その入力電圧となる誘起電圧 V_{trans} に同期して F E T 25 , 26 をオン・オフ動作させることにより、同期整流動作を行う。なお、前記リセット期間時には、駆動電圧 V_{gs_S3} と駆動電圧 V_{gs_S4} とが共に H レベルとなる。

30

【 0 0 4 7 】

F E T 25 のゲートに H レベルの駆動電圧 V_{gs_S3} が入力され、F E T 26 のゲートに駆動電圧 V_{gs_S4} が入力されない (L レベルが入力される) と、F E T 25 がターンオンし、F E T 26 がターンオフする。こうなると、二次巻線 12 チョークコイル 20 正極出力端子 3 a (負荷) 負極出力端子 3 b F E T 25 二次巻線 12 に至る閉路が形成され、正の誘起電圧 V_{trans} が整流されることとなる。同時に、チョークコイル 21 正極出力端子 3 a (負荷) 負極出力端子 3 b F E T 25 チョークコイル 21 に至る閉路も形成される。このとき、チョークコイル 20 ではエネルギーが蓄えられる一方、チョークコイル 21 では蓄えられたエネルギーが放出される。

40

【 0 0 4 8 】

同様に、F E T 26 のゲートに H レベルの駆動電圧 V_{gs_S4} が入力され、F E T 25 のゲートに駆動電圧 V_{gs_S3} が入力されない (L レベルが入力される) と、F E T 26 がターンオンし、F E T 25 がターンオフする。こうなると、二次巻線 12 チョークコイル 21 正極出

50

力端子 3 a (負荷) 負極出力端子 3 b F E T 26 二次巻線 12 に至る閉路が形成され、負の誘起電圧 V_{trans} が整流されることとなる。同時に、チョークコイル 20 正極出力端子 3 a (負荷) 負極出力端子 3 b F E T 26 チョークコイル 20 に至る閉路も形成される。このとき、チョークコイル 21 ではエネルギーが蓄えられる一方、チョークコイル 20 では蓄えられたエネルギーが放出される。すなわち、F E T 25, 26 は整流素子であると同時に転流素子としても機能する。

【 0 0 4 9 】

なお、 I_{Lf1} , I_{Lf2} はチョークコイル 20, 21 を流れるチョークコイル電流であり、チョークコイル 20, 21 にエネルギーが蓄えられる又は放出されることにより、増減を繰り返し脈動しながら流れる。

【 0 0 5 0 】

ここで、F E T 25, 26 の周辺回路について詳述する。

【 0 0 5 1 】

誘起電圧 V_{trans} が正となる期間は、F E T 26 がターンオフしているため、当該ドレイン - ソース間に誘起電圧 V_{trans} が印加される。また、F E T 26 のゲートに駆動電圧 V_{gs_S4} が入力されていないため、当該ゲート - ドレイン間にも誘起電圧 V_{trans} が印加されることとなる。このとき、当該ゲート - ドレイン間には、保護駆動手段 51 が接続されているが、ツェナーダイオード 45 は、誘起電圧 V_{trans} 程度の電圧では導通しないツェナー電圧 V_z が設定されているため、F E T 26 のゲート電圧が上昇することはない。従って、F E T 26 のオフ状態が維持される。同様に、ツェナーダイオード 43 は、誘起電圧 V_{trans} 程度の電圧では導通しないツェナー電圧 V_z が設定されているため、F E T 25 のゲート - ソース電圧が上昇することはない。従って、F E T 25 のオフ状態が維持される。

【 0 0 5 2 】

このように、F E T 25, 26 のゲート - ドレイン間には、スレッシュホールド (閾値) を持つ部品であるツェナーダイオード 43, 45 を接続しているため、通常動作時においては、F E T 25, 26 は、誘起電圧 V_{trans} とは別系統となる同期整流ドライバ 34 のみで駆動する。従って、D C - D C コンバータ 1 の入力電圧の増加に伴い二次巻線 12 に誘起される誘起電圧 V_{trans} が増加しても、F E T 25, 26 のドレイン - ソース間電圧 V_{ds_S3} , V_{ds_S4} (以下、ドレイン電圧 V_{ds_S3} , V_{ds_S4} という) がその耐圧を越えず、F E T が破損することがない。

【 0 0 5 3 】

ところで、こうした同期整流方式の D C - D C コンバータ 1 を共通する負荷に複数台接続して並列運転を行った場合には、負荷変動などの何らかの原因で他方の D C - D C コンバータ 1 の出力電圧が上昇してしまうことがある。このような場合、一方の D C - D C コンバータ 1 のチョークコイル電流 I_{Lf1} , I_{Lf2} は逆流し、負の電流になる。この時に D C - D C コンバータ 1 を停止させるとコントロール信号 V_{cnt} は L レベルになり、図 2 の期間 T になる。期間 T では、スイッチング電圧 V_{gs_S1} , V_{gs_S2} の供給が停止するに伴い、誘起電圧 V_{trans} の発生が停止している。このとき、コントロール信号 V_{cnt} も L レベルとなるため、前述したように、同期整流ドライバ 34 の出力端子 OUTA, OUTB が共にハイインピーダンスとなる。すなわち、同期整流ドライバ 34 の出力端子 OUTA, OUTB が、等価的に F E T 25, 26 のゲートから切り離された状態となる。図 2 の駆動電圧 V_{gs_S3} のように、H レベルのときに停止すると、F E T 25 のゲート - ソース間電圧が抵抗 40 により放電され、徐々に減少していく。

【 0 0 5 4 】

以下、スイッチング動作停止時における F E T 25, 26 の保護について説明する。なお、都合上 F E T 25 についてのみ説明するが、F E T 26 については、周辺回路等の符号が変わるだけで内容は F E T 25 と略同じである。

【 0 0 5 5 】

正極出力端子 3 a から他の出力電流が逆流し、チョークコイル 20, 21 のチョークコイル電流 I_{Lf1} , I_{Lf2} が負向きだと、F E T 25 のドレイン - ソース間に他の D C - D C コンバ

10

20

30

40

50

ータ1の出力電圧 V_o とチョークコイル20, 21の起電力によるサージ電圧との和となるサージ電圧 V_s が印加されることとなる。一般に、MOS型FETなどでは、ゲート-ソース間の耐圧よりもドレイン-ソース間の耐圧の方が大きいので、かなりの大きさのサージ電圧 V_s が印加されても耐えることができるが、サージ電圧 V_s が誘起電圧 V_{trans} よりも大きく、FET25のドレイン電圧 V_{ds_S3} がその耐圧付近にまで達してしまう場合には、保護駆動手段50によりFET25が保護されることとなる。

【0056】

ドレイン電圧 V_{ds_S3} がその耐圧以下の所定値すなわちツェナーダイオード43の閾値であるツェナー電圧 V_z に達すると、ツェナーダイオード43が導通し、当該ゲート-ソース電圧である駆動電圧 V_{gs_S3} が上昇する。このとき、ツェナーダイオード43がFET25のゲート電位に負帰還をかけ、駆動電圧 V_{gs_S3} がそれ以上低下しないように作用する。すなわち、駆動電圧 V_{gs_S3} は、サージ電圧 V_s からツェナーダイオード43のツェナー電圧 V_z を引いた電圧($V_{gs_S3} = V_s - V_z$)に固定され、FET25のゲートに入力される(ダイオード42の順方向降下電圧は考慮していない)。言い換えると、ドレイン電圧 V_{ds_S3} , V_{ds_S4} は、ツェナー電圧 V_z をツェナーダイオード43, 45と抵抗40, 41とにより分圧した電圧となる。

10

【0057】

その後、駆動電圧 V_{gs_S3} がFET25のゲート閾値電圧を越えると、FET25がターンオンするが、駆動電圧 V_{gs_S3} が低い間は線形領域となるため、当該ドレイン電流は駆動電圧 V_{gs_S3} に比例して増加することとなる。このようにして、FET25のドレイン-ソース間の耐圧を越える大きさの電圧が印加された場合には、それに応じた(比例した)駆動電圧 V_{gs_S3} がゲートに入力されることにより、ドレイン-ソース間が導通するため、当該ドレイン-ソース間に発生する電圧ストレスを抑制することができる。なお、本実施例では、ドレイン電圧 V_{ds_S3} がツェナー電圧 V_z を超えても、FET25のドレイン-ソース間が導通することで、ツェナーダイオード43での損失が減少するため、ツェナーダイオード43が破損することはない。

20

【0058】

以上のように本実施例では、電力路を開閉する一対の開閉端子としてのドレイン, ソースと駆動端子としてのゲートとを有するスイッチ素子としてのFET25, 26を備えたスイッチング電源装置としてのDC-DCコンバータ1において、前記電力路からの電力としての誘起電圧 V_{trans} とは別の電力である駆動電圧 V_{gs_S3} , V_{gs_S4} をゲートに断続的に入力してFET25, 26のオン・オフ動作させる駆動手段としての同期整流ドライバ34(パルス発生器27)と、当該オン・オフ動作停止時にドレイン電圧 V_{ds_S3} , V_{ds_S4} に応じた駆動電力としての駆動電圧 V_{gs_S3} , V_{gs_S4} をゲートに入力する保護駆動手段50, 51とを備えている。

30

【0059】

このようにすると、FET25, 26のゲートに入力される電力が、誘起電圧 V_{trans} とは別系統となるため、DC-DCコンバータ1の入力電圧が増加しても、FET25, 26の駆動電圧 V_{gs_S3} , V_{gs_S4} は変化せず、FET25, 26の破損を防ぐことができる。また、FET25, 26のオン・オフ動作停止時には、保護駆動手段50, 51によりFET25, 26のドレイン電圧 V_{ds_S3} , V_{ds_S4} に応じた駆動電圧 V_{gs_S3} , V_{gs_S4} がゲートに入力されるため、ドレイン-ソース間の耐圧を越えるドレイン電圧 V_{ds_S3} , V_{ds_S4} が印加された場合でも、それに応じてドレイン-ソース間が導通し、ドレイン-ソース間に発生する電圧ストレスを抑制することができる。以上より、入力電圧の増加に容易に対応することができると共に、オン・オフ動作停止時にFET25, 26にかかる電圧ストレスを確実に抑制する同期整流回路を提供することができる。

40

【0060】

さらに本実施例のDC-DCコンバータ1では、前記オン・オフ動作停止時に同期整流ドライバ34の出力をハイインピーダンスにする出力開放手段としてのパルス発生器27, FET29を備えている。

50

【 0 0 6 1 】

このようにすると、F E T 25, 26のゲートに同期整流ドライバ34と保護駆動手段50, 51とを共に接続しておいても、オン・オフ動作停止時には、同期整流ドライバ34が切り離された状態となるため、両者を容易に切り換えることができる。以上より、同期整流ドライバ34と保護駆動手段50, 51とを容易に切り換えてF E T 25, 26を保護することができる。

【 0 0 6 2 】

また本実施例のD C - D Cコンバータ1では、電力路を開閉する一対のドレイン, ソースとゲートとを有するF E T 25, 26を備えたD C - D Cコンバータ1において、F E T 25, 26をオン・オフ動作させる同期整流ドライバ34(パルス発生器27)と、当該オン・オフ動作停止時にドレイン電圧 V_{ds_S3} , V_{ds_S4} に応じた駆動電圧 V_{gs_S3} , V_{gs_S4} をゲート 10
に入力する保護駆動手段50, 51と、前記オン・オフ動作停止時に同期整流ドライバ34の出力をハイインピーダンスにするパルス発生器27, F E T 29とを備えている。

【 0 0 6 3 】

このようにすると、F E T 25, 26のオン・オフ動作停止時には、保護駆動手段50, 51によりF E T 25, 26のドレイン電圧 V_{ds_S3} , V_{ds_S4} に応じた駆動電圧 V_{gs_S3} , V_{gs_S4} がゲートに入力されるため、ドレイン - ソース間の耐圧を越えるドレイン電圧 V_{ds_S3} , V_{ds_S4} が印加された場合でも、それに応じてドレイン - ソース間が導通し、ドレイン - ソース間に発生する電圧ストレスを抑制することができる。また、F E T 25, 26のゲートに同期整流ドライバ34と保護駆動手段50, 51とを共に接続しておいても、オン・オフ動作停止時には、同期整流ドライバ34が切り離された状態となるため、両者を容易に切り換えること 20
ができる。以上より、オン・オフ動作停止時にF E T 25, 26にかかる電圧ストレスを確実に抑制する同期整流回路を提供することができる。

【 0 0 6 4 】

また本実施例のD C - D Cコンバータ1では、保護駆動手段50, 51は、F E T 25, 26のドレイン電圧 V_{ds_S3} , V_{ds_S4} が所定値としてのツェナーダイオード43, 45のツェナー電圧 V_z 以上になると、ツェナー電圧 V_z を超えた分の超過電圧に応じて増加する駆動電圧 V_{gs_S3} , V_{gs_S4} をゲートに入力するものである。

【 0 0 6 5 】

このようにすると、例えばドレイン - ソース間耐圧などの所定値までは、F E T 25, 26の開動作を抑制することができ、無駄な電力を消費することがない。また、ツェナー電圧 V_z を超えた分の超過電圧に応じて増加する駆動電圧 V_{gs_S3} , V_{gs_S4} がゲートに入力されるため、ドレイン電圧 V_{ds_S3} , V_{ds_S4} に対応した適切な駆動電圧 V_{gs_S3} , V_{gs_S4} によりF E T 25, 26の開動作を行うことができる。以上より、無駄な電力消費を抑えながらF E T 25, 26を保護することができる。 30

【 0 0 6 6 】

また本実施例の同期整流回路23では、電力路を開閉する一対の開閉端子としてのドレイン, ソースと駆動端子としてのゲートとを有するスイッチ素子としてのF E T 25, 26と、F E T 25, 26の同期整流動作をさせる同期駆動手段としての同期整流ドライバ34(パルス発生器27)と、当該同期整流動作停止時にドレイン電圧 V_{ds_S3} , V_{ds_S4} に応じた駆動電力としての駆動電圧 V_{gs_S3} , V_{gs_S4} をゲートに入力する保護駆動手段50, 51とを備え、 40
ダイオード42, 44と定電圧素子としてのツェナーダイオード43, 45との直列回路がドレインとゲートとの間に接続され、ゲートとソースとの間に抵抗40, 41が接続されている。

【 0 0 6 7 】

このようにすると、同期整流動作停止時には、ツェナーダイオード43, 45によりF E T 25, 26のドレイン電圧 V_{ds_S3} , V_{ds_S4} から所定の電圧分降下させた駆動電力が駆動端子に入力されるため、ドレイン - ソース間の耐圧を越えるドレイン電圧 V_{ds_S3} , V_{ds_S4} が印加された場合には、それに応じてドレイン - ソース間が導通し、ドレイン - ソース間に発生する電圧ストレスを抑制することができる。このとき、例えばドレイン - ソース間耐圧などの所定値までは、ツェナーダイオード43, 45が導通しないため、無駄な電力を消費することがない。その上、ツェナー電圧 V_z を超えた分の超過電圧に応じて増加する駆動 50

電圧 V_{gs_S3} , V_{gs_S4} がゲートに入力されるため、ドレイン電圧 V_{ds_S3} , V_{ds_S4} に対応した適切な駆動電圧 V_{gs_S3} , V_{gs_S4} により F E T 25 , 26 の開動作を行うことができる。

【 0 0 6 8 】

F E T 25 , 26 のドレイン電圧 V_{ds_S3} , V_{ds_S4} は、ツェナーダイオード 43 , 45 と抵抗 40 , 41 により分圧されるため、ドレイン電圧 V_{ds_S3} , V_{ds_S4} がツェナーダイオード 43 , 45 に設定されたツェナー電圧 V_z を超えると、F E T 25 , 26 のドレイン - ソース間が導通することで、ツェナーダイオード 43 , 45 での損失が減少するため、ツェナーダイオード 43 , 45 が破損することはない。

【 0 0 6 9 】

さらに、F E T 25 , 26 のゲートに同期整流ドライバ 34 と保護駆動手段 50 , 51 とを共に接続しておいても、同期整流動作停止時には、同期整流ドライバ 34 が切り離された状態となるため、両者を容易に切り換えることができる。それに伴い、保護駆動手段 50 , 51 に設けられたダイオード 42 , 44 が、保護駆動手段 50 , 51 を通じて流出する電流を阻止する。以上より、誘起電圧 V_{trans} の増加に容易に対応することができると共に、少ない部品で同期整流停止時に当該同期整流回路を構成する各素子にかかる電圧ストレスを確実に抑制する同期整流回路を提供することができる。

【 0 0 7 0 】

なお、本発明は、上記実施例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で変更可能である。保護対象となるスイッチ素子は本実施例のような F E T に限らず、例えばバイポーラトランジスタなどの各種スイッチ素子の保護に本発明を適用することも可能である。また、例えばマイコンやシステム L S I などにより、同期整流ドライバ 34 , スwitchングドライバ 35 , パルス発生器 27 などとを一体に構成してもよい。

【 0 0 7 1 】

上記実施例では、スイッチ素子のオン・オフ動作に同期整流ドライバ 34 を使用しているが、このような他励ドライブに限らず、従来例のように、トランス 10 の二次巻線 12 などに接続した自励ドライブとしてもよい。この場合、出力開放手段としては、例えば F E T やリレーなどが考えられる。

【 0 0 7 2 】

その他、本発明の同期整流回路 23 をハーフブリッジ形コンバータ回路以外の各種電源装置に使用可能であるのはもちろんのこと、整流を必要とするあらゆる製品に適用可能である。

【 図面の簡単な説明 】

【 0 0 7 3 】

【 図 1 】 本発明の第 1 実施例における同期整流回路を利用した D C - D C コンバータの構成を示す回路図である。

【 図 2 】 同上、D C - D C コンバータの各部動作を示す波形図である。

【 符号の説明 】

【 0 0 7 4 】

23 同期整流回路

25 , 26 F E T (スイッチ素子)

27 パルス発生器 (駆動手段 , 同期駆動手段 , 出力開放手段)

29 F E T (出力開放手段)

34 同期整流ドライバ (駆動手段 , 同期駆動手段)

40 , 41 抵抗

42 , 44 ダイオード

43 , 45 ツェナーダイオード (定電圧素子)

50 , 51 保護駆動手段

10

20

30

40

フロントページの続き

- (56)参考文献 特開2004-048820(JP,A)
特開2001-245466(JP,A)
特開2001-345684(JP,A)
特開2004-187387(JP,A)
特開2004-15886(JP,A)
特開2002-320385(JP,A)
特開2000-156974(JP,A)
特開平11-8974(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28
H02M 7/21