

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5684004号
(P5684004)

(45) 発行日 平成27年3月11日(2015.3.11)

(24) 登録日 平成27年1月23日(2015.1.23)

(51) Int.Cl.	F 1
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 C
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 8 B
	HO 1 L 29/78 6 2 7 A
	HO 1 L 29/78 6 2 6 C
	HO 1 L 29/78 6 1 6 K

請求項の数 6 (全 44 頁) 最終頁に続く

(21) 出願番号	特願2011-49254 (P2011-49254)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成23年3月7日(2011.3.7)	(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2011-211183 (P2011-211183A)	(72) 発明者	郷戸 宏充 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成23年10月20日(2011.10.20)		
審査請求日	平成26年1月29日(2014.1.29)		
(31) 優先権主張番号	特願2010-51008 (P2010-51008)		
(32) 優先日	平成22年3月8日(2010.3.8)		
(33) 優先権主張国	日本国 (JP)		

審査官 鈴木 聰一郎

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

基板の上方に、ソース電極およびドレイン電極を形成し、
前記ソース電極および前記ドレイン電極を覆うように絶縁層を形成し、
前記絶縁層の表面に平坦化処理を施して、平坦化処理が施された絶縁層を形成すると共に、前記ソース電極および前記ドレイン電極を露出させ、
前記ソース電極および前記ドレイン電極を薄膜化することで、前記平坦化処理が施された絶縁層表面の一部と前記ソース電極表面との高低差、または前記平坦化処理が施された絶縁層表面の一部と前記ドレイン電極表面との高低差を設け、

前記平坦化処理が施された絶縁層の表面、前記ソース電極表面、および前記ドレイン電極表面、の一部と接する酸化物半導体層を形成し、

前記酸化物半導体層を覆うゲート絶縁層を形成し、

前記ゲート絶縁層上にゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項 2】

請求項 1において、

前記絶縁層の表面に平坦化処理を施して、二乗平均平方根粗さが1nm以下の表面を一部に有する平坦化処理が施された絶縁層を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1または請求項 2において、

10

20

前記平坦化処理が施された絶縁層表面の一部と前記ソース電極表面との高低差、または前記平坦化処理が施された絶縁層表面の一部と前記ドレイン電極表面との高低差を20nm以下とすることを特徴とする半導体装置の作製方法。

【請求項4】

チャネル形成領域と、前記チャネル形成領域上の第1のゲート絶縁層と、前記チャネル形成領域と重畳する、前記第1のゲート絶縁層上の第1のゲート電極と、前記チャネル形成領域と電気的に接続する第1のソース電極および第1のドレイン電極と、を有する第1のトランジスタを形成し、

前記第1のトランジスタを覆う、第1の絶縁層を形成し、

前記第1の絶縁層の表面に第2のソース電極および第2のドレイン電極を形成し、

10

前記第2のソース電極および前記第2のドレイン電極を覆うように第2の絶縁層を形成し、

前記第2の絶縁層の表面に平坦化処理を施して、平坦化処理が施された絶縁層を形成すると共に、前記第2のソース電極および前記第2のドレイン電極を露出させ、

前記第2のソース電極および前記第2のドレイン電極を薄膜化することで、前記平坦化処理が施された絶縁層表面の一部と前記第2のソース電極表面との高低差、または前記平坦化処理が施された絶縁層表面の一部と前記第2のドレイン電極表面との高低差を設け、

前記平坦化処理が施された絶縁層の表面、前記第2のソース電極表面、および前記第2のドレイン電極表面、の一部と接する酸化物半導体層を形成し、

前記酸化物半導体層を覆う第2のゲート絶縁層を形成し、

20

前記第2のゲート絶縁層上に第2のゲート電極を形成することを特徴とする半導体装置の作製方法。

【請求項5】

請求項4において、

前記第2の絶縁層の表面に平坦化処理を施して、二乗平均平方根粗さが1nm以下の表面を一部に有する平坦化処理が施された絶縁層を形成することを特徴とする半導体装置の作製方法。

【請求項6】

請求項4または請求項5において、

前記平坦化処理が施された絶縁層表面の一部と前記第2のソース電極表面との高低差、または前記平坦化処理が施された絶縁層表面の一部と前記第2のドレイン電極表面との高低差を20nm以下とすることを特徴とする半導体装置の作製方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

開示する発明は、半導体装置およびその作製方法に関するものである。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

【背景技術】

【0002】

金属酸化物は多様に存在し、さまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶表示装置などに必要とされる透明電極の材料として用いられている。

40

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タンクス滕、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような金属酸化物をチャネル形成領域に用いた薄膜トランジスタが既に知られている（例えば、特許文献1乃至特許文献4、非特許文献1参照）。

【0004】

ところで、金属酸化物には、一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する $InGaO_3 (ZnO)_m$ （m：自然数）は、In、Gaおよ

50

びZnを有する多元系酸化物半導体として知られている（例えば、非特許文献2乃至非特許文献4参照）。

【0005】

そして、上記のようなIn-Ga-Zn系酸化物で構成される酸化物半導体も、薄膜トランジスタのチャネル形成領域に適用可能であることが確認されている（例えば、特許文献5、非特許文献5および非特許文献6参照）。

【0006】

また、トランジスタの動作の高速化などを達成するためには、トランジスタの微細化が求められている。例えば、特許文献6では、チャネル層の厚さを10nm程度以下とした酸化物半導体を用いた薄膜トランジスタが開示され、非特許文献7では、チャネル長を2μm～100μmとした酸化物半導体を用いた薄膜トランジスタが開示されている。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開昭60-198861号公報

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

【特許文献5】特開2004-103957号公報

【特許文献6】特開2010-21170号公報

10

20

【非特許文献】

【0008】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett.、17 June 1996、Vol. 68 p. 3650-3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In₂O₃-Ga₂ZnO₄-ZnO System at 1350」、J. Solid State Chem.、1991、Vol. 93, p. 298-315

30

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, In₂O₃(ZnO)_m(m=3, 4, and 5), InGaO₃(ZnO)₃, and Ga₂O₃(ZnO)_m(m=7, 8, 9, and 16) in the In₂O₃-ZnGa₂O₄-ZnO System」、J. Solid State Chem.、1995、Vol. 116, p. 170-178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、InFeO₃(ZnO)_m(m:自然数)とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317-327

40

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269-1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent

50

flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488-492

【非特許文献7】T. Kawamura, H. Uchiyama, S. Saito, H. Wakana, T. Mine, and M. Hatano、「Low-Voltage Operating Amorphous Oxide TFTs」、IDW'09、p. 1689-1692

【発明の概要】

【発明が解決しようとする課題】

【0009】

トランジスタを微細化する場合には、製造工程において発生する不良が大きな問題となる。例えば、ソース電極またはドレイン電極、あるいは、ゲート電極等の配線上に、トランジスタの半導体層を成膜する場合、該配線は半導体層と比較して大きな膜厚を有するため、微細化に伴う半導体層の膜厚の縮小によって半導体層の被覆性が低下し、断線や接続不良などが生じうる。

【0010】

また、トランジスタを微細化する場合には、短チャネル効果の問題も生じる。短チャネル効果とは、トランジスタの微細化（チャネル長（L）の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果は、ドレインの電界の効果がソースにまでおよぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、S値の増大、漏れ電流の増大などがある。特に、酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタのようにドーピングによるしきい値制御を適用することができないため、短チャネル効果が現れやすい傾向にある。

【0011】

そこで、開示する発明の一態様は、不良を抑制しつつ微細化を達成した半導体装置の提供を目的の一とする。または、良好な特性を維持しつつ微細化を達成した半導体装置の提供を目的の一とする。

【課題を解決するための手段】

【0012】

開示する発明の一態様は、絶縁層と、絶縁層中に埋め込まれたソース電極と、ドレイン電極と、絶縁層表面、ソース電極表面、およびドレイン電極表面、の一部と接する酸化物半導体層と、酸化物半導体層を覆うゲート絶縁層と、ゲート絶縁層上のゲート電極と、を有し、絶縁層表面の一部であって、酸化物半導体層と接する領域は、その二乗平均平方根（RMS）粗さが1nm以下であり、絶縁層表面の一部とソース電極表面との高低差、および絶縁層表面の一部とドレイン電極表面との高低差は、5nm以上の半導体装置である。なお、上記半導体装置において、絶縁層表面の一部とソース電極表面との高低差、および絶縁層表面の一部とドレイン電極表面との高低差は、20nm以下である場合がある。

【0013】

なお、本明細書において、二乗平均平方根（RMS：Root Mean Square）粗さとは、断面曲線に対するRMS粗さを、測定面に対して適用できるよう、三次元に拡張したものである。基準面から指定面までの偏差の自乗を平均した値の平方根で表現され、次式で与えられる。

【0014】

【数1】

$$R_{ms} = \sqrt{\frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} \{F(X, Y) - Z_0\}^2 dX dY}$$

【0015】

なお、測定面とは、全測定データの示す面であり、下記の式で表す。

10

20

30

40

50

【0016】

【数2】

$$Z = F(X, Y)$$

【0017】

また、指定面とは、粗さ計測の対象となる面であり、座標 (X_1, Y_1) (X_1, Y_2) (X_2, Y_1) (X_2, Y_2) で表される4点により囲まれる長方形の領域とし、指定面が理想的にフラットであるとしたときの面積を S_0 とする。なお、 S_0 は下記の式で求められる。

10

【0018】

【数3】

$$S_0 = |X_2 - X_1| \cdot |Y_2 - Y_1|$$

【0019】

また、基準面とは、指定面の平均の高さにおける、XY平面と平行な面のことである。つまり、指定面の高さの平均値を Z_0 とするとき、基準面の高さも Z_0 で表される。なお、 Z_0 は下記の式で求められる。

【0020】

【数4】

20

$$Z_0 = \frac{1}{S_0} \int_{Y_1}^{Y_2} \int_{X_1}^{X_2} F(X, Y) dX dY$$

【0021】

なお、本明細書において、二乗平均平方根 (RMS) 粗さは、原子間力顕微鏡 (AFM; Atomic Force Microscope) を用いて得られるAFM像から、 $1 \text{ nm} \times 1 \text{ nm}$ の領域、好ましくは $100 \text{ nm} \times 100 \text{ nm}$ の領域、より好ましくは $1 \mu\text{m} \times 1 \mu\text{m}$ の領域において算出されるものである。

30

【0022】

開示する発明の別の一態様は、第1のトランジスタと、第1のトランジスタ上の第2のトランジスタと、を有し、第1のトランジスタは、第1のチャネル形成領域と、第1のチャネル形成領域上に設けられた第1のゲート絶縁層と、第1のチャネル形成領域と重畠して、第1のゲート絶縁層上に設けられた第1のゲート電極と、第1のチャネル形成領域と電気的に接続する第1のソース電極及び第1のドレイン電極と、を含み、第2のトランジスタは、絶縁層中に埋め込まれた第2のソース電極、および第2のドレイン電極と、絶縁層表面、第2のソース電極表面、および第2のドレイン電極表面、の一部と接する第2のチャネル形成領域と、第2のチャネル形成領域を覆う第2のゲート絶縁層と、第2のゲート絶縁層上の第2のゲート電極と、を有し、絶縁層表面の一部であって、第2のチャネル形成領域と接する領域は、その二乗平均平方根粗さが 1 nm 以下であり、絶縁層表面の一部と第2のソース電極表面との高低差、および絶縁層表面の一部と第2のドレイン電極表面との高低差は、 5 nm 以上の半導体装置である。なお、上記半導体装置において、絶縁層表面の一部と第2のソース電極表面との高低差、および絶縁層表面の一部と第2のドレイン電極表面との高低差は、 20 nm 以下である場合がある。

40

【0023】

開示する発明の別の一態様は、二乗平均平方根粗さが 1 nm 以下の表面にソース電極およびドレイン電極を形成し、ソース電極およびドレイン電極を覆うように絶縁層を形成し、絶縁層の表面に平坦化処理を施して、二乗平均平方根粗さが 1 nm 以下の表面を有する平坦化処理が施された絶縁層を形成し、平坦化処理が施された絶縁層に、ソース電極およびドレイン電極にまで達する開口を形成することで、平坦化処理が施された絶縁層表面の一

50

部とソース電極表面との高低差、および平坦化処理が施された絶縁層表面の一部とドレイン電極表面との高低差を 5 nm 以上とし、平坦化処理が施された絶縁層の表面、ソース電極表面、およびドレイン電極表面、の一部と接する酸化物半導体層を形成し、酸化物半導体層を覆うゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する、半導体装置の作製方法である。

【 0 0 2 4 】

または、二乗平均平方根粗さが 1 nm 以下の表面にソース電極およびドレイン電極を形成し、ソース電極およびドレイン電極を覆うように絶縁層を形成し、絶縁層の表面に平坦化処理を施して、二乗平均平方根粗さが 1 nm 以下の表面を有する平坦化処理が施された絶縁層を形成すると共に、ソース電極およびドレイン電極を露出させ、ソース電極およびドレイン電極を薄膜化することで、平坦化処理が施された絶縁層表面の一部とソース電極表面との高低差、および平坦化処理が施された絶縁層表面の一部とドレイン電極表面との高低差を 5 nm 以上とし、平坦化処理が施された絶縁層の表面、ソース電極表面、およびドレイン電極表面、の一部と接する酸化物半導体層を形成し、酸化物半導体層を覆うゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する、半導体装置の作製方法である。なお、上記半導体装置の作製方法において、平坦化処理が施された絶縁層表面の一部とソース電極表面との高低差、および平坦化処理が施された絶縁層表面の一部とドレイン電極表面との高低差を 20 nm 以下とする場合がある。

10

【 0 0 2 5 】

開示する発明の別の一態様は、チャネル形成領域と、チャネル形成領域上の第 1 のゲート絶縁層と、チャネル形成領域と重畳する、第 1 のゲート絶縁層上の第 1 のゲート電極と、チャネル形成領域と電気的に接続する第 1 のソース電極および第 1 のドレイン電極と、を有する第 1 のトランジスタを形成し、第 1 のトランジスタを覆う、表面の二乗平均平方根粗さが 1 nm 以下の第 1 の絶縁層を形成し、第 1 の絶縁層の表面に第 2 のソース電極および第 2 のドレイン電極を形成し、第 2 のソース電極および第 2 のドレイン電極を覆うように第 2 の絶縁層を形成し、第 2 の絶縁層の表面に平坦化処理を施して、二乗平均平方根粗さが 1 nm 以下の表面を有する平坦化処理が施された絶縁層を形成し、平坦化処理が施された絶縁層に、第 2 のソース電極および第 2 のドレイン電極にまで達する開口を形成することで、平坦化処理が施された絶縁層表面の一部と第 2 のソース電極表面との高低差、および平坦化処理が施された絶縁層表面の一部と第 2 のドレイン電極表面との高低差を 5 nm 以上とし、平坦化処理が施された絶縁層の表面、第 2 のソース電極表面、および第 2 のドレイン電極表面、の一部と接する酸化物半導体層を形成し、酸化物半導体層を覆う第 2 のゲート絶縁層を形成し、第 2 のゲート絶縁層上に第 2 のゲート電極を形成する、半導体装置の作製方法である。

20

【 0 0 2 6 】

または、チャネル形成領域と、チャネル形成領域上の第 1 のゲート絶縁層と、チャネル形成領域と重畳する、第 1 のゲート絶縁層上の第 1 のゲート電極と、チャネル形成領域と電気的に接続する第 1 のソース電極および第 1 のドレイン電極と、を有する第 1 のトランジスタを形成し、第 1 のトランジスタを覆う、表面の二乗平均平方根粗さが 1 nm 以下の第 1 の絶縁層を形成し、第 1 の絶縁層の表面に第 2 のソース電極および第 2 のドレイン電極を形成し、第 2 のソース電極および第 2 のドレイン電極を覆うように第 2 の絶縁層を形成し、第 2 の絶縁層の表面に平坦化処理を施して、二乗平均平方根粗さが 1 nm 以下の表面を有する平坦化処理が施された絶縁層を形成すると共に、第 2 のソース電極および第 2 のドレイン電極を露出させ、第 2 のソース電極および第 2 のドレイン電極を薄膜化することで、平坦化処理が施された絶縁層表面の一部と第 2 のソース電極表面との高低差、および平坦化処理が施された絶縁層表面の一部と第 2 のドレイン電極表面との高低差を 5 nm 以上とし、平坦化処理が施された絶縁層の表面、第 2 のソース電極表面、および第 2 のドレイン電極表面、の一部と接する酸化物半導体層を形成し、酸化物半導体層を覆う第 2 のゲート絶縁層を形成し、第 2 のゲート絶縁層上に第 2 のゲート電極を形成する、半導体装置の作製方法である。なお、上記半導体装置の作製方法において、平坦化処理が施された絶

30

40

50

縁層表面の一部と第2のソース電極表面との高低差、および平坦化処理が施された絶縁層表面の一部と第2のドレイン電極表面との高低差を20nm以下とする場合がある。

【0027】

なお、上記トランジスタのチャネル長Lは、2μm未満とすることが好ましく、10nm以上350nm(0.35μm)以下とすると、より好ましい。また、酸化物半導体層の膜厚は、1nm以上50nm以下、好ましくは2nm以上20nm以下、より好ましくは3nm以上15nm以下とする。これにより、高速かつ低消費電力な半導体装置が実現される。また、ゲート絶縁層として、酸化ハフニウムなどの高誘電率材料を用いる。例えば、酸化ハフニウムは比誘電率が15程度であり、酸化シリコンの3~4と比較して非常に大きな値を有している。このような材料を用いることにより、酸化シリコン層換算で15nm未満、好ましくは2nm以上10nm以下のゲート絶縁層を実現することも容易になる。すなわち、半導体装置の微細化が容易になる。また、酸化物半導体層としては、高純度化され、真性化された酸化物半導体を用いる。これにより、酸化物半導体層のキャリア密度を、例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$ 未満とし、トランジスタのオフ電流を、 $100 \text{ zA} / \mu\text{m}$ (1zA(ゼプトアンペア)は $1 \times 10^{-21} \text{ A}$)以下、望ましくは $10 \text{ zA} / \mu\text{m}$ 以下とし、また、トランジスタのS値を $65 \text{ mV} / \text{dec}$ 以下、好ましくは $63 \text{ mV} / \text{dec}$ 未満とすることができる。なお、上述の構成を採用する場合、トランジスタのオフ電流を、理論的には $1 \times 10^{-24} \text{ A} / \mu\text{m} \sim 1 \times 10^{-30} \text{ A} / \mu\text{m}$ とすることが可能である。また、ゲート電極は、ソース電極およびドレイン電極と重畠する構造としても良いし、ゲート電極の端のみが、ソース電極の端、およびドレイン電極の端と重畠するような構造としても良い。

【0028】

ここで半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。例えば、表示装置や記憶装置、集積回路などは半導体装置に含まれうる。

【0029】

なお、本明細書において「上」や「下」の用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0030】

また、本明細書において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0031】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0032】

なお、本明細書において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

【発明の効果】

【0033】

開示する発明の一態様によって、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズ

10

20

30

40

50

を十分に小さくすることで、半導体装置の占める面積が小さくなり、一基板あたりの半導体装置の取り数が増大する。これにより、半導体装置の製造コストは抑制される。また、半導体装置が小型化されるため、同程度の大きさでさらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。

【0034】

このように、開示する発明の一態様によって、不良を抑制しつつ、または、良好な特性を維持しつつ、微細化を達成した半導体装置を提供することができる。

10

【図面の簡単な説明】

【0035】

【図1】半導体装置の構成例を示す断面図。

【図2】半導体装置の作製工程を示す断面図。

【図3】半導体装置の作製工程を示す断面図。

【図4】半導体装置の構成例を示す断面図、平面図、および回路図。

【図5】半導体装置の作製工程を示す断面図。

【図6】半導体装置の作製工程を示す断面図。

【図7】半導体装置の応用例を示す図。

【図8】半導体装置の応用例を示す図。

20

【図9】半導体装置の応用例を示す図。

【図10】半導体装置の応用例を示す図。

【図11】半導体装置の応用例を示す図。

【図12】半導体装置を用いた電子機器を説明するための図。

【図13】計算に用いたモデルを示す図。

【図14】ゲート電圧 V_G (V) とドレイン電流 I_D (A) との関係を示す図。

【図15】チャネル長 L (nm) としきい値電圧 V_{th} (V) との関係を示す図。

【図16】チャネル長 L (nm) と S 値 (V / dec) との関係を示す図。

【図17】計算に用いたモデルを示す図。

【図18】ゲート電圧 V_G (V) とドレイン電流 I_D (A) との関係を示す図。

30

【発明を実施するための形態】

【0036】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々なに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0037】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

40

【0038】

なお、本明細書における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0039】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製方法について、図1乃至図3を参照して説明する。

【0040】

半導体装置の構成例

図1には、半導体装置の構成例を示す。図1(A)は、第1の構成例であり、図1(B)

50

は、第2の構成例である。また、図1(C)は、図1(A)の変形例である。

【0041】

図1(A)におけるトランジスタ162は、被形成表面を有する基体140上の絶縁層143bと、絶縁層143bを含む絶縁層中に埋め込まれたソース電極142a、およびドレイン電極142bと、上記絶縁層143bの上面、ソース電極142aの上面、およびドレイン電極142bの上面、の一部と接する酸化物半導体層144と、酸化物半導体層144を覆うゲート絶縁層146と、ゲート絶縁層146上のゲート電極148aと、を有する。

【0042】

図1(A)に示すように、トランジスタの活性層に酸化物半導体を用いることで、良好な特性を得ることができる。例えば、トランジスタのS値を65mV/dec以下、好ましくは63mV/dec未満とすることも可能である。 10

【0043】

また、絶縁層143bの上面の一部（特に、被形成表面に平行な領域をいう）であって酸化物半導体層と接する領域は、その二乗平均平方根（RMS）粗さが1nm以下（好ましくは、0.5nm以下）であり、絶縁層143bの上面の一部とソース電極142aの上面との高低差、および絶縁層143bの上面の一部とドレイン電極142bの上面との高低差は、5nm以上である。

【0044】

上述のように、開示する発明の一態様では、二乗平均平方根（RMS）粗さが1nm以下という極めて平坦な領域にトランジスタ162のチャネル形成領域が設けられることになる。これにより、トランジスタ162が微細化される状況においても、短チャネル効果などの不具合を防止し、良好な特性を有するトランジスタ162を提供することが可能である。 20

【0045】

また、被形成表面の平坦性を高めることで、酸化物半導体層144の膜厚分布を均一化して、トランジスタ162の特性を向上させることができる。また、大きな高低差に起因して生じうる被覆性の低下を抑制し、酸化物半導体層144の断線や接続不良を防止することができる。

【0046】

また、上述のように、絶縁層143bの上面の一部とソース電極142aの上面、および絶縁層143bの上面の一部とドレイン電極142bの上面とに、僅かな高低差（例えば、5nm以上20nm以下）を設けることで、電流のパスが延長される。これにより、トランジスタ162における電界の集中を緩和して、短チャネル効果を抑制することが可能である。 30

【0047】

ここで、酸化物半導体層144は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。具体的には、例えば、酸化物半導体層144の水素濃度は 5×10^{19} atoms/cm³以下、望ましくは 5×10^{18} atoms/cm³以下、より望ましくは 5×10^{17} atoms/cm³以下とする。なお、上述の酸化物半導体層144中の水素濃度は、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectroscopy）で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層144では、水素等のドナーに起因するキャリア濃度が 1×10^{12} /cm³未満、望ましくは、 1×10^{11} /cm³未満、より望ましくは 1.45×10^{10} /cm³未満となる。また、例えば、室温（25）でのオフ電流（ここでは、単位チャネル幅（1μm）あたりの値）は100zA（1zA（ゼプトアンペア）は 1×10^{-21} A）以下、望ましくは10zA以下となる。このように、i型化（真性化）または実質的にi型化された酸化物半導体を用いることで、極めて優れたオフ電流特性の 40

トランジスタ 162 を得ることができる。

【0048】

なお、非特許文献 7 などに開示されているように、キャリア密度が $2 \times 10^{19} / \text{cm}^3$ と大きい n 型の酸化物半導体を用いる場合には、チャネル長が $2 \mu\text{m} \sim 100 \mu\text{m}$ といった比較的大きいサイズのトランジスタは実現されうる。しかし、このような材料を、微細化（チャネル長が $2 \mu\text{m}$ 未満）されたトランジスタに用いると、そのしきい値電圧は大幅にマイナスシフトして、ノーマリーオフ型のトランジスタを実現することが極めて困難になる。つまり、このような材料を用いて作製されたチャネル長が $2 \mu\text{m}$ 未満のトランジスタは、現実的には使い物にならない。一方で、高純度化され、真性または実質的に真性化された酸化物半導体のキャリア密度は、少なくとも $1 \times 10^{14} / \text{cm}^3$ 未満であり、上述のようにノーマリーオン化の問題が発生しないため、チャネル長が $2 \mu\text{m}$ 未満の良好な特性を有するトランジスタを容易に実現することが可能である。10

【0049】

図 1 (B) におけるトランジスタ 262 は、トランジスタ 162 に類似した構造を有する。すなわち、被形成表面を有する基体 240 上の絶縁層 243b と、絶縁層 243b を含む絶縁層中に埋め込まれたソース電極 242a、およびドレイン電極 242b と、上記絶縁層 243b の上面、ソース電極 242a の上面、およびドレイン電極 242b の上面、の一部と接する酸化物半導体層 244 と、酸化物半導体層 244 を覆うゲート絶縁層 246 と、ゲート絶縁層 246 上のゲート電極 248a と、を有する。20

【0050】

また、絶縁層 243b の上面の一部であって酸化物半導体層と接する領域は、その二乗平均平方根 (RMS) 粗さが 1 nm 以下（好ましくは、 0.5 nm 以下）であり、絶縁層 243b の上面の一部とソース電極 242a の上面との高低差、および絶縁層 243b の上面の一部とドレイン電極 242b の上面との高低差は、 5 nm 以上である。20

【0051】

図 1 (B) におけるトランジスタ 262 と、図 1 (A) におけるトランジスタ 162 の相違点は、上記絶縁層の一部が、ソース電極およびドレイン電極の端を覆うように設けられているか否かである。つまり、図 1 (A) におけるトランジスタ 162 では、絶縁層 143b がソース電極 142a およびドレイン電極 142b を覆うように設けられているのにに対して、図 1 (B) におけるトランジスタ 262 では、絶縁層 243b がソース電極 242a およびドレイン電極 242b を覆っていない。30

【0052】

図 1 (B) の構成に起因する効果は、図 1 (A) の場合と同様である。すなわち、極めて平坦な領域にトランジスタ 262 のチャネル形成領域が設けられることになるため、トランジスタ 262 が微細化される状況においても、短チャネル効果などの不具合を防止し、良好な特性を有するトランジスタ 262 を提供することが可能になる。また、被形成表面の平坦性を高めることで、酸化物半導体層 244 の膜厚分布を均一化して、トランジスタ 262 の特性を向上させることができる。また、大きな高低差に起因して生じうる被覆性の低下を抑制し、酸化物半導体層 244 の断線や接続不良を防止することができる。また、上述のような、絶縁層とソース電極（およびドレイン電極）の僅かな高低差に起因して、トランジスタ 262 における電界の集中を緩和して、短チャネル効果を抑制することが可能である。40

【0053】

図 1 (C) におけるトランジスタ 162 は、図 1 (A) におけるトランジスタ 162 の変形例である。具体的には、図 1 (A) に示す構成において、ソース電極 142a、およびドレイン電極 142b をテーパー形状としたものに相当する。テーパー角は、例えば、 30° 以上 60° 以下とすることができる。なお、テーパー角とは、テーパー形状を有する層（例えば、ソース電極 142a）を、その断面（基体 140 の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

【0054】

50

20

30

40

50

半導体装置の作製方法の例

次に、上記半導体装置の作製方法の例について、図2および図3を参照して説明する。ここで、図2は図1(A)に示すトランジスタ162の作製方法の例について示す図であり、図3は図1(B)に示すトランジスタ262の作製方法の例について示す図である。なお、以下では、まず、図2について説明し、図3については、主として図2との相違点について述べるに留める。また、図1(C)に示す構成は、図1(A)に示す構成と同様に作製することができるので、詳細な説明を省略する。

【0055】

以下、図2について説明する。まず、被形成表面を有する基体140上に、ソース電極142aおよびドレイン電極142bを形成する(図2(A)参照)。

10

【0056】

基体140として使用することができるものに大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板などの基板を基体として用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI基板などを基体として適用することができる、さらに、これらの基板上に半導体素子が設けられているものを基体として用いてもよい。また、基体140上には下地膜が形成されていても良い。

【0057】

なお、基体140の被形成表面は、十分に平坦な表面であることが望ましい。例えば、その二乗平均平方根(RMS)粗さが1nm以下(好ましくは、0.5nm以下)である被形成表面を適用する。このような表面にトランジスタ162を形成することで、その特性を十分に向上させることができる。なお、基体140の被形成表面が平坦性に乏しい場合には、当該表面にCMP(化学的機械研磨)処理やエッチング処理などを適用して、上述のような平坦性を確保することが望ましい。なお、CMP処理の詳細については、後の絶縁層143に対するCMP処理の記載を参照できる。

20

【0058】

ソース電極142aおよびドレイン電極142bは、被形成表面を有する基体140上に導電層を形成し、当該導電層を選択的にエッチングすることによって形成できる。

30

【0059】

上記の導電層は、スパッタリング法をはじめとするPVD法や、プラズマCVD法などのCVD法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タンクスチタンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【0060】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、窒化チタン膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極142a、およびドレイン電極142bへの加工が容易であるというメリットがある。

40

【0061】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム(In_2O_3)、酸化スズ(SnO_2)、酸化亜鉛(ZnO)、酸化インジウム酸化スズ合金($In_2O_3 - SnO_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金($In_2O_3 - ZnO$)、または、これらの金属酸化物材料にシ

50

リコン若しくは酸化シリコンを含有させたものを用いることができる。

【0062】

なお、導電層のエッティングは、ドライエッティング、ウェットエッティングのいずれを用いて行っても良いが、微細化のためには、制御性の良いドライエッティングを用いるのが好適である。また、形成されるソース電極142a、およびドレイン電極142bがテーパー形状となるように行っても良い。テーパー角は、例えば、30°以上60°以下とすることができる。

【0063】

トランジスタ162のチャネル長(L)は、ソース電極142a、およびドレイン電極142bの上端部の間隔によって決定される。なお、チャネル長(L)が25nm未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数nm～数10nmと波長の短い超紫外線(Extreme Ultraviolet)を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長(L)を、2μm未満、好ましくは10nm以上350nm(0.35μm)以下とすることも可能であり、回路の動作速度を高めることができる。また、微細化によって、半導体装置の消費電力を低減することも可能である。

【0064】

次に、ソース電極142aおよびドレイン電極142bを覆うように絶縁層143を形成する(図2(B)参照)。

【0065】

絶縁層143は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。絶縁層143には、後に酸化物半導体層144が接することになるから、特に、酸化シリコンを用いたものにするのが好適である。絶縁層143の形成方法に特に限定はないが、酸化物半導体層144と接することを考慮すれば、水素が十分に低減された方法によって形成するのが望ましい。このような方法としては、例えば、スパッタリング法がある。もちろん、プラズマCVD法をはじめとする他の成膜法を用いても良い。

【0066】

次に、絶縁層143をCMP(化学的機械的研磨)処理によって薄膜化して、絶縁層143aを形成する(図2(C)参照)。ここでは、ソース電極142aおよびドレイン電極142bの表面が露出しない条件でCMP処理を行う。また、当該CMP処理は、絶縁層143a表面の二乗平均平方根(RMS)粗さが1nm以下(好ましくは0.5nm以下)となる条件で行う。このような条件でCMP処理を行うことにより、後に酸化物半導体層144が形成される表面の平坦性を向上し、トランジスタ162の特性を向上させることができる。

【0067】

ここで、CMP処理とは、被加工物の表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー(研磨剤)を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、被加工物の表面を、スラリーと被加工物表面との間での化学反応と、研磨布と被加工物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

【0068】

なお、CMP処理は、1回のみ行ってもよいし、複数回行ってもよい。複数回に分けてCMP処理を行う場合は、高い研磨レートの一次研磨を行った後、低い研磨レートの仕上げ研磨を行うのが好ましい。このように研磨レートの異なる研磨を組み合わせることによって、絶縁層143aの表面の平坦性をさらに向上させることができる。

【0069】

次に、ソース電極142aおよびドレイン電極142bと重畳する領域の絶縁層143aを選択的に除去して、ソース電極142aおよびドレイン電極142bにまで達する開口が形成された絶縁層143bを形成する(図2(D)参照)。絶縁層143aの選択的除

10

20

30

40

50

去は、エッティングなどの方法によって行うことができる。

【0070】

絶縁層143aのエッティングは、ドライエッティング、ウェットエッティングのいずれを用いて行っても良い。また、絶縁層143aのエッティングは、形成される開口が斜面を有する形状となるように行うのが望ましい。当該斜面は、例えば、当該斜面をその断面(基体140の表面と直交する面)に垂直な方向から観察した際に、基体140の表面と当該斜面とのなす角が30°以上60°以下となる形状とすると良い。このような条件で絶縁層143aのエッティングを行うことにより、後に絶縁層143bを覆うように形成される酸化物半導体層の被覆性を向上し、酸化物半導体層の断線などを防止することができる。

【0071】

上記のエッティング工程によって、絶縁層143bの上面の一部とソース電極142aの上面とドレン電極142bの上面とによって、僅かな高低差(例えば、5nm以上20nm以下)を有する表面が形成される。また、ソース電極142aおよびドレン電極142bの端は、絶縁層143bに覆われることになる。ただし、開口形成時のパターニング精度を高めることで、ソース電極142aおよびドレン電極142bの端が、絶縁層143bに覆われない構成とすることも可能である。

【0072】

次に、ソース電極142a、ドレン電極142b、および絶縁層143bの一部に接するように、上記表面を覆う酸化物半導体層144を形成した後、当該酸化物半導体層144を覆うようにゲート絶縁層146を形成する(図2(E)参照)。

【0073】

酸化物半導体層144は、少なくともIn、Ga、Sn及びZnから選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系酸化物半導体や、三元系金属の酸化物であるIn-Ga-Zn-O系酸化物半導体、In-Sn-Zn-O系酸化物半導体、In-Al-Zn-O系酸化物半導体、Sn-Ga-Zn-O系酸化物半導体や、二元系金属の酸化物であるIn-Zn-O系酸化物半導体、Sn-Zn-O系酸化物半導体、Al-Zn-O系酸化物半導体、Zn-Mg-O系酸化物半導体、Sn-Mg-O系酸化物半導体、In-Mg-O系酸化物半導体や、In-Ga-O系の材料、一元系金属の酸化物であるIn-O系酸化物半導体、Sn-O系酸化物半導体、Zn-O系酸化物半導体などを用いることができる。また、上記酸化物半導体にInとGaとSnとZn以外の元素、例えばSiO₂を含ませてもよい。

【0074】

例えば、In-Ga-Zn-O系酸化物半導体とは、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)を有する酸化物半導体、という意味であり、その組成比は問わない。

【0075】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0076】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、InGaO₃(ZnO)_m(m>0)で表記されるものがある。また、Gaに代えてMの表記を用い、InMO₃(ZnO)_m(m>0)のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

【0077】

また、酸化物半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組

10

20

30

40

50

成比は、原子数比で、 $In : Zn = 50 : 1 \sim 1 : 2$ （モル数比に換算すると $In_2O_3 : ZnO = 25 : 1 \sim 1 : 4$ ）、好ましくは $In : Zn = 20 : 1 \sim 1 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 10 : 1 \sim 1 : 2$ ）、さらに好ましくは $In : Zn = 15 : 1 \sim 1 : 5 : 1$ （モル数比に換算すると $In_2O_3 : ZnO = 15 : 2 \sim 3 : 4$ ）とする。例えば、 $In - Zn - O$ 系酸化物半導体の形成に用いるターゲットは、原子数比が $In : Zn : O = X : Y : Z$ のとき、 $Z > 1.5X + Y$ とする。

【0078】

酸化物半導体層144をスパッタリング法で作製するためのターゲットとしては、 $In : Ga : Zn = 1 : x : y$ （ x は0以上、 y は0.5以上5以下）の組成比を有するものを用いるのが好適である。例えば、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 2$ [mol数比] の組成比を有するターゲットなどを用いることができる。また、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 1$ [mol数比] の組成比を有するターゲットや、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 1 : 4$ [mol数比] の組成比を有するターゲットや、 $In_2O_3 : Ga_2O_3 : ZnO = 1 : 0 : 2$ [mol数比] の組成比を有するターゲットを用いることもできる。

【0079】

本実施の形態では、非晶質構造の酸化物半導体層144を、 $In - Ga - Zn - O$ 系の金属酸化物ターゲットを用いるスパッタリング法により形成することとする。また、その膜厚は、1nm以上50nm以下、好ましくは2nm以上20nm以下、より好ましくは3nm以上15nm以下とする。

【0080】

金属酸化物ターゲット中の金属酸化物の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層を形成することが可能である。

【0081】

酸化物半導体層144の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、1ppm以下（望ましくは10ppb以下）にまで除去された高純度ガス雰囲気を用いるのが好適である。

【0082】

酸化物半導体層144の形成の際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が100以上550未満、好ましくは200以上400以下となるように被処理物を熱する。または、酸化物半導体層144の形成の際の被処理物の温度は、室温（25±10（15以上35以下））としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層144を形成する。被処理物を熱しながら酸化物半導体層144を形成することにより、酸化物半導体層144に含まれる不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層中の不純物濃度を低減できる。

【0083】

酸化物半導体層144の形成条件としては、例えば、被処理物とターゲットの間との距離が170mm、圧力が0.4Pa、直流（DC）電力が0.5kW、雰囲気が酸素（酸素100%）雰囲気、またはアルゴン（アルゴン100%）雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、ごみ（成膜時に形成される粉状の物質など）を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層144の厚さは、1nm以上50nm以下、好ましくは

10

20

30

40

50

2 nm 以上 20 nm 以下、より好ましくは 3 nm 以上 15 nm 以下とする。開示する発明に係る構成を採用することで、このような厚さの酸化物半導体層 144 を用いる場合であっても、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。なお、開示する発明の一態様では、酸化物半導体層 144 の形成表面を十分に平坦化している。このため、厚みの小さい酸化物半導体層であっても、好適に形成することが可能である。

【 0084 】

なお、酸化物半導体層 144 をスパッタリング法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば、絶縁層 143b の表面）の付着物を除去しても良い。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

【 0085 】

酸化物半導体層 144 の形成後には、酸化物半導体層 144 に対して熱処理（第 1 の熱処理）を行うことが望ましい。この第 1 の熱処理によって酸化物半導体層 144 中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層 144 の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第 1 の熱処理の温度は、例えば、300 以上 550 未満、または 400 以上 500 以下とする。

【 0086 】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450 、 1 時間の条件で行うことができる。この間、酸化物半導体層は大気に触れさせず、水や水素の混入が生じないようにする。

【 0087 】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、LRTA (Lamp Rapid Thermal Anneal) 装置、GRTA (Gas Rapid Thermal Anneal) 装置等の RTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA 装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA 装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【 0088 】

例えば、第 1 の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出す GRTA 処理を行ってもよい。GRTA 処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えてても良い。酸素を含む雰囲気において第 1 の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【 0089 】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上（

10

20

30

40

50

すなわち、不純物濃度が 1 ppm 以下、好ましくは 0.1 ppm 以下) とする。

【0090】

いずれにしても、第 1 の熱処理によって不純物を低減し、i 型 (真性半導体) または i 型に限りなく近い酸化物半導体層を形成することで、極めて優れた特性のトランジスタを実現することができる。

【0091】

ところで、上述の熱処理 (第 1 の熱処理) には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、ゲート絶縁層 146 の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

10

【0092】

酸化物半導体層 144 の形成後には、当該酸化物半導体層 144 を島状の酸化物半導体層に加工しても良い。島状の酸化物半導体層への加工は、例えば、エッチングによって行うことができる。エッチングは、上記熱処理の前、または上記熱処理の後のいずれにおいて行っても良い。また、素子の微細化という観点からはドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0093】

ゲート絶縁層 146 は、CVD 法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層 146 は、酸化シリコン、窒化シリコン、酸窒化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート ($HfSi_xO_y$ ($x > 0, y > 0$))、窒素が添加されたハフニウムシリケート ($HfSi_xO_yN_z$ ($x > 0, y > 0, z > 0$))、窒素が添加されたハフニウムアルミネート ($HfAl_xO_yN_z$ ($x > 0, y > 0, z > 0$))、などを含むように形成するのが好適である。ゲート絶縁層 146 は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができる。

20

【0094】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層 146 に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート ($HfSi_xO_y$ ($x > 0, y > 0$))、窒素が添加されたハフニウムシリケート ($HfSi_xO_yN_z$ ($x > 0, y > 0, z > 0$))、窒素が添加されたハフニウムアルミネート ($HfAl_xO_yN_z$ ($x > 0, y > 0, z > 0$))、などの高誘電率 (high-k) 材料を用いると良い。high-k 材料をゲート絶縁層 146 に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。例えば、酸化ハフニウムは比誘電率が 1.5 程度であり、酸化シリコンの 3 ~ 4 と比較して非常に大きな値を有している。このような材料を用いることにより、酸化シリコン換算で 15 nm 未満、好ましくは 2 nm 以上 10 nm 以下のゲート絶縁層を実現することも容易になる。なお、high-k 材料を含む膜と、酸化シリコン、窒化シリコン、酸窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

30

【0095】

ゲート絶縁層 146 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下、好ましくは 250 以上 350 以下である。例えば、窒素雰囲気下で 250 、1 時間の熱処理を行えばよい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 146 が酸素を含む場合、酸化物半導体層 144 に酸素を供給し、該酸化物半導体層 144 の酸素欠損を補填して、i 型 (真性半導体) ま

40

50

たは i 型に限りなく近い酸化物半導体層を形成することもできる。

【 0 0 9 6 】

なお、本実施の形態では、ゲート絶縁層 146 の形成後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第 2 の熱処理を行っても良い。また、第 1 の熱処理に続けて第 2 の熱処理を行っても良いし、第 1 の熱処理に第 2 の熱処理を兼ねさせても良いし、第 2 の熱処理に第 1 の熱処理を兼ねさせても良い。

【 0 0 9 7 】

上述のように、第 1 の熱処理と第 2 の熱処理の少なくとも一方を適用することで、酸化物半導体層 144 を、その主成分以外の不純物が極力含まれないように高純度化することができる。

10

【 0 0 9 8 】

次に、ゲート絶縁層 146 上にゲート電極 148a を形成する（図 2 (F) 参照）。ゲート電極 148a は、ゲート絶縁層 146 上に導電層を形成した後に、当該導電層を選択的にエッチングすることによって形成することができる。ゲート電極 148a となる導電層は、スペッタリング法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極 142a やドレイン電極 142b などの場合と同様であり、これらの記載を参照できる。なお、ここでは、ゲート電極 148a の一部がソース電極 142a およびドレイン電極 142b と重畳する構造を採用しているが、開示する発明はこれに限定されない。ゲート電極 148a の端とソース電極 142a の端、および、ゲート電極 148a の端とドレイン電極 142b の端が重畳するような構造を探ることもできる。

20

【 0 0 9 9 】

次に、ゲート絶縁層 146、ゲート電極 148a などを覆うように、絶縁層 150 および絶縁層 152 を形成する（図 2 (G) 参照）。絶縁層 150 および絶縁層 152 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。

30

【 0 1 0 0 】

なお、絶縁層 150 や絶縁層 152 には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層 150 や絶縁層 152 の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。

【 0 1 0 1 】

なお、本実施の形態では、絶縁層 150 と絶縁層 152 の積層構造としているが、開示する発明の一態様はこれに限定されない。1 層としても良いし、3 層以上の積層構造としても良い。また、絶縁層を設けない構成とすることも可能である。

30

【 0 1 0 2 】

なお、上記絶縁層 152 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように絶縁層 152 を形成することで、半導体装置を微細化した場合などにおいても、絶縁層 152 上に、電極や配線などを好適に形成することができるためである。なお、絶縁層 152 の平坦化は、CMP（化学的機械的研磨）などの方法を用いて行うことができる。

40

【 0 1 0 3 】

以上により、高純度化された酸化物半導体層 144 を用いたトランジスタ 162 が完成する（図 2 (G) 参照）。

【 0 1 0 4 】

なお、上記工程の後に、各種配線や電極などを形成しても良い。配線や電極は、いわゆるダマシン法や、デュアルダマシン法などの方法を用いて形成することができる。

【 0 1 0 5 】

50

上述のように、開示する発明の一態様では、二乗平均平方根（RMS）粗さが1nm以下という極めて平坦な領域にトランジスタ162のチャネル形成領域が設けられることになる。これにより、トランジスタ162が微細化される状況においても、短チャネル効果などの不具合を防止し、良好な特性を有するトランジスタ162を得ることが可能である。

【0106】

また、被形成表面の平坦性を高めることで、酸化物半導体層144の膜厚分布を均一化して、トランジスタ162の特性を向上させることができる。また、大きな高低差に起因して生じうる被覆性の低下を抑制し、酸化物半導体層144の断線や接続不良を防止することができる。

【0107】

また、上述のように、絶縁層143bの上面の一部とソース電極142aの上面、および絶縁層143bの上面の一部とドレイン電極142bの上面とに、僅かな高低差（例えば、5nm以上20nm以下）を設けることで、電流のパスが延長される。これにより、トランジスタ162における電界の集中を緩和して、短チャネル効果を抑制することが可能である。

【0108】

また、本実施の形態において示すトランジスタ162では、酸化物半導体層144が高純度化されているため、その水素濃度は、 5×10^{19} atoms/cm³以下、望ましくは 5×10^{18} atoms/cm³以下、より望ましくは 5×10^{17} atoms/cm³以下である。また、酸化物半導体層144の水素等のドナーに起因するキャリア密度は、一般的なシリコンウェハにおけるキャリア密度（ 1×10^{14} / cm³程度）と比較して、十分に小さい値（例えば、 1×10^{12} / cm³未満、より好ましくは、 1.45×10^{10} / cm³未満）をとる。そして、トランジスタ162のオフ電流も十分に小さくなる。例えば、トランジスタ162の室温（25）でのオフ電流（ここでは、単位チャネル幅（1μm）あたりの値）は 100 zA（1zA（ゼットアンペア）は 1×10^{-2} A）以下、望ましくは 10 zA以下となる。なお、上述の構成を採用する場合、トランジスタのオフ電流を、理論的には $1 \times 10^{-2.4}$ A / μm ~ $1 \times 10^{-3.0}$ A / μmとすることが可能である。

【0109】

このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのオフ電流を十分に低減することが容易になる。また、このように高純度化され、真性化された酸化物半導体層144を用いることで、トランジスタのS値を65mV/dec以下、好ましくは63mV/dec未満とすることも可能である。

【0110】

次に、図3について説明する。

【0111】

図2の場合と同様、まず、被形成表面を有する基体240上に、後にソース電極となる導電層241aおよび後にドレイン電極となる導電層241bを形成する（図3（A）参照）。そして、導電層241aおよび導電層241bを覆うように絶縁層243を形成する（図3（B）参照）。詳細は、図2（A）および図2（B）の場合と同様である。

【0112】

次に、絶縁層243をCMP（化学的機械的研磨）処理によって薄膜化して、絶縁層243bを形成する（図3（C）参照）。図2（C）の場合との相違点は、導電層241aおよび導電層241bの表面が露出する条件でCMP処理を行う点である。当該CMP処理のその他の条件は、図2（C）の場合と同様である。詳細については、図2（C）に関する記載を参照することができる。

【0113】

次に、導電層241aおよび導電層241bを薄膜化して、ソース電極242aおよびドレイン電極242bを形成する（図3（D）参照）。導電層241aおよび導電層241bの薄膜化は、エッティングによって行うことができる。エッティングは、ドライエッティング

10

20

30

40

50

とウェットエッティングのいずれを適用しても良い。なお、絶縁層 243b の表面の平坦性を十分に確保するためには、導電層のみを選択的にエッティングすることができる条件でエッティング処理を行うことが必要である。エッティングガスやエッティング液については被エッティング材料に応じて適宜選択することができる。

【0114】

上記の薄膜化の工程によって、絶縁層 243b の上面の一部とソース電極 242a の上面とドレイン電極 242b の上面とによって、僅かな高低差（例えば、5 nm 以上 20 nm 以下）を有する表面が形成される。また、ソース電極 242a およびドレイン電極 242b の端は、絶縁層 243b に覆われない。なお、絶縁層 243b は、その側面が、底面に對して傾斜を有するものであっても良い。

10

【0115】

次に、ソース電極 242a、ドレイン電極 242b、および絶縁層 243b の一部に接するように、上記表面を覆う酸化物半導体層 244 を形成した後、当該酸化物半導体層 244 を覆うようにゲート絶縁層 246 を形成する（図 3（E）参照）。また、ゲート絶縁層 246 上にゲート電極 248a を形成する（図 3（F）参照）。そして、ゲート絶縁層 246、ゲート電極 248a などを覆うように、絶縁層 250 および絶縁層 252 を形成する（図 3（G）参照）。詳細は、図 2（E）乃至図 2（G）の場合と同様である。

【0116】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

20

【0117】

（実施の形態 2）

本実施の形態では、開示する発明の別の一態様に係る半導体装置の構成およびその作製方法について、図 4 乃至図 6 を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OS の符号を併せて付す場合がある。

【0118】

半導体装置の構成例

図 4 は、半導体装置の構成の一例である。図 4（A）には、半導体装置の断面を、図 4（B）には、半導体装置の平面を、図 4（C）には半導体装置の回路構成を、それぞれ示す。なお、当該半導体装置の動作の詳細については後の実施の形態において詳述するから、本実施の形態では主として半導体装置の構成について述べるものとする。なお、図 4 に示す半導体装置は、所定の機能を有する半導体装置の一例であって、開示する発明の半導体装置をもれなく表現したものではない。開示する発明に係る半導体装置は、電極の接続関係等を適宜変更して、その他の機能を有するものとすることが可能である。

30

【0119】

図 4（A）は、図 4（B）の A1 - A2 および B1 - B2 における断面に相当する。図 4（A）および図 4（B）に示される半導体装置は、先の実施の形態で説明したトランジスタ 162 に加え、トランジスタ 162 下部のトランジスタ 160、および容量素子 164 を備えている。

【0120】

ここで、トランジスタ 162 の半導体材料とトランジスタ 160 の半導体材料とは異なる材料とすることが望ましい。例えば、トランジスタ 162 の半導体材料を酸化物半導体とし、トランジスタ 160 の半導体材料を酸化物半導体以外の半導体材料（シリコンなど）とすることができます。酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。一方で、酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。

40

【0121】

図 4 におけるトランジスタ 160 は、半導体材料（例えば、シリコンなど）を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むように設けられた不純物領域 120 と、不純物領域 120 に接する金属化合物領域 124 と、チャネ

50

ル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 と、を有する。なお、図において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

【0122】

また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように絶縁層 130 が設けられている。なお、高集積化を実現するためには、図 4 に示すようにトランジスタ 160 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する場合には、ゲート電極 110 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 120 を設けても良い。

10

【0123】

図 4 におけるトランジスタ 162 の構成は、先の実施の形態におけるトランジスタ 162 の構成と同様である。ただし、本実施の形態においては、トランジスタ 162 のソース電極 142a (ドレイン電極の場合もある) と、トランジスタ 160 のゲート電極 110 とは接続されている。なお、トランジスタ 162 に代えて、トランジスタ 262 を用いることができるのを言うまでもない。

【0124】

20

図 4 における容量素子 164 は、ソース電極 142a (ドレイン電極の場合もある)、酸化物半導体層 144、ゲート絶縁層 146、および電極 148b、で構成される。すなわち、ソース電極 142a は、容量素子 164 の一方の電極として機能し、電極 148b は、容量素子 164 の他方の電極として機能することになる。なお、電極 148b は、トランジスタ 162 におけるゲート電極 148a と同様の工程で形成される。

【0125】

なお、図 4 の容量素子 164 では、酸化物半導体層 144 とゲート絶縁層 146 を積層させることにより、ソース電極 142a と、電極 148b との間の絶縁性を十分に確保することができる。もちろん、十分な容量を確保するために、酸化物半導体層 144 を有しない構成の容量素子 164 を採用しても良い。また、容量が不要の場合は、容量素子 164 を設けない構成とすることも可能である。

30

【0126】

本実施の形態では、トランジスタ 162 および容量素子 164 が、トランジスタ 160 と重畳するように設けられている。このような、平面レイアウトを採用することにより、高集積化が可能である。例えば、最小加工寸法を F として、上記半導体装置の占める面積を $15F^2 \sim 25F^2$ とすることが可能である。

【0127】

40

なお、開示する発明に係る半導体装置の構成は、図 4 に示されるものに限定されない。開示する発明の技術的思想は、酸化物半導体と、酸化物半導体以外の材料と、を用いた積層構造を形成する点にあるから、電極の接続関係等の詳細については、適宜変更することができる。

【0128】

半導体装置の作製方法の例

次に、上記半導体装置の作製方法の一例について図 5 および図 6 を用いて説明する。なお、トランジスタ 162 の作製方法は先の実施の形態と同様であるため、ここでは主として、トランジスタ 160 の作製方法について説明する。

【0129】

まず、半導体材料を含む基板 100 を用意する (図 5 (A) 参照)。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができます

50

る。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「SOI基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【0130】

半導体材料を含む基板 100 として、特に、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

10

【0131】

なお、トランジスタのしきい値電圧を制御するために、後にトランジスタ 160 のチャネル形成領域 116 となる領域に、不純物元素を添加しても良い。ここでは、トランジスタ 160 のしきい値電圧が正となるように導電性を付与する不純物元素を添加する。半導体材料がシリコンの場合、該導電性を付与する不純物には、例えば、硼素、アルミニウム、ガリウムなどがある。なお、不純物元素の添加後には、加熱処理を行い、不純物元素の活性化や不純物元素の添加時に生じる欠陥の改善等を図るのが望ましい。

【0132】

次いで、基板 100 上に、素子分離絶縁層を形成するためのマスクとなる保護層 102 を形成する（図 5（A）参照）。保護層 102 としては、例えば、酸化シリコンや窒化シリコン、酸化窒化シリコンなどを材料とする絶縁層を用いることができる。

20

【0133】

次に、上記の保護層 102 をマスクとしてエッチングを行い、保護層 102 に覆われていない領域（露出している領域）の、基板 100 の一部を除去する。これにより他の半導体領域と分離された半導体領域 104 が形成される（図 5（B）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【0134】

次に、半導体領域 104 を覆うように絶縁層を形成し、半導体領域 104 に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層 106 を形成する（図 5（C）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMP（化学的機械的研磨）処理などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域 104 の形成後、または、素子分離絶縁層 106 の形成後には、上記保護層 102 を除去する。

30

【0135】

次に、半導体領域 104 の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0136】

絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域 104 表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、ヘリウム（He）、アルゴン（Ar）、クリプトン（Kr）、キセノン（Xe）などの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。もちろん、CVD 法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ ($x > 0, y > 0$)）、窒素が添加されたハフニウムシリケート（ $HfSi_xO_yN_z$ ($x > 0, y > 0, z > 0$)）、窒素が添加されたハフニウムアルミネート（ $HfAl_xO_yN_z$ ($x > 0, y > 0, z > 0$)）等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは

40

50

、例えば、1 nm 以上 100 nm 以下、好ましくは 10 nm 以上 50 nm 以下とすることができます。

【0137】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タンゲステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンドル法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【0138】

その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層 108、ゲート電極 110 を形成する（図 5（C）参照）。

【0139】

次に、半導体領域 104 にリン（P）やヒ素（As）などを添加して、チャネル形成領域 116 および不純物領域 120 を形成する（図 5（D）参照）。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素（B）やアルミニウム（Al）などの不純物元素を添加すればよい。ここでの添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

【0140】

なお、ゲート電極 110 の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【0141】

次に、ゲート電極 110、不純物領域 120 等を覆うように金属層 122 を形成する（図 6（A）参照）。当該金属層 122 は、真空蒸着法やスパッタリング法、スピンドル法などの各種成膜方法を用いて形成することができる。金属層 122 は、半導体領域 104 を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タンゲステン、ニッケル、コバルト、白金等がある。

【0142】

次に、熱処理を施して、上記金属層 122 と半導体材料とを反応させる。これにより、不純物領域 120 に接する金属化合物領域 124 が形成される（図 6（A）参照）。なお、ゲート電極 110 として多結晶シリコンなどを用いる場合には、ゲート電極 110 の金属層 122 と接触する部分にも、金属化合物領域が形成されることになる。

【0143】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域 124 を形成した後には、金属層 122 は除去する。

【0144】

次に、上述の工程により形成された各構成を覆うように、絶縁層 130 を形成する（図 6（B）参照）。絶縁層 130 は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層 130 に誘電率の低い（low-k）材料を用いると、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層 130 には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが

10

20

30

40

50

可能である。また、絶縁層130は、ポリイミド、アクリル樹脂等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層130の単層構造としているが、開示する発明の一態様はこれに限定されない。2層以上の積層構造としても良い。

【0145】

以上により、半導体材料を含む基板100を用いたトランジスタ160が形成される(図6(B)参照)。このようなトランジスタ160は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【0146】

その後、トランジスタ162および容量素子164の形成前の処理として、絶縁層130にCMP処理を施して、ゲート電極110の上面を露出させる(図6(C)参照)。ゲート電極110の上面を露出させる処理としては、CMP処理の他にエッチング処理などを適用することも可能であるが、トランジスタ162の特性を向上させるために、絶縁層130の表面は可能な限り平坦にしておくことが望ましい。例えば、絶縁層130は、その表面の二乗平均平方根(RMS)粗さが1nm以下となるように平坦化される。このようにすることで、絶縁層130上に形成される半導体装置の特性を向上することができる。

【0147】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造である多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【0148】

その後、トランジスタ162および容量素子164を形成することで、半導体装置が完成する。

【0149】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0150】

(実施の形態3)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図7を参考して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0151】

図7(A-1)に示す、記憶装置として用いることができる半導体装置において、第1の配線(1st Line)とトランジスタ1000のソース電極とは、電気的に接続され、第2の配線(2nd Line)とトランジスタ1000のドレイン電極とは、電気的に接続されている。また、第3の配線(3rd Line)とトランジスタ1010のソース電極またはドレイン電極の一方とは、電気的に接続され、第4の配線(4th Line)と、トランジスタ1010のゲート電極とは、電気的に接続されている。そして、トランジスタ1000のゲート電極と、トランジスタ1010のソース電極またはドレイン電極の他方は、容量素子1020の電極の一方と電気的に接続され、第5の配線(5th Line)と、容量素子1020の電極の他方は電気的に接続されている。

【0152】

ここで、トランジスタ1010には、酸化物半導体を用いたトランジスタが適用される。ここで、酸化物半導体を用いたトランジスタとしては、例えば、先の実施の形態で示したトランジスタを用いることができる。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ1010をオフ状態としても、トランジスタ1000のゲート電極の電位を極めて長時間にわたって保持することができる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタ1010の短チャネル効果を抑制し、且つ微細化を達成することができる。そして

10

20

30

40

50

、容量素子1020を有することにより、トランジスタ1000のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。ここで、容量素子1020としては、例えば、先の実施の形態で示した容量素子を用いることができる。

【0153】

また、トランジスタ1000には、酸化物半導体以外の半導体材料を用いたトランジスタが適用される。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いるのが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が可能である。ここで、酸化物半導体以外の半導体材料を用いたトランジスタとしては、例えば、先の実施の形態で示したトランジスタを用いることができる。

10

【0154】

また、図7(B)に示すように、容量素子1020を設けない構成とすることも可能である。

【0155】

図7(A-1)に示す半導体装置では、トランジスタ1000のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0156】

20

はじめに、情報の書き込みおよび保持について説明する。まず、第4の配線の電位を、トランジスタ1010がオン状態となる電位にして、トランジスタ1010をオン状態とする。これにより、第3の配線の電位が、トランジスタ1000のゲート電極、および容量素子1020に与えられる。すなわち、トランジスタ1000のゲート電極には、所定の電荷が与えられる(書き込み)。ここでは、異なる二つの電位を与える電荷(以下、低電位を与える電荷を電荷 Q_L 、高電位を与える電荷を電荷 Q_H という)のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ1010がオフ状態となる電位にして、トランジスタ1010をオフ状態とすることにより、トランジスタ1000のゲート電極に与えられた電荷が保持される(保持)。

30

【0157】

トランジスタ1010のオフ電流は極めて小さいから、トランジスタ1000のゲート電極の電荷は長時間にわたって保持される。

【0158】

次に、情報の読み出しについて説明する。第1の配線に所定の電位(定電位)を与えた状態で、第5の配線に適切な電位(読み出し電位)を与えると、トランジスタ1000のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ1000をnチャネル型とすると、トランジスタ1000のゲート電極に Q_H が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ1000のゲート電極に Q_L が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ1000を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を V_{th_H} と V_{th_L} の中間の電位 V_0 とすることにより、トランジスタ1000のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 Q_H が与えられていた場合には、第5の配線の電位が V_0 ($> V_{th_H}$)となれば、トランジスタ1000は「オン状態」となる。 Q_L が与えられていた場合には、第5の配線の電位が V_0 ($< V_{th_L}$)となっても、トランジスタ1000は「オフ状態」のままである。このため、第2の配線の電位を見ることで、保持されている情報を読み出すことができる。

40

【0159】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報をのみを

50

読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さないようにするには、各メモリセル間でトランジスタ1000がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ1000が「オフ状態」となるような電位、つまり、 V_{t_h-H} より小さい電位を与えればよい。また、各メモリセル間でトランジスタ1000がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ1000が「オン状態」となるような電位、つまり、 V_{t_h-L} より大きい電位を第5の配線に与えればよい。

【0160】

10

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ1010がオン状態となる電位にして、トランジスタ1010をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ1000のゲート電極および容量素子1020に与えられる。その後、第4の配線の電位を、トランジスタ1010がオフ状態となる電位にして、トランジスタ1010をオフ状態とすることにより、トランジスタ1000のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0161】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

20

【0162】

なお、トランジスタ1010のソース電極またはドレイン電極は、トランジスタ1000のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ1010のソース電極またはドレイン電極とトランジスタ1000のゲート電極が電気的に接続される部位をフローティングゲート部FGと呼ぶ場合がある。トランジスタ1010がオフの場合、当該フローティングゲート部FGは絶縁体中に埋設されたと見ることができ、フローティングゲート部FGには電荷が保持される。酸化物半導体を用いたトランジスタ1010のオフ電流は、シリコン半導体などで形成されるトランジスタの10万分の1以下であるため、トランジスタ1010のリークによる、フローティングゲート部FGに蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ1010により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

30

【0163】

例えば、トランジスタ1010の室温でのオフ電流が $10^{-21} A$ ($1 zA$ (ゼプトアンペア))は $1 \times 10^{-21} A$ 以下であり、容量素子1020の容量値が $10 fF$ 程度である場合には、少なくとも 10^4 秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

40

【0164】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

【0165】

図7(A-1)に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素

50

が抵抗および容量を含むものとして、図7(A-2)のように考えることが可能である。つまり、図7(A-2)では、トランジスタ1000および容量素子1020が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1およびC1は、それぞれ、容量素子1020の抵抗値および容量値であり、抵抗値R1は、容量素子1020を構成する絶縁層による抵抗値に相当する。また、R2およびC2は、それぞれ、トランジスタ1000の抵抗値および容量値であり、抵抗値R2はトランジスタ1000がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値C2はいわゆるゲート容量(ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量)の容量値に相当する。

【0166】

10

トランジスタ1010がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値(実効抵抗とも呼ぶ)をROSとすると、トランジスタ1010のゲートリークが十分に小さい条件において、R1およびR2が、R1>ROS(R1はROS以上)、R2>ROS(R2はROS以上)を満たす場合には、電荷の保持期間(情報の保持期間ということもできる)は、主としてトランジスタ1010のオフ電流によって決定されることになる。

【0167】

20

逆に、当該条件を満たさない場合には、トランジスタ1010のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ1010のオフ電流以外のリーク電流(例えば、ソース電極とゲート電極の間において生じるリーク電流等)が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

【0168】

一方で、C1とC2は、C1>C2(C1はC2以上)の関係を満たすことが望ましい。C1をC2と同じ、あるいはC2よりも大きくすることで、第5の配線によってフローティングゲート部FGの電位を制御する際に、第5の配線の電位を効率よくフローティングゲート部FGに与えることができるようになり、第5の配線に与える電位間(例えば、読み出しの電位と、非読み出しの電位)の電位差を低く抑えることができるためである。

【0169】

30

上述の関係を満たすことで、より好適な半導体装置を実現することができる。なお、R1およびR2は、トランジスタ1000のゲート絶縁層や容量素子1020の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0170】

本実施の形態で示す半導体装置においては、フローティングゲート部FGが、フラッシュメモリ等のフローティングゲート型のトランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部FGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

40

【0171】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界(10⁴~10⁵回程度)という別の問題も生じる。

【0172】

50

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣

接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0173】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

【0174】

また、高電界が不要であるため、大型の昇圧回路などが不要である点も、フラッシュメモリに対するアドバンテージである。

【0175】

なお、容量素子1020を構成する絶縁層の比誘電率 r_1 と、トランジスタ1000を構成する絶縁層の比誘電率 r_2 とを異ならせる場合には、容量素子1020を構成する絶縁層の面積 S_1 と、トランジスタ1000においてゲート容量を構成する絶縁層の面積 S_2 とが、 $2 \cdot S_2 = S_1$ ($2 \cdot S_2$ は S_1 以上)、望ましくは $S_2 = S_1$ (S_2 は S_1 以上) を満たしつつ、 $C_1 = C_2$ (C_1 は C_2 以上) を実現することが容易である。すなわち、容量素子1020を構成する絶縁層の面積を小さくしつつ、 $C_1 = C_2$ を実現することが容易である。具体的には、例えば、容量素子1020を構成する絶縁層においては、酸化ハフニウムなどの $h_i g h - k$ 材料でなる膜、または酸化ハフニウムなどの $h_i g h - k$ 材料でなる膜と酸化物半導体でなる膜との積層構造を採用して r_1 を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $3 \leq r_2 \leq 4$ (r_2 は3以上4以下) とすることができます。

10

【0176】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0177】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ (nチャネル型トランジスタ) を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのいうまでもない。

【0178】

以上示したように、開示する発明の一態様に係る半導体装置は、オフ状態でのソースとドレイン間のリーク電流 (オフ電流) が少ない書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有している。

20

【0179】

通常のシリコン半導体では、リーク電流 (オフ電流) を、使用時の温度 (例えば、25)において 100 zA ($1 \times 10^{-19} \text{ A}$) 以下に低減することは困難であるが、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用トランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

【0180】

30

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイング値 (S値) が小さいため、比較的移動度が低くてもスイッチング速度を十分大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、フローティングゲート部FGに与えられる書き込みパルスの立ち上がりを極めて急峻にできる。また、オフ電流が小さいため、フローティングゲート部FGに保持させる電荷量を少なくすることが可能である。つまり、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用いることで、情報の書き換えを高速に行うことができる。

【0181】

読み出し用トランジスタとしては、オフ電流についての制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し

40

50

用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

【0182】

このように、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用い、酸化物半導体以外の半導体材料を用いたトランジスタを読み出し用トランジスタとして用いることにより、長時間に渡っての情報の保持が可能で、且つ情報の読み出しを高速で行うことが可能な、記憶装置として用いることができる半導体装置を実現することができる。

【0183】

さらに、書き込み用のトランジスタとして、先の実施の形態に示すトランジスタを用いることにより、書き込み用のトランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。これにより、記憶装置として用いることができる半導体装置の高集積化を図ることができる。

【0184】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0185】

(実施の形態4)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図8および図9を用いて説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0186】

図8(A)および図8(B)は、図7(A-1)に示す半導体装置(以下、メモリセル1050とも記載する)を複数用いて形成される、記憶装置として用いることができる半導体装置の回路図である。図8(A)は、メモリセル1050が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図8(B)は、メモリセル1050が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

【0187】

図8(A)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、m本の第2信号線S2、m本のワード線WL、m個のメモリセル1050を有する。図8(A)では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。

【0188】

各メモリセル1050において、トランジスタ1000のゲート電極と、トランジスタ1010のソース電極またはドレイン電極の一方と、容量素子1020の電極の一方とは、電気的に接続されている。また、第1信号線S1とトランジスタ1010のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ1010のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子1020の電極の他方は電気的に接続されている。

【0189】

また、メモリセル1050が有するトランジスタ1000のソース電極は、隣接するメモリセル1050のトランジスタ1000のドレイン電極と電気的に接続され、メモリセル1050が有するトランジスタ1000のドレイン電極は、隣接するメモリセル1050のトランジスタ1000のソース電極と電気的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル1050が有するトランジスタ1000のドレイン電極は、ビット線と電気的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル1050が有するトランジスタ1000のソース電極は、ソース線と電気的に接続される。

【0190】

10

20

30

40

50

図8(A)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2の信号線S2にトランジスタ1010がオン状態となる電位を与え、書き込みを行う行のトランジスタ1010をオン状態にする。これにより、指定した行のトランジスタ1000のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

【0191】

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ1000のゲート電極に与えられた電荷によらず、トランジスタ1000がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ1000をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ1000のゲート電極が有する電荷によって、トランジスタ1000のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ1000は、読み出しを行う行を除いてオン状態となっているため、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ1000の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ1000のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0192】

図8(B)に示す半導体装置は、n本のソース線SL、ビット線BLおよび第1信号線S1、m本の第2信号線S2およびワード線WLを有し、n×m個のメモリセル1050を有する。各トランジスタ1000のゲート電極と、トランジスタ1010のソース電極またはドレイン電極の一方と、容量素子1020の電極の一方とは、電気的に接続されている。また、ソース線SLとトランジスタ1000のソース電極とは、電気的に接続され、ビット線BLとトランジスタ1000のドレイン電極とは、電気的に接続されている。また、第1信号線S1とトランジスタ1010のソース電極またはドレイン電極の他方とは、電気的に接続され、第2信号線S2と、トランジスタ1010のゲート電極とは、電気的に接続されている。そして、ワード線WLと、容量素子1020の電極の他方は電気的に接続されている。

【0193】

図8(B)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図8(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ1000のゲート電極に与えられた電荷によらず、トランジスタ1000がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ1000をオフ状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ1000のゲート電極が有する電荷によって、トランジスタ1000のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ1000の状態(オン状態またはオフ状態)によって決定される。つまり、読み出しを行う行のトランジスタ1000のゲート電極が有する電荷によって、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0194】

なお、上記においては、各メモリセル1050に保持させる情報量を1ビットとしたが、本実施の形態に示す半導体装置の構成はこれに限られない。トランジスタ1000のゲー

10

20

30

40

50

ト電極に与える電位を3以上用意して、各メモリセル1050が保持する情報量を増加させても良い。例えば、トランジスタ1000のゲート電極にあたえる電位を4種類とする場合には、各メモリセルに2ビットの情報を保持させることができる。

【0195】

次に、図8に示す半導体装置などに用いることができる読み出し回路の一例について図9を用いて説明する。

【0196】

図9(A)には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

【0197】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線に接続される。また、トランジスタのゲート電極にはバイアス電位Vbiasが印加され、端子Aの電位が制御される。

【0198】

メモリセル1050は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル1050のトランジスタ1000がオン状態の場合には低抵抗状態となり、選択したメモリセル1050のトランジスタ1000がオフ状態の場合には高抵抗状態となる。

【0199】

メモリセルが高抵抗状態の場合、端子Aの電位が参照電位Vrefより高くなり、センスアンプ回路は端子Aの電位に対応する電位を出力する。一方、メモリセルが低抵抗状態の場合、端子Aの電位が参照電位Vrefより低くなり、センスアンプ回路は端子Aの電位に対応する電位を出力する。

【0200】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位Vrefの代わりに参照用のビット線が接続される構成としても良い。

【0201】

図9(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子Vin(+)とVin(-)と出力端子Voutを有し、Vin(+)とVin(-)の電位の差を増幅する。Vin(+)の電位がVin(-)の電位より大きければVoutは、概ねHigh出力、Vin(+)の電位がVin(-)の電位より小さければVoutは、概ねLow出力となる。当該差動型センスアンプを読み出し回路に用いる場合、入力端子Vin(+)とVin(-)の一方は入力端子Aと接続し、入力端子Vin(+)とVin(-)の他方には参照電位Vrefを与える。

【0202】

図9(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型センスアンプは、入出力端子V1およびV2と、制御用信号Sp、Snの入力端子を有する。まず、信号SpをHigh、信号SnをLowとして、電源電位(Vdd)を遮断する。そして、比較を行う電位をV1とV2に与える。その後、信号SpをLow、信号SnをHighとして、電源電位(Vdd)を供給すると、比較を行う電位V1inとV2inがV1in > V2inの関係にあれば、V1の出力はHigh、V2の出力はLowとなり、V1in < V2inの関係にあれば、V1の出力はLow、V2の出力はHighとなる。このような関係を利用して、V1inとV2inの差を増幅することができる。当該ラッチ型センスアンプを読み出し回路に用いる場合、V1とV2の一方は、スイッチを介して端子Aおよび出力端子と接続し、V1とV2の他方には参照電位Vrefを与える。

【0203】

以上に示す、記憶装置として用いることができる半導体装置は、メモリセルの書き込み用

10

20

30

40

50

のトランジスタに、先の実施の形態に示すトランジスタを用いることにより、該書き込み用のトランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。これにより、記憶装置として用いることができる半導体装置の高集積化を図ることができる。

【0204】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0205】

(実施の形態5)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図10を参照して説明する。ここでは、中央演算処理装置(CPU)について説明する。

10

【0206】

CPUのブロック図の一例を図10に示す。図10に示されるCPU1101は、タイミングコントロール回路1102、命令解析デコーダー1103、レジスタアレイ1104、アドレスロジックバッファ回路1105、データバスインターフェイス1106、ALU(Arithmetic logic unit)1107、命令レジスタ1108などより構成されている。

【0207】

これらの回路は、先の実施の形態に示したトランジスタ、インバータ回路、抵抗、容量などを用いて作製する。先の実施の形態に示すトランジスタは、極めてオフ電流を小さくすることができるので、CPU1101の低消費電力化を実現できる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。

20

【0208】

以下に、CPU1101が有する、それぞれの回路について簡単に説明する。タイミングコントロール回路1102は外部からの命令を受け取り、それを内部用の情報に変換し、他のブロックに送り出す。また、内部の動作に応じて、メモリデータの読み込み、書き込みなどの指示を外部に与える。命令解析デコーダー1103は外部の命令を内部用の命令に変換する機能を有する。レジスタアレイ1104はデータを一時的に保管する機能を有する。アドレスロジックバッファ回路1105は外部メモリのアドレスを指定する機能を有する。データバスインターフェイス1106は、外部のメモリまたはプリンタなどの機器にデータを出し入れする機能を有する。ALU1107は演算を行う機能を有する。命令レジスタ1108は命令を一時的に記憶しておく機能を有する。このような回路の組み合わせによってCPUは構成されている。

30

【0209】

CPU1101の少なくとも一部に、先の実施の形態に示したトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができる。CPU1101の高集積化を図ることができる。

【0210】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

40

【0211】

(実施の形態6)

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図11を参照して説明する。ここでは、対象物の情報を読み取るイメージセンサ機能を有する半導体装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、OSの符号を併せて付す場合がある。

【0212】

図11(A)に、イメージセンサ機能を有する半導体装置の一例を示す。図11(A)はフォトセンサの等価回路であり、図11(B)はフォトセンサの一部を示す断面図である。

50

【0213】

フォトダイオード1202は、一方の電極がフォトダイオードリセット信号線1212に、他方の電極がトランジスタ1204のゲート電極に電気的に接続されている。トランジスタ1204は、ソース電極又はドレイン電極の一方がフォトセンサ基準信号線1218に、ソース電極又はドレイン電極の他方がトランジスタ1206のソース電極又はドレイン電極の一方に電気的に接続されている。トランジスタ1206は、ゲート電極がゲート信号線1214に、ソース電極又はドレイン電極の他方がフォトセンサ出力信号線1216に電気的に接続されている。

【0214】

ここで、図11(A)に示す、トランジスタ1204、トランジスタ1206は酸化物半導体を用いたトランジスタが適用される。ここで、酸化物半導体を用いたトランジスタとして、先の実施の形態で示したトランジスタを用いることができる。先の実施の形態に示したトランジスタは、オフ状態でのリーク電流を極めて小さくすることができるので、フォトセンサの光検出精度を向上させることができる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、フォトダイオードの面積を増大させ、フォトセンサの光検出精度を向上させることができる。

10

【0215】

図11(B)は、フォトセンサにおけるフォトダイオード1202及びトランジスタ1204を示す断面図であり、絶縁表面を有する基板1222(TFT基板)上に、センサとして機能するフォトダイオード1202及びトランジスタ1204が設けられている。フォトダイオード1202、トランジスタ1204の上には接着層1228を用いて基板1224が設けられている。また、トランジスタ1204上には、絶縁層1234、層間絶縁層1236、層間絶縁層1238が設けられている。

20

【0216】

また、トランジスタ1204のゲート電極と電気的に接続されるように、該ゲート電極と同じ層にゲート電極層1240が設けられている。ゲート電極層1240は、絶縁層1234及び層間絶縁層1236に設けられた開口を介して、層間絶縁層1236上に設けられた電極層1242と電気的に接続されている。フォトダイオード1202は、電極層1242上に形成されているので、フォトダイオード1202とトランジスタ1204とは、ゲート電極層1240および電極層1242を介して電気的に接続されている。

30

【0217】

フォトダイオード1202は、電極層1242側から順に、第1半導体層1226a、第2半導体層1226b及び第3半導体層1226cを積層した構造を有している。つまり、フォトダイオード1202は、第1半導体層1226aで電極層1242と電気的に接続されている。また、第3半導体層1226cにおいて、層間絶縁層1238上に設けられた電極層1244と電気的に接続されている。

【0218】

ここでは、第1半導体層1226aとしてn型の導電型を有する半導体層と、第2半導体層1226bとして高抵抗な半導体層(i型半導体層)、第3半導体層1226cとしてp型の導電型を有する半導体層を積層するp-i-n型のフォトダイオードを例示している。

40

【0219】

第1半導体層1226aは、n型半導体層であり、n型の導電性を付与する不純物元素を含むアモルファスシリコン膜により形成する。第1半導体層1226aの形成には、15族の不純物元素(例えばリン(P))を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン(SiH₄)を用いればよい。または、ジシラン(Si₂H₆)、ジクロロシラン(SiH₂Cl₂)、トリクロロシラン(SiHCl₃)、四塩化珪素(SiCl₄)、四弗化珪素(SiF₄)等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等に

50

より不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第1半導体層1226aの膜厚は20nm以上200nm以下となるよう形成することが好ましい。

【0220】

第2半導体層1226bは、i型半導体層（真性半導体層）であり、アモルファスシリコン膜により形成する。第2半導体層1226bの形成には、半導体材料ガスを用いて、アモルファスシリコン膜をプラズマCVD法により形成する。半導体材料ガスとしては、シラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。第2半導体層1226bの形成は、LPCVD法、気相成長法、スパッタリング法等により行っても良い。第2半導体層1226bの膜厚は200nm以上1000nm以下となるよう形成することが好ましい。

10

【0221】

第3半導体層1226cはp型半導体層であり、p型の導電性を付与する不純物元素を含むアモルファスシリコン膜により形成することができる。第3半導体層1226cの形成には13族の不純物元素（例えばボロン（B））を含む半導体材料ガスを用いて、プラズマCVD法により形成する。半導体材料ガスとしてはシラン（ SiH_4 ）を用いればよい。または、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 等を用いてもよい。また、不純物元素を含まないアモルファスシリコン膜を形成した後に、拡散法やイオン注入法を用いて該アモルファスシリコン膜に不純物元素を導入してもよい。イオン注入法等により不純物元素を導入した後に加熱等を行うことで、不純物元素を拡散させるとよい。この場合にアモルファスシリコン膜を形成する方法としては、LPCVD法、気相成長法、又はスパッタリング法等を用いればよい。第3半導体層1226cの膜厚は10nm以上50nm以下となるよう形成することが好ましい。

20

【0222】

また、第1半導体層1226a、第2半導体層1226b、及び第3半導体層1226cは、アモルファス半導体ではなく、多結晶半導体を用いて形成してもよいし、微結晶（セミアモルファス（*Semi Amorphous Semiconductor* : SAS））半導体を用いて形成してもよい。

30

【0223】

微結晶半導体は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、熱力学的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

40

【0224】

この微結晶半導体膜は、周波数が数十MHz～数百MHzの高周波プラズマCVD法、または周波数が1GHz以上のマイクロ波プラズマCVD装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などのシリコンを含む気体を水素で希釈して形成することができる。また、水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素でシリコンを含む気体を希釈して微結晶半導体膜を形成することができる。これらのときシリコンを含む気体に対して水素の流量比を5倍以上200倍以下、好ましくは50倍以上150倍以下、更に好ましくは100倍とする。さらには、シリコンを含む気体中に、 CH_4 、 C_2H_6 等の炭化水素気体、 GeH_4 、 GeF_4 等のゲルマニウムを含む気

50

体、 F_2 等を混入させてもよい。

【0225】

また、光電効果で発生した正孔の移動度は電子の移動度に比べて小さいため、p i n 型のフォトダイオードは p 型の半導体層側を受光面とする方がよい特性を示す。ここでは、基板 1224 側の面からフォトダイオード 1202 が入射光 1230 を受け、電気信号に変換する例を示す。また、受光面とした半導体層側とは逆の導電型を有する半導体層側からの光は外乱光となるため、電極層 1242 は遮光性を有する導電膜を用いるとよい。また、n 型の半導体層側を受光面として用いることもできる。

【0226】

また、入射光 1230 を基板 1224 側の面から入射させることにより、トランジスタ 1204 の酸化物半導体層は、該トランジスタ 1204 のゲート電極によって、入射光 1230 を遮光することができる。

10

【0227】

絶縁層 1234、層間絶縁層 1236、層間絶縁層 1238 としては、絶縁性材料を用いて、その材料に応じて、スパッタリング法、SOG 法、スピンドルコート、ディップコート法、スプレー塗布、スクリーン印刷法、オフセット印刷法、液滴吐出法（インクジェット法）等の方法を用いて形成することができる。

【0228】

絶縁層 1234 としては、無機絶縁材料としては、酸化シリコン層、酸化窒化シリコン層、窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、酸化窒化アルミニウム層、窒化アルミニウム層、又は窒化酸化アルミニウム層などの酸化物絶縁層又は窒化物絶縁層の、単層又は積層を用いることができる。また μ 波（2.45 GHz）を用いた高密度プラズマ CVD は、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。

20

【0229】

層間絶縁層 1236、層間絶縁層 1238 としては、表面凹凸を低減するため平坦化絶縁膜として機能する絶縁層が好ましい。層間絶縁層 1236、層間絶縁層 1238 としては、例えはポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂、ポリアミド、エポキシ樹脂等の、耐熱性を有する有機絶縁材料を用いることができる。また上記有機絶縁材料の他に、低誘電率材料（low-k 材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等の単層、又は積層を用いることができる。

30

【0230】

フォトダイオード 1202 は、入射光 1230 を検出することによって、被検出物の情報を読み取ることができる。なお、被検出物の情報を読み取る際にバックライトなどの光源を用いることができる。

【0231】

以上に示すフォトセンサにおいて、酸化物半導体を用いたトランジスタとして、先の実施の形態で示したトランジスタを用いることができる。先の実施の形態に示したトランジスタは、オフ状態でのリーク電流を極めて小さくすることができるので、フォトセンサの光検出精度を向上させることができる。さらに、先の実施の形態に示すトランジスタを用いることにより、トランジスタの短チャネル効果を抑制し、且つ微細化を達成することができるので、フォトダイオードの面積を増大させ、フォトセンサの光検出精度を向上させることができる。

40

【0232】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【0233】

（実施の形態 7）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図 12 を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含

50

む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

【0234】

図12(A)は、ノート型のパーソナルコンピュータであり、筐体701、筐体702、表示部703、キーボード704などによって構成されている。筐体701と筐体702の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力なノート型のパーソナルコンピュータが実現される。

【0235】

図12(B)は、携帯情報端末(PDA)であり、本体711には、表示部713と、外部インターフェイス715と、操作ボタン714等が設けられている。また、携帯情報端末を操作するスライラス712などを備えている。本体711内には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な携帯情報端末が実現される。

10

【0236】

図12(C)は、電子ペーパーを実装した電子書籍720であり、筐体721と筐体723の2つの筐体で構成されている。筐体721および筐体723には、それぞれ表示部725および表示部727が設けられている。筐体721と筐体723は、軸部737により接続されており、該軸部737を軸として開閉動作を行うことができる。また、筐体721は、電源731、操作キー733、スピーカー735などを備えている。筐体721、筐体723の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な電子書籍が実現される。

20

【0237】

図12(D)は、携帯電話機であり、筐体740と筐体741の2つの筐体で構成されている。さらに、筐体740と筐体741は、スライドし、図12(D)のように展開している状態から重なり合った状態とすることができる、携帯に適した小型化が可能である。また、筐体741は、表示パネル742、スピーカー743、マイクロフォン744、タッチパネル745、ポインティングデバイス746、カメラ用レンズ747、外部接続端子748などを備えている。また、筐体740は、携帯電話機の充電を行う太陽電池セル749、外部メモリスロット750などを備えている。また、アンテナは、筐体741に内蔵されている。筐体740と筐体741の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力な携帯電話機が実現される。

30

【0238】

図12(E)は、デジタルカメラであり、本体761、表示部767、接眼部763、操作スイッチ764、表示部765、バッテリー766などによって構成されている。本体761内には、先の実施の形態に示す半導体装置が設けられている。そのため、例えば、高速、かつ低消費電力なデジタルカメラが実現される。

【0239】

図12(F)は、テレビジョン装置770であり、筐体771、表示部773、スタンド775などで構成されている。テレビジョン装置770の操作は、筐体771が備えるスイッチや、リモコン操作機780により行うことができる。筐体771およびリモコン操作機780には、先の実施の形態に示す半導体装置が搭載されている。そのため、例えば、高速、かつ低消費電力なテレビジョン装置が実現される。

40

【0240】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、半導体装置の微細化による高速化、低消費電力化が実現された電子機器が得られる。

【実施例1】

【0241】

50

本実施例では、計算機シミュレーションによって、短チャネル効果抑制の観点から、開示する発明の効果を確認した結果について示す。なお、計算（第1の計算および第2の計算）は、シルバコ社製デバイスシミュレータAtlasを用いて行った。

【0242】

第1の計算は、図13に示すモデルを用いて行った。図13(A)には開示する発明の一態様に係る、絶縁層の上面と、ソース電極およびドレイン電極の上面との間に僅かな高低差が存在する構造（以下、構造A）のトランジスタを示している。また、図13(B)には比較例としての上記高低差を有しない構造（以下、構造B）のトランジスタを示している。なお、当該計算においては簡単のため、構造Aとして、図13(A)に示すような、絶縁層143bがソース電極142aおよびドレイン電極142bを覆わない構造を採用しているが、計算上は、絶縁層143bがソース電極142aおよびドレイン電極142bを覆う構造との大きな差はない。

10

【0243】

当該計算では、高低差を形成する領域（以下、凸状領域と呼ぶ）の側面の傾斜角と、当該凸状領域の高さhを変数として計算を行った。なお、図13において符号を付した構成要素は、先の実施の形態において同一の符号を付して説明した構成要素に相当する。また、本実施例の計算モデルでは、絶縁層150など一部の構成要素を設けていないが、このことは計算結果に影響を与えるものではない。

20

【0244】

計算に用いたその他のパラメータは以下の通りである。

- ・酸化物半導体層の膜厚：10nm
- ・酸化物半導体層の材質：In-Ga-Zn-O系金属酸化物（バンドギャップEg：3.15eV、電子親和力（）：4.3eV、比誘電率：15、電子移動度：10cm²/Vs）
- ・ゲート絶縁層の膜厚：10nm
- ・ゲート絶縁層の材質：酸化ハフニウム（比誘電率：15）
- ・ソース電極、ドレイン電極の材質：窒化チタン（仕事関数：3.9eV）
- ・ゲート電極の材質：タンゲステン（仕事関数：4.9eV）

【0245】

第1の計算の結果を図14乃至図16に示す。図14には、ゲート電圧VG(V)とドレイン電流ID(A)との関係を、図15には、チャネル長L(nm)としきい値電圧Vth(V)との関係を、図16には、チャネル長L(nm)とS値(V/dec)との関係を、それぞれ示す。なお、図14乃至図16では、傾斜角を45°、60°、90°、高さhを5nm、10nm、20nmとした場合の結果について、それぞれ示している。

30

【0246】

図14乃至図16の結果より、チャネル長Lが100nmより大きい場合には、構造Aと構造Bとの間に有意差は見られないが、チャネル長Lを100nm以下とする場合には、構造Aでは、しきい値電圧Vthのマイナスシフトと、S値の増大が抑制されている。つまり、構造Aでは、構造Bと比較して、短チャネル効果を抑制することが可能である。

【0247】

40

第2の計算は、図17に示すモデルを用いて行った。図17(A)は、構造Aを示しており、図17(B)は構造Bを示している。第2の計算と第1の計算との相違は、第1の計算では、ソース電極とドレイン電極との間隔をチャネル長Lと扱っているのに対して、第2の計算では、絶縁層の凸形状に沿った形でチャネル長Lを算出している点にある。すなわち、図17(A)では、チャネル長L = Ls + Lc + Ldである。図17(A)におけるチャネル長Lをこのように扱うことで、チャネル長Lの実効値が大きくなる効果をキャンセルし、正確に形状に起因する効果を見ることができる。

【0248】

図18には、第2の計算の結果である、ゲート電圧VG(V)とドレイン電流ID(A)との関係を示す。ここで、傾斜角は90°に固定し、高さhはそれぞれ、5nm、10

50

nm 、 $20 nm$ としている。図18より、絶縁層の上面と、ソース電極およびドレイン電極の上面との間に僅かな高低差が存在する構造（構造A）では、その形状に起因して、しきい値電圧 V_{th} のマイナスシフトが抑制されている。つまり、当該形状によって、短チャネル効果が抑制されることが理解される。

【0249】

なお、第1の計算結果および第2の計算結果からは、高さ h を大きくすると短チャネル効果が現れにくくなることがわかるが、大きな高低差を設けると、被覆性の低下により酸化物半導体層の断線等が生じる可能性もあるため、高低差は $30 nm$ 以下、好ましくは $20 nm$ 以下とする。

【符号の説明】

10

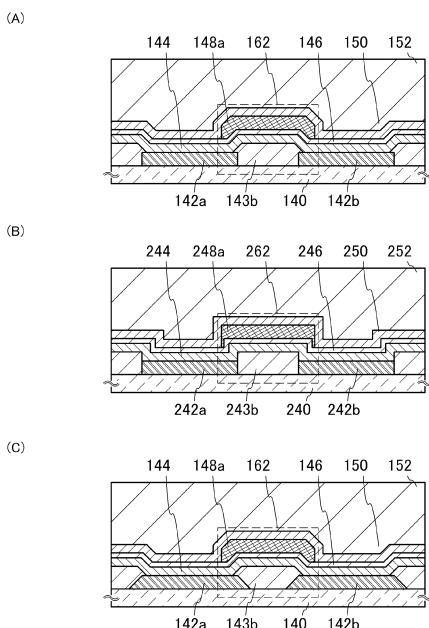
【0250】

100	基板	
102	保護層	
104	半導体領域	
106	素子分離絶縁層	
108	ゲート絶縁層	
110	ゲート電極	
116	チャネル形成領域	
120	不純物領域	
122	金属層	20
124	金属化合物領域	
130	絶縁層	
140	基体	
142 a	ソース電極	
142 b	ドレイン電極	
143	絶縁層	
143 a	絶縁層	
143 b	絶縁層	
144	酸化物半導体層	
146	ゲート絶縁層	30
148 a	ゲート電極	
148 b	電極	
150	絶縁層	
152	絶縁層	
160	トランジスタ	
162	トランジスタ	
164	容量素子	
240	基体	
241 a	導電層	
241 b	導電層	40
242 a	ソース電極	
242 b	ドレイン電極	
243	絶縁層	
243 b	絶縁層	
244	酸化物半導体層	
246	ゲート絶縁層	
248 a	ゲート電極	
250	絶縁層	
252	絶縁層	
262	トランジスタ	50

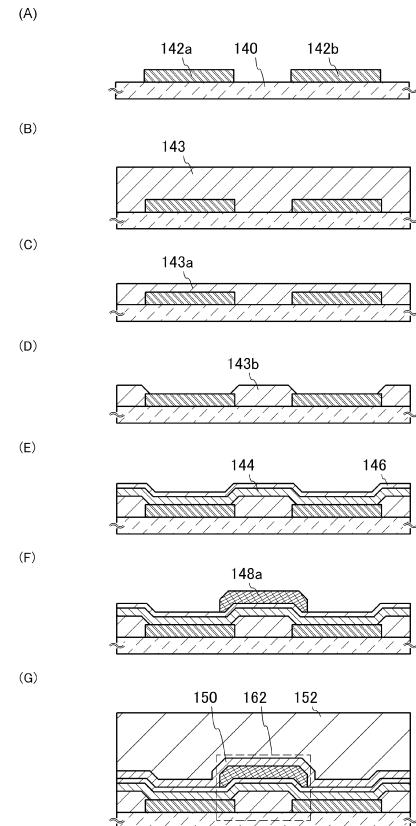
7 0 1	筐体	
7 0 2	筐体	
7 0 3	表示部	
7 0 4	キー ボード	
7 1 1	本体	
7 1 2	スタイルス	
7 1 3	表示部	
7 1 4	操作ボタン	
7 1 5	外部インターフェイス	
7 2 0	電子書籍	10
7 2 1	筐体	
7 2 3	筐体	
7 2 5	表示部	
7 2 7	表示部	
7 3 1	電源	
7 3 3	操作キー	
7 3 5	スピーカー	
7 3 7	軸部	
7 4 0	筐体	
7 4 1	筐体	20
7 4 2	表示パネル	
7 4 3	スピーカー	
7 4 4	マイクロフォン	
7 4 5	タッチパネル	
7 4 6	ポインティングデバイス	
7 4 7	カメラ用レンズ	
7 4 8	外部接続端子	
7 4 9	太陽電池セル	
7 5 0	外部メモリスロット	
7 6 1	本体	30
7 6 3	接眼部	
7 6 4	操作スイッチ	
7 6 5	表示部	
7 6 6	バッテリー	
7 6 7	表示部	
7 7 0	テレビジョン装置	
7 7 1	筐体	
7 7 3	表示部	
7 7 5	スタンド	
7 8 0	リモコン操作機	40
1 0 0 0	トランジスタ	
1 0 1 0	トランジスタ	
1 0 2 0	容量素子	
1 0 5 0	メモリセル	
1 1 0 1	C P U	
1 1 0 2	タイミングコントロール回路	
1 1 0 3	命令解析デコーダー	
1 1 0 4	レジスタアレイ	
1 1 0 5	アドレスロジックバッファ回路	
1 1 0 6	データバスインターフェイス	50

1 1 0 7	A L U	
1 1 0 8	命令レジスタ	
1 2 0 2	フォトダイオード	
1 2 0 4	トランジスタ	
1 2 0 6	トランジスタ	
1 2 1 2	フォトダイオードリセット信号線	
1 2 1 4	ゲート信号線	
1 2 1 6	フォトセンサ出力信号線	
1 2 1 8	フォトセンサ基準信号線	
1 2 2 2	基板	10
1 2 2 4	基板	
1 2 2 6 a	第1半導体層	
1 2 2 6 b	第2半導体層	
1 2 2 6 c	第3半導体層	
1 2 2 8	接着層	
1 2 3 0	入射光	
1 2 3 4	絶縁層	
1 2 3 6	層間絶縁層	
1 2 3 8	層間絶縁層	
1 2 4 0	ゲート電極層	20
1 2 4 2	電極層	
1 2 4 4	電極層	

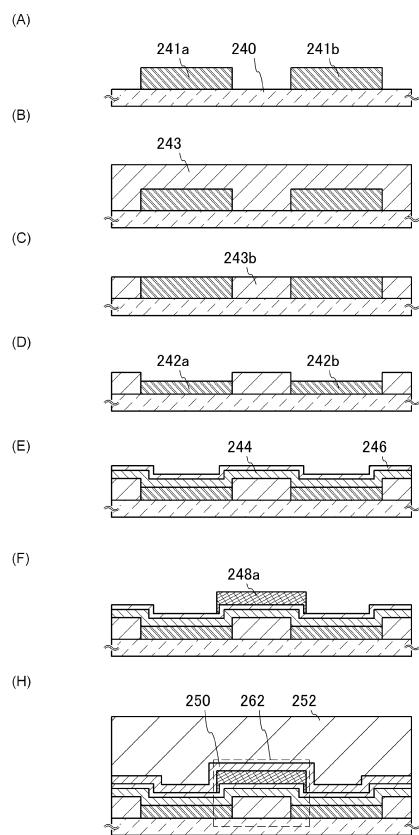
【図1】



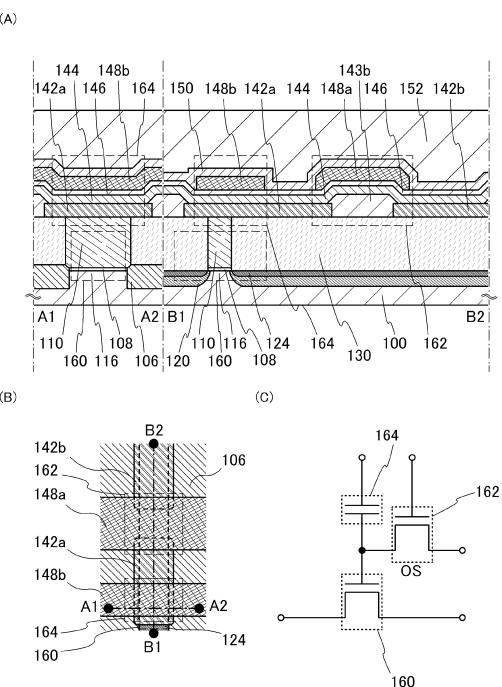
【図2】



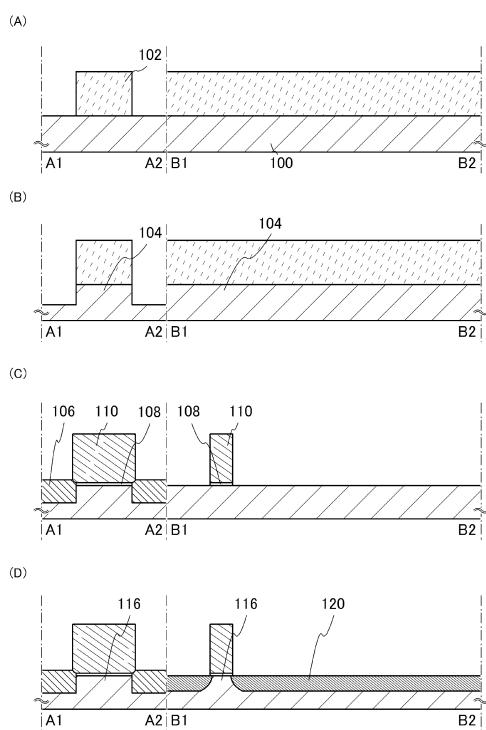
【図3】



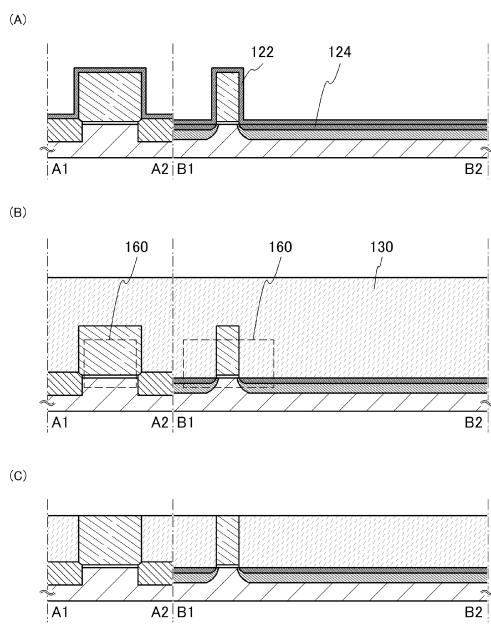
【図4】



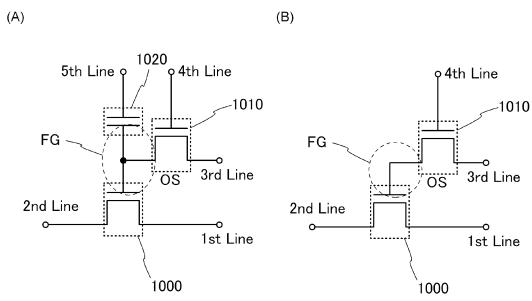
【図5】



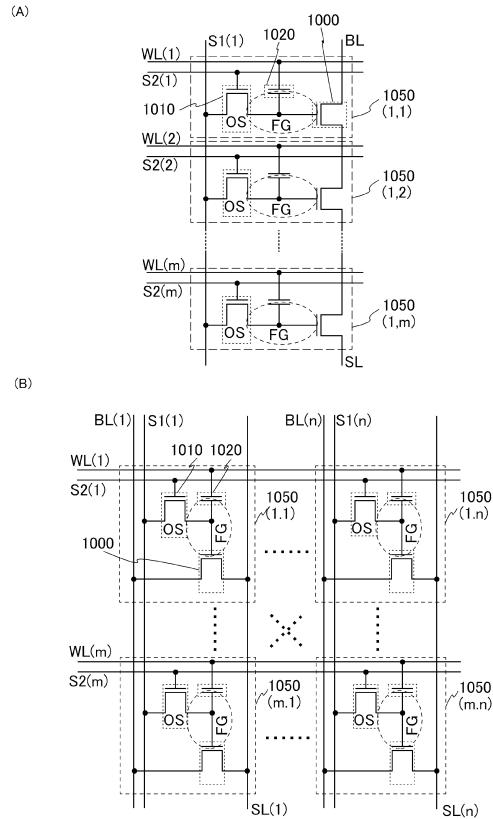
【図6】



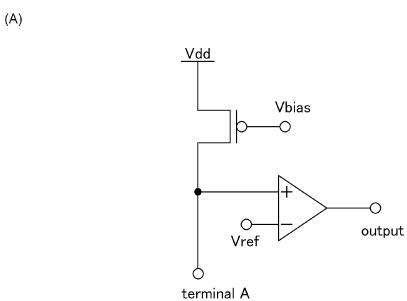
【図7】



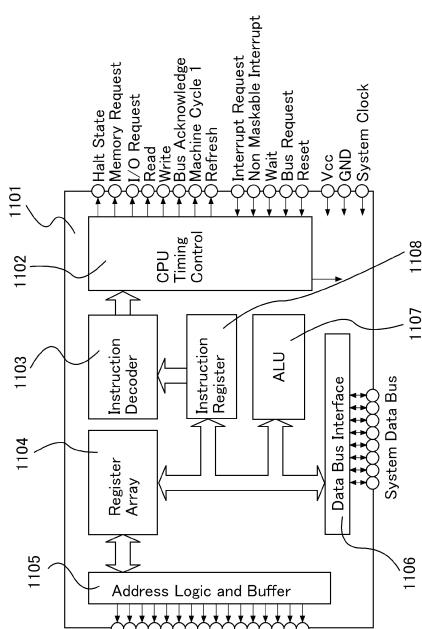
【図8】



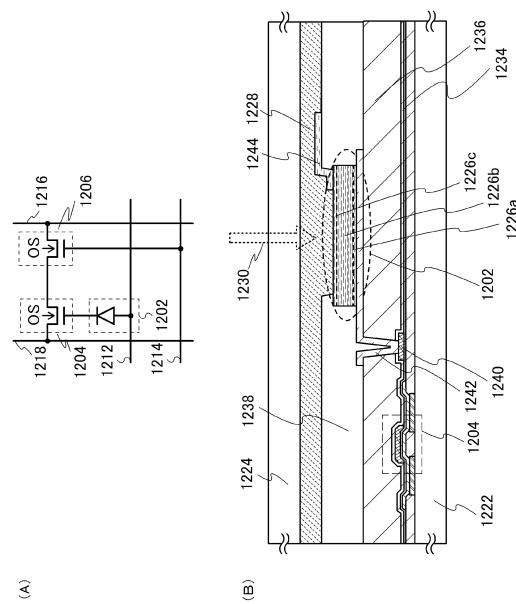
【図9】



【図10】

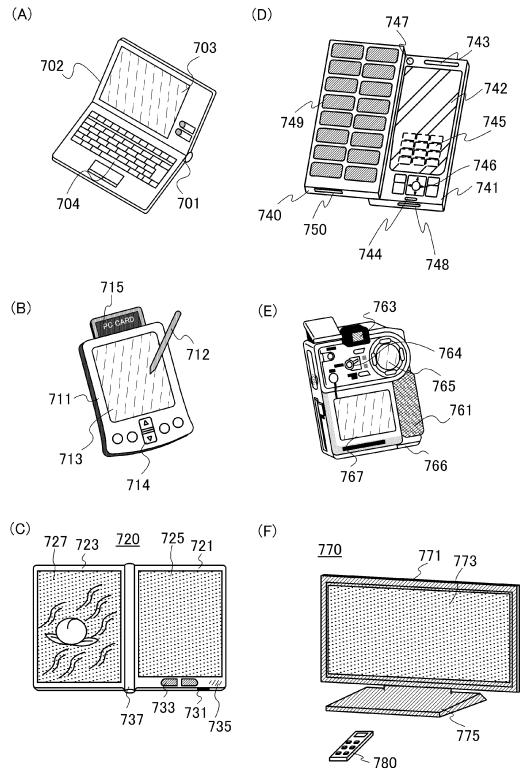


【図11】

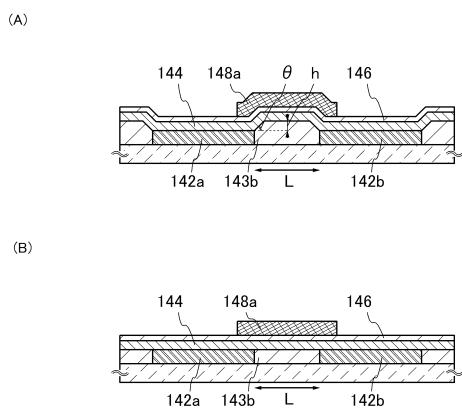


(A)

【図12】

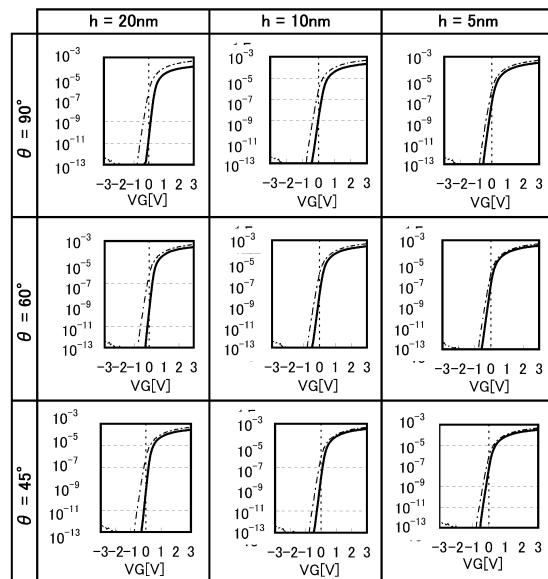


【図13】



(B)

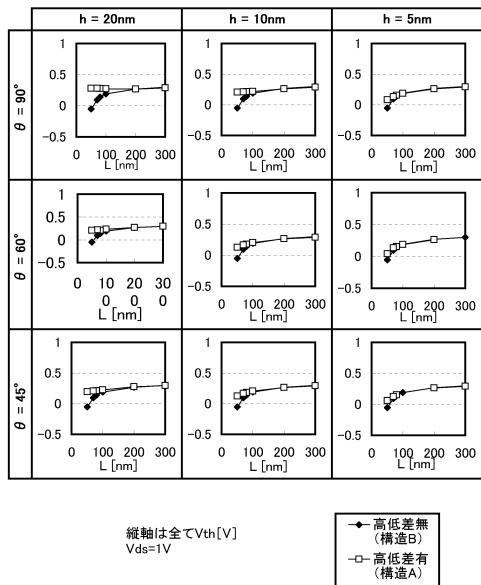
【図14】



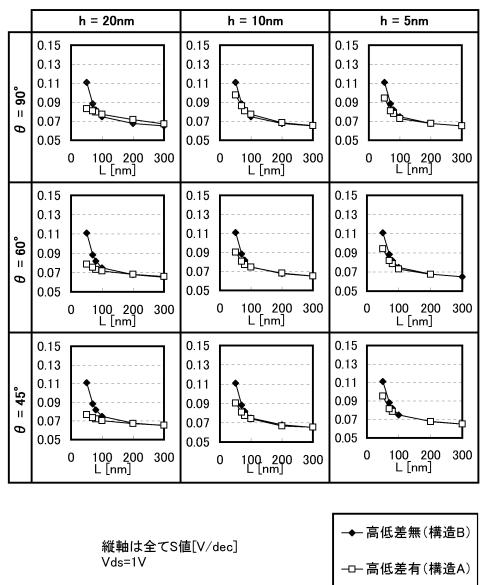
縦軸は全CID[A]
 $W=1\mu\text{m}$
 $Vds=1\text{V}$
 $L=50\text{nm}$

--- 高低差無
 (構造B)
 —— 高低差有
 (構造A)

【図15】

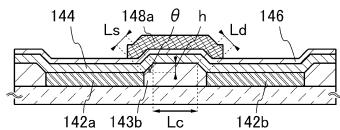
縦軸は全てVth[V]
Vds=1V◆ 高低差無
(構造B)
□ 高低差有
(構造A)

【図16】

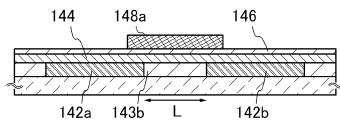
縦軸は全てS値[V/dec]
Vds=1V◆ 高低差無 (構造B)
□ 高低差有 (構造A)

【図17】

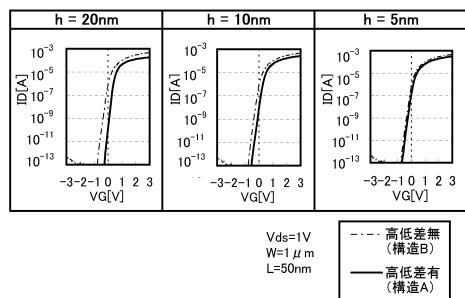
(A)



(B)



【図18】

---: 高低差無
(構造B)
—: 高低差有
(構造A)Vds=1V
W=1μm
L=50nm

フロントページの続き

(51)Int.Cl.

F I

H 01 L 29/78 616 S

(56)参考文献 特開2008-098447 (JP, A)

特開平05-206166 (JP, A)

特開2009-147039 (JP, A)

特開2010-021170 (JP, A)

特開2000-150900 (JP, A)

特開昭61-204976 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21/336

H 01 L 29/786