(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 109155142 B
(45)授权公告日 2020.06.30

(21)申请号 201780031681.X

(22)申请日 2017.05.01

(65)同一申请的已公布的文献号
申请公布号 CN 109155142 A

(43)申请公布日 2019.01.04

(30)优先权数据
15/161,952 2016.05.23 US

(85)PCT国际申请进入国家阶段日
2018.11.22

(86)PCT国际申请的申请数据
PCT/US2017/030371 2017.05.01

(87)PCT国际申请的公布数据
WO2017/205007 EN 2017.11.30

(73)专利权人 美光科技公司
地址 美国爱达荷州

(72)发明人 C·J·卡瓦姆拉

(74)专利代理机构 北京律盟知识产权代理有限责任公司 11287
代理人 王龙

(51)Int.Cl.
*G11C 11/22*(2006.01)

审查员 金霞

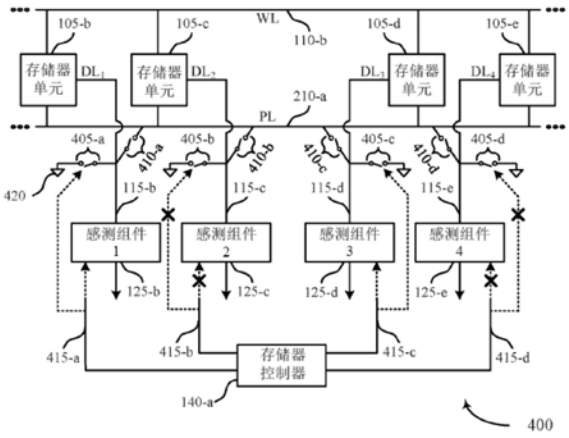
权利要求书4页 说明书20页 附图9页

(54)发明名称

用于存储器单元的感测操作的功率降低

(57)摘要

本申请案涉及用于存储器单元的感测操作的功率降低。描述用于操作一或若干铁电存储器单元的方法、系统及装置。存储器装置可利用铁电电容器的非易失性存储器性质-例如,铁电电容器可在两种状态中的一者下保持极化而无需跨所述铁电电容器施加电压-以用共同字线激活对应于多个存储器单元的感测组件的子集。例如,可用共同字线选择第一组存储器单元及第二组存储器单元以进行读取操作。可激活对应于所述第一组存储器单元的第一组感测组件以进行所述读取操作,且可将对应于所述第二组存储器单元的第二组感测组件维持于解除激活状态。




CN 109155142 B

1.一种操作铁电存储器阵列的方法,其包括:

使用字线选择第一组存储器单元及第二组存储器单元以进行读取操作,所述字线与所述第一组存储器单元及所述第二组存储器单元电子通信,其中所述第一组存储器单元中的每一存储器单元及所述第二组存储器单元中的每一存储器单元包括铁电电容器;

经由第一开关组件将电压施加到与所述第一组存储器单元的存储器单元电子通信的板线;

使用与所述第一组存储器单元的每个存储器单元耦合的数字线来激活第一组感测组件作为所述读取操作的一部分;及

在所述读取操作期间将对应于所述第二组存储器单元的第二组感测组件维持于解除激活状态。

2.根据权利要求1所述的方法,其进一步包括:

在所述读取操作期间短接所述第二组存储器单元中的每一存储器单元的所述数字线与所述板线,其中所述板线与所述第二组存储器单元电子通信。

3.根据权利要求2所述的方法,其中所述第二组存储器单元中的每一存储器单元的所述数字线经由开关组件与所述板线电子通信,且其中短接所述数字线包括:

在所述读取操作期间激活所述开关组件。

4.根据权利要求2所述的方法,其中所述板线的所述电压是固定电压。

5.根据权利要求1所述的方法,其进一步包括:

在所述读取操作期间隔离所述第一组存储器单元中的每一存储器单元的所述数字线与所述板线。

6.根据权利要求5所述的方法,其中所述第一组存储器单元中的每一存储器单元的所述数字线经由开关组件与所述板线电子通信,且其中隔离每一存储器单元的所述数字线包括:

在所述读取操作期间解除激活所述开关组件。

7.根据权利要求1所述的方法,其中所述字线与第三组存储器单元及第四组存储器单元电子通信,且其中所述方法进一步包括:

使用所述字线选择所述第三组存储器单元及所述第四组存储器单元。

8.根据权利要求7所述的方法,其中第三组感测组件与所述第三组存储器单元电子通信且第四组感测组件与所述第四组存储器单元电子通信,且其中所述方法进一步包括:

激活所述第三组感测组件以进行所述读取操作。

9.根据权利要求8所述的方法,其进一步包括:

至少部分地基于激活所述第三组存储器单元,在所述读取操作期间将所述第四组感测组件维持于所述解除激活状态。

10.根据权利要求1所述的方法,其中所述第一组感测组件及所述第二组感测组件呈交错图案布置,所述交错图案包括与所述第二组感测组件中的第一感测组件及第二感测组件相邻的所述第一组感测组件中的第一感测组件。

11.根据权利要求1所述的方法,其中所述板线经由第二开关组件与所述第二组存储器单元电子通信。

12.一种电子存储器设备,其包括:

第一组存储器单元，其与第一数字线耦合，并经由第一开关组件与第一组感测组件电子通信；

第二组存储器单元，其与第二数字线耦合，并经由第二开关组件与第二组感测组件电子通信，其中所述第一组存储器单元及所述第二组存储器单元中的每一存储器单元包括与板线电子通信的铁电电容器；

字线，其与所述第一组存储器单元及所述第二组存储器单元电子通信；

控制器，其与所述第一组感测组件及所述第二组感测组件电子通信，其中所述控制器可操作以：

使用所述字线选择所述第一组存储器单元及所述第二组存储器单元以进行读取操作；

彼此独立地使用所述第一数字线激活所述第一组感测组件及使用所述第二数字线激活所述第二组感测组件；

经由所述第一开关组件将电压施加到与所述第一组存储器单元的存储器单元电子通信的所述板线；及

在所述读取操作期间将对应于所述第二组存储器单元的所述第二组感测组件维持于解除激活状态。

13.根据权利要求12所述的电子存储器设备，其中所述控制器包括：

第一驱动器，其与所述第一组感测组件电子通信；及

第二驱动器，其与所述第二组感测组件电子通信。

14.根据权利要求12所述的电子存储器设备，其中所述第一组感测组件中的每一感测组件经由第一控制线与所述控制器电子通信，且其中所述第二组感测组件中的每一感测组件经由第二控制线与所述控制器电子通信。

15.根据权利要求12所述的电子存储器设备，其中所述第一组感测组件及所述第二组感测组件呈交错图案布置，所述交错图案包括与所述第二组感测组件中的第一感测组件及第二感测组件相邻的所述第一组感测组件中的第一感测组件。

16.根据权利要求12所述的电子存储器设备，其中所述板线与所述第二组存储器单元电子通信。

17.根据权利要求16所述的电子存储器设备，其进一步包括：

第一组开关组件，其与相关联于所述第一组存储器单元中的每一存储器单元及所述板线的数字线电子通信；及

第二组开关组件，其与相关联于所述第二组存储器单元中的每一存储器单元及所述板线的数字线电子通信。

18.根据权利要求17所述的电子存储器设备，其中所述第一组开关组件中的每一开关组件经由第一控制线与所述控制器电子通信，且其中所述第二组开关组件中的每一开关组件经由第二控制线与所述控制器电子通信。

19.根据权利要求12所述的电子存储器设备，其中所述第一组感测组件中的每一感测组件与所述第一组存储器单元中的相应存储器单元电子通信，且所述第二组感测组件中的每一感测组件与所述第二组存储器单元中的相应存储器单元电子通信。

20.根据权利要求12所述的电子存储器设备，其进一步包括：

第三组存储器单元，其对应于第三组感测组件，

第四组存储器单元，其对应于第四组感测组件；其中：

所述字线与所述第三组存储器单元及所述第四组存储器单元电子通信，

所述控制器与所述第三组感测组件及所述第四组感测组件电子通信，且

所述控制器可操作以彼此独立地激活所述第一组感测组件、所述第二组感测组件、所述第三组感测组件及所述第四组感测组件。

21.根据权利要求12所述的电子存储器设备，还包括与所述数字线和所述板线电子通信的第一组开关组件，所述数字线与所述第二组存储器单元的每个存储器单元关联。

22.一种电子存储器设备，其包括：

第一组存储器单元；

第二组存储器单元；

第一组感测组件；

第二组感测组件；及

控制器，其与所述第一组存储器单元、所述第二组存储器单元、所述第一组感测组件及所述第二组感测组件电子通信，其中所述控制器可操作以：

使用字线选择所述第一组存储器单元及所述第二组存储器单元以进行读取操作，所述字线与所述第一组存储器单元及所述第二组存储器单元电子通信；

经由开关组件将电压施加到与所述第一组存储器单元的存储器单元电子通信的板线；

使用与所述第一组存储器单元的每个存储器单元耦合的数字线激活所述第一组感测组件作为所述读取操作的一部分；及

在所述读取操作期间将对应于所述第二组存储器单元的所述第二组感测组件维持于解除激活状态。

23.根据权利要求22所述的电子存储器设备，其进一步包括第一驱动器及第二驱动器，其中所述第一驱动器可操作以：

在所述读取操作期间短接所述第二组存储器单元中的每一存储器单元的所述数字线与所述板线，其中所述板线与所述第一组存储器单元及所述第二组存储器单元相关联，且其中所述第二驱动器可操作以：

在所述读取操作期间隔离所述第一组存储器单元中的每一存储器单元的所述数字线与所述板线。

24.根据权利要求22所述的电子存储器设备，其进一步包括：

所述数字线，其与所述第一组存储器单元的每一存储器单元相关联，所述数字线经由所述开关组件与所述板线电子通信，其中所述控制器可操作以：

在所述读取操作期间激活所述开关组件。

25.根据权利要求22所述的电子存储器设备，其进一步包括：

所述数字线，其与所述第二组存储器单元中的每一铁电存储器单元相关联，所述数字线经由所述开关组件与所述板线电子通信，其中所述控制器可操作以：

在所述读取操作期间解除激活所述开关组件。

26.根据权利要求22所述的电子存储器设备，其进一步包括：

第三组存储器单元；及

第四组存储器单元，其中所述控制器可操作以：

使用所述字线选择所述第三组存储器单元及所述第四组存储器单元。

27.根据权利要求26所述的电子存储器设备,其进一步包括:

第三组感测组件,其对应于所述第三组存储器单元,其中所述控制器可操作以:

激活所述第三组感测组件以进行所述读取操作。

28.根据权利要求26所述的电子存储器设备,其中所述第一组感测组件及所述第二组感测组件呈交错图案布置,所述交错图案包括与所述第二组感测组件中的第一感测组件及第二感测组件相邻的所述第一组感测组件中的第一感测组件。

# 用于存储器单元的感测操作的功率降低

[0001] 交叉参考

[0002] 本专利申请案主张川村(Kawamura)在2016年5月23日申请的转让给其受让人的标题为“用于存储器单元的感测操作的功率降低(Power Reduction for a Sensing Operation of a Memory Cell)”的第15/161,952号美国专利申请案的优先权,所述专利申请案转让给其受让人且其全文以引用方式明确并入本文中。

## 技术领域

[0003] 技术领域涉及用于存储器单元的感测操作的功率降低。

## 背景技术

[0004] 下文大体上涉及存储器装置,且更具体来说,涉及降低与铁电存储器单元的读取操作相关联的功率消耗。

[0005] 存储器装置广泛用来在各种电子装置(例如计算机、无线通信装置、相机、数字显示器及类似者)中信息存储。通过编程存储器装置的不同状态来存储信息。例如,二进制装置具有两种状态,通常由逻辑“1”或逻辑“0”表示。在其它系统中,可存储两种以上状态。为存取存储信息,电子装置可读取或感测存储器装置中的存储状态。为存储信息,电子装置可在存储器装置中写入或编程状态。

[0006] 存在各种类型的存储器装置,包含随机存取存储器(RAM)、只读存储器(ROM)、动态RAM(DRAM)、同步动态RAM(SDRAM)、铁电RAM(FeRAM)、磁性RAM(MRAM)、电阻式RAM(RRAM)、快闪存储器等。存储器装置可为易失性的或非易失性的。即使在缺乏外部电源的情况下,非易失性存储器(例如,快闪存储器)也可长时间存储数据。易失性存储器装置(例如,DRAM)可能随时间丢失其存储状态,除非其被外部电源周期性地刷新。二进制存储器装置可为易失性存储器装置的实例且可通过对电容器充电或放电来存储逻辑状态。然而,充电电容器可通过泄漏电流随时间放电,从而导致存储信息丢失。此外,读取存储在电容器中的状态是破坏性的且存储器装置必须在读取操作结束时将初始状态重写到电容器。易失性存储器的某些特征可提供性能优势(例如更快的读取或写入速度),而非易失性存储器的特征(例如在无周期性刷新的情况下存储数据的能力)可能是有利的。

[0007] FeRAM可使用与易失性存储器类似的装置架构,但是归因于使用铁电电容器作为存储装置而可具有非易失性性质。因此,与其它非易失性及易失性存储器装置相比,FeRAM装置可具有改进性能。当执行读取操作时,FeRAM装置可用共同字线激活对应于每一存储器单元的感测组件。但是,激发(firing)每一存储器单元可能导致功率消耗增加。

## 发明内容

[0008] 描述一种操作铁电存储器阵列的方法。在一些实例中,所述方法可包含:使用字线选择第一组存储器单元及第二组存储器单元以进行读取操作,所述字线与所述第一组存储器单元及所述第二组存储器单元电子通信;激活对应于所述第一组存储器单元的第一组感

测组件以进行所述读取操作;及在所述读取操作期间将对应于所述第二组存储器单元的第二组感测组件维持于解除激活状态。

[0009] 描述一种电子存储器设备。在一些实例中,所述电子存储器设备可包含:第一组存储器单元,其对应于第一组感测组件;第二组存储器单元,其对应于第二组感测组件;字线,其与所述第一组存储器单元及所述第二组存储器单元电子通信;及控制器,其与所述第一组感测组件及所述第二组感测组件电子通信。在一些实例中,所述控制器可操作以彼此独立地激活所述第一组感测组件及所述第二组感测组件。

[0010] 描述一种电子存储器设备。在一些实例中,所述电子存储器设备可包含:第一组存储器单元;第二组存储器单元;第一组感测组件;第二组感测组件;及控制器,其与所述第一组存储器单元、所述第二组存储器单元、所述第一组感测组件及所述第二组感测组件电子通信。在一些实例中,所述控制器可操作以:使用字线选择所述第一组存储器单元及所述第二组存储器单元以进行读取操作,所述字线与所述第一组存储器单元及所述第二组存储器单元电子通信;激活对应于所述第一组存储器单元的所述第一组感测组件以进行所述读取操作;及在所述读取操作期间将对应于所述第二组存储器单元的所述第二组感测组件维持于解除激活状态。

[0011] 描述一种电子存储器设备。在一些实例中,所述电子存储器设备可包含:用于使用字线选择第一组存储器单元及第二组存储器单元以进行读取操作的构件,所述字线与所述第一组存储器单元及所述第二组存储器单元电子通信;用于激活对应于所述第一组存储器单元的第一组感测组件以进行所述读取操作的构件;及用于在所述读取操作期间将对应于所述第二组存储器单元的第二组感测组件维持于解除激活状态的构件。

## 附图说明

[0012] 本文中的揭示内容涉及且包含以下附图:

[0013] 图1说明根据本发明的各种实施例的支持降低功率感测方案的实例存储器阵列;

[0014] 图2说明根据本发明的各种实施例的支持降低功率感测方案的存储器单元的实例电路;

[0015] 图3说明根据本发明的各种实施例的支持降低功率感测方案的铁电存储器单元的实例磁滞曲线;

[0016] 图4说明根据本发明的各种实施例的支持降低功率感测方案的实例电路;

[0017] 图5说明根据本发明的各种实施例的降低功率感测方案的时序图;

[0018] 图6说明根据本发明的各种实施例的用于降低功率感测方案的实例存储器控制器;

[0019] 图7说明根据本发明的各种实施例的支持降低功率感测方案的实例铁电存储器阵列的框图;

[0020] 图8说明根据本发明的各种实施例的支持降低功率感测方案的包含存储器阵列的装置的框图;及

[0021] 图9是说明根据本发明的各种实施例的用于降低功率感测方案的一或若干方法的流程图。

## 具体实施方式

[0022] 铁电存储器装置可利用铁电电容器的非易失性存储器性质—例如,铁电电容器可在两种状态中的一者下保持极化而无需跨铁电电容器施加电压—以使用共同存取线(例如,字线)激活对应于多个存储器单元的感测组件的子集,从而节省功率。可选择与共同字线相关联的一组存储器单元以进行读取操作。可执行读取操作以提取由所述组存储器单元中的一些存储器单元存储的信息,而不干扰存储在所述组的其它存储器单元中的信息,即使所述组中的每一存储器单元可共享字线。

[0023] 举例来说,为读取一组存储器单元,可使对应于要读取的存储器单元的数字线在读取操作之前虚拟地接地。可将电压施加到要读取的存储器单元的顶部单元板。这可能导引起跨要读取的单元的铁电电容器的电压差,因此铁电电容器可在读取操作期间将电荷释放到对应数字线上。为防止其它存储器单元的铁电电容器—即,并非意在要读取的那些电容器—释放电荷,可将跨那些铁电电容器的电压保持于或接近零。例如,可将对应于未读存储器单元的数字线维持于处于或接近施加到未读存储器单元的铁电电容器的顶部单元板的电压的电压。因此,未读存储器单元的铁电电容器可在相同字线上的其它单元的读取操作期间保持其存储逻辑状态,且可将与未读存储器单元相关联的感测组件维持于解除激活状态,这可降低功率消耗。

[0024] 相比之下,对于DRAM存储器单元,选择存储器单元以进行读取操作可能干扰共享字线的每一存储器单元。如下文进一步描述,接着可使用感测组件来恢复(“回写”)受干扰存储器单元的初始逻辑状态,从而汲取功率以促进回写。

[0025] 下文在存储器阵列的背景下进一步描述上文所介绍的本发明的特征。接着参考支持降低功率感测架构的电路描述特定实例。参考涉及降低功率感测方案的设备图、系统图及流程图进一步说明及描述本发明的这些及其它特征。

[0026] 图1说明根据本发明的各种实施例的支持降低功率感测方案的实例存储器阵列100。存储器阵列100也可称为电子存储器设备。存储器阵列100包含可编程以存储不同状态的存储器单元105。每一存储器单元105可经编程以存储两种状态,表示为逻辑“0”及逻辑“1”。在一些情况下,存储器单元105经配置以存储两种以上逻辑状态。存储器单元105可包含用来存储表示可编程状态的电荷的电容器;例如,充电电容器及未充电电容器可分别表示两种逻辑状态。DRAM架构通常可使用此设计,且所采用电容器可包含具有线性电极化性质的电介质材料。相比之下,铁电存储器单元可包含具有铁电体作为电介质材料的电容器。铁电电容器的不同电荷电平可表示不同逻辑状态。铁电材料具有非线性极化性质;下文论述铁电存储器单元105的一些细节及优点。

[0027] 可通过激活或选择适当存取线(其也可分别称为字线110(从WL_1到WL_N)及数字线115(从DL_1到DL_N))对存储器单元105执行操作,例如读取及写入。激活或选择字线110或数字线115可包含将电压施加到相应线。在一些情况下,数字线115可称为位线。字线110及数字线115由导电材料制成。例如,字线110及数字线115可由金属制成,例如铜、铝、金、钨或类似者。根据图1的实例,每行存储器单元105连接到单个字线110,且每列存储器单元105连接到单个数字线115。通过激活(例如,将电压施加到)字线110中的一者及数字线115中的一者,可在其交叉点处存取单个存储器单元105。字线110及数字线115的交叉点可称为存储器单元地址。

[0028] 在一些架构中，单元的逻辑存储器装置(例如，电容器)可通过选择组件与数字线电隔离。字线110可连接到且可控制选择组件。例如，选择组件可为晶体管且字线110可连接到晶体管的栅极。激活字线110导致存储器单元105的电容器与其对应数字线115之间的电连接或闭合电路。接着可存取数字线以读取或写入存储器单元105。存取存储器单元105可通过行解码器120及列解码器130来控制。在一些实例中，行解码器120从存储器控制器140接收行地址且基于所接收行地址激活适当字线110。类似地，列解码器130从存储器控制器140接收列地址且激活适当数字线115。因此，通过激活字线110及数字线115，可存取存储器单元105。例如，存储器阵列100可通过激活DL_1及WL_3来存取存储器单元105。

[0029] 在存取之后，可由感测组件125读取或感测存储器单元105以确定存储器单元105的存储状态。例如，在存取存储器单元105之后，存储器单元105的铁电电容器可放电到对应数字线115上，从而在数字线115上感应电压。数字线115的电压可输入到感测组件125，其中可比较数字线115的电压与参考电压。对于具有铁电电容器的存储器单元105，读取存储器单元可包含偏置—例如，将电压施加到—铁电电容器的板。这可称为“移动板”方案。在一些情况下，可将固定电压施加到铁电电容器的板，且读取存储器单元可包含使与铁电电容器电子通信的数字线115在执行读取操作之前虚拟地接地。这可称为“固定板”方案。

[0030] 感测组件125可包含各种晶体管或放大器以检测及放大信号的差异，这可称为锁存。感测组件125可包含接收数字线115的电压且比较数字线115的电压与参考电压的感测放大器。可至少部分地基于比较将感测放大器的输出驱动到更高(例如，正)或更低(例如，负或接地)供应电压。例如，如果数字线115具有高于参考电压的电压，那么可将感测放大器输出驱动到正供应电压。在一些情况下，感测放大器可另外将数字线115的输出驱动到供应电压。接着，感测组件125可锁存感测放大器的输出或数字线115的电压或两者，这可用来确定存储器单元105中的存储状态是逻辑“1”。替代地，如果数字线115具有低于参考电压的电压，那么可将感测放大器输出驱动到负电压或接地电压。感测组件125可类似地锁存感测放大器的输出以确定存储器单元105中的存储状态是逻辑“0”。接着可通过列解码器130输出存储器单元105的所检测逻辑状态作为输出135。

[0031] 可通过激活相关字线110及数字线115来设置或写入存储器单元105。如上文所论述，激活字线110将对应行存储器单元105电连接到其相应数字线115。通过在激活字线110的同时控制相关数字线115，可写入存储器单元105—即，可将逻辑值存储在存储器单元105中。列解码器130可接受要写入到存储器单元105的数据，例如输入135。可通过跨铁电电容器施加电压来写入铁电存储器单元105。下文更详细地论述这个过程。

[0032] 在一些存储器架构中，存取存储器单元105可劣化或破坏所存储逻辑状态，且可执行重写或刷新操作—也称为回写操作—以将原始逻辑状态返回到存储器单元105。例如，在DRAM中，电容器可用两种状态中的一者初始化，逻辑“0”或逻辑“1”。例如，逻辑“0”可与跨电容器的负或零电压相关联，且逻辑“1”可与跨电容器的正电压相关联。DRAM读取操作可包含在存取存储器单元105之前将为感测电压的一半的电压提供给与电容器的第一板(例如，底板)电子通信的数字线115且浮动数字线115。在存取存储器单元105之后，且归因于第一板的电压及跨电容器的电压，电容器可部分地或完全地放电到数字线115上或从数字线115充电，这取决于所存储状态。因此，存取存储器单元可能损坏或干扰所存储逻辑状态，且可在感测操作之后重写逻辑状态。

[0033] 为重写逻辑状态,感测组件125可将高电压(例如,全感测电压)或低电压(例如,虚拟接地)施加到电容器的第一板,同时将第二板(例如,顶板)的电压维持于固定电压(例如,感测电压的一半)。在这个时段期间,跨电容器施加的电压可对应于逻辑“0”或逻辑“1”且存储器单元可与数字线115隔离以存储逻辑状态。在一些情况下,单个字线110与多个存储器单元105电子通信,且激活单个字线110以进行读取操作可导致行中的存储器单元105放电或充电。因此,可能需要重写行中的若干或所有存储器单元105。在DRAM装置中,对应于所存取存储器单元105的感测组件125可用来将最初存储的逻辑状态重新回写到由读取操作存取的存储器单元105。

[0034] 一些存储器架构(包含DRAM)也可能随时间丢失其所存储状态,除非其被外部电源周期性地刷新。例如,充电电容器可能通过泄漏电流随时间放电,从而导致所存储信息丢失。这些所谓易失性存储器装置的刷新率可能相对较高—例如,DRAM是每秒数十次刷新操作—这可能导致显著功率消耗。随着存储器阵列越来越大,功率消耗增加可能抑制存储器阵列的部署或操作(例如,电力供应、发热、材料限制等),尤其是依赖于有限电源(例如单元)的移动装置。然而,铁电存储器单元105可具有可导致相对于其它存储器架构改进性能的有益性质。例如,因为铁电存储器单元105倾向于不易受所存储电荷劣化影响,所以采用铁电存储器单元105的存储器阵列100可能需要更少刷新操作或无需刷新操作,且因此可能需要更少功率来操作。

[0035] 在一些实例中,铁电电容器的非易失性性质可用来在将电压施加到由铁电存储器单元105使用的字线110的同时维持由铁电存储器单元105存储的状态。例如,存储器阵列100可利用铁电电容器的性质来保持极化电荷,且因此在读取操作期间在跨铁电电容器施加零电压的同时保持存储逻辑状态,如图3中所说明。关于使用固定板方案的铁电存储器单元105,可将固定电压施加到与铁电存储器单元105相关联的铁电电容器的第一板(“顶”板)且可将对应数字线115充电到其幅值处于或接近固定电压的电压。对应数字线115可与铁电电容器的第二板(“底”板)电子通信。接着,可将电压施加到字线110,字线110由铁电存储器单元105及其它铁电存储器单元105使用且共享。

[0036] 在一些情况下,可起始读取操作以便读取铁电存储器单元105的子集;然而,如上文所论述,将电压施加到字线110可导致存取使用字线110的铁电存储器单元105中的每一者。对于意在要读取的铁电存储器单元105的子集,可使对应数字线115在将电压施加到字线110之前虚拟地接地。对于并非意在要读取的其它铁电存储器单元105,可将对应数字线维持于施加到铁电电容器的第一(“顶”)板的固定电压。因此,当通过读取操作存取未读铁电存储器单元105时,可跨相关联铁电电容器施加—零电压差—即,顶板的电压减去底板的电压。

[0037] 因此,与第二组铁电存储器单元105相关联的铁电电容器可避免与数字线115共享电荷。且归因于铁电电容器在跨铁电电容器施加零电压的同时维持至少两种不同逻辑状态的能力,可维持所存储逻辑状态。相比之下,由DRAM存储器单元105使用的电容器可能不会将其存储状态维持于零电压差且因此可能需要在字线上进行每次读取操作之后重写。因为逻辑状态在每次读取操作之后无需回写到铁电存储器单元,所以可将对应于相关联铁电电容器的感测组件125维持于解除激活状态以节省功率。

[0038] 存储器控制器140可通过各种组件(例如行解码器120、列解码器130及感测组件

125)来控制存储器单元105的操作(例如,读取、写入、重写、刷新等)。存储器控制器140可生成行及列地址信号以便激活所期望的字线110及数字线115。存储器控制器140还可生成及控制在存储器阵列100的操作期间使用的各种电压电位。一般来说,本文中所论述的施加电压的振幅、形状或持续时间可被调整或改变且对于操作存储器阵列100的各种操作来说可不同。此外,可同时存取存储器阵列100内的一个、多个或所有存储器单元105;例如,在复位操作期间可同时存取存储器阵列100的多个或所有单元,在复位操作中将所有存储器单元105或一组存储器单元105设置为单个逻辑状态。

[0039] 在一些情况下,存储器控制器140可用来激活第一组感测组件125、第二组感测组件125或两者。例如,在一些情况下,可将使用共同字线110的一组存储器单元105分组成第一组存储器单元105及第二组存储器单元105。存储器控制器140可用来使用共同字线110选择第一组存储器单元105及第二组存储器单元105以进行读取操作;但是,可个别地激活对应的第一组感测组件125及第二组感测组件125。即,存储器控制器140可为第一组存储器单元105激活第一组感测组件125,同时在读取操作期间将对应于第二组存储器单元的第二组感测组件维持于解除激活状态。操作感测组件125中对应于第一组存储器单元105及第二组存储器单元105的部分可节省功率且可用来减少存储器阵列100中的噪声,例如图案噪声、数字线115之间的串扰及类似者。

[0040] 图2说明根据本发明的各种实施例的支持降低功率感测方案的存储器单元的实例电路200。电路200包含存储器单元105-a、字线110-a、数字线115-a及感测组件125-a,其可为存储器单元105、字线110的实例,其也可分别称为如参考图1所描述的存取线、数字线115及感测组件125。

[0041] 存储器单元105-a可包含逻辑存储组件,例如具有电容式耦合的第一板及第二板的电容器205。第一板可称为单元板230且第二板可称为单元底部215。在一些实例中,可翻转电容器的定向而不改变存储器单元105-a的操作;即,第一板可对应于单元底部215且第二板可对应于单元板230。在图2的实例中,可经由板线210存取单元板230且可经由数字线115-a存取单元底部215。而且,在图2的实例中,电容器205的端子由铁电材料隔开,且存储器单元105-a在下文论述中称为铁电存储器单元105-a。如上文所描述,可通过对电容器205充电或放电(即,使电容器205的铁电材料极化)来存储各种状态。使电容器205极化所需的总电荷可称为剩余极化(PR)值且达到电容器205的总电荷的一半时电容器205的电压可称为矫顽电压(VC)。

[0042] 可通过操作电路200中表示的各种元件来读取或感测电容器205的所存储状态。电容器205可与数字线115-a电子通信。例如,当解除激活选择组件220时电容器205可与数字线115-a隔离,且当激活选择组件220以选择铁电存储器单元105-a时电容器205可连接到数字线115-a。换句话说,可使用与铁电电容器205电子通信的选择组件220选择铁电存储器单元105-a,其中铁电存储器单元105-a包含选择组件220及铁电电容器205。在一些情况下,选择组件220是晶体管且其操作是通过将电压施加到晶体管栅极来控制,其中电压幅值大于晶体管的阈值幅值。

[0043] 字线110-a可激活选择组件220;例如,将施加到字线110-a的电压施加到晶体管栅极,从而连接电容器205与数字线115-a。替代地,可切换选择组件220及电容器205的位置,使得选择组件220在板线210与单元板230之间且使得电容器205在数字线115-a与选择组件

220的另一端子之间。在此些情况下，选择组件220可保持数字线115-a与电容器205电子通信。这种配置可与读取及写入操作的替代时序及偏置相关联。

[0044] 归因于电容器205的板之间的铁电材料，且如下文更详细地论述，电容器205在连接到数字线115-a时可能不会放电。例如，为在读取期间感测由铁电电容器205存储的状态，板线210可以移动板方案中斜变到某一电压。在一些情况下，在将电压斜变到板线210且将电压施加到字线110-a以选择铁电存储器单元105-a之前，数字线115-a经虚拟地接地且随后与虚拟接地隔离。选择铁电存储器单元105-a可导致跨电容器205的电压差—例如，板线210的电压减去数字线115-a的电压。所得电压差可使电容器205上的存储电荷产生变化，这取决于电容器205的初始状态—例如，初始状态是存储逻辑“1”还是逻辑“0”。这种存储电荷变化可能基于存储在电容器205上的所得电荷在数字线115-a上感应电压。接着，可通过感测组件125-a比较数字线115-a上的感应电压与参考电压(例如，参考线225的电压)以便确定铁电存储器单元105-a中的存储逻辑状态。

[0045] 替代地(例如，在固定板方案中)，可将不可变电压施加到板线210—例如，固定电压可为供应给感测组件125-a的电压的一半。即，可将施加到板线210的电压维持于预定电压。在此些情况下，非作用数字线(例如数字线115-a)可充电到与施加到板线210的固定电压相关联(例如，相同或接近)的电压。为感测由电容器205存储的逻辑状态，在将电压施加到字线110-a之前，可使数字线115-a虚拟地接地且随后将其与虚拟接地隔离。如上述，将电压施加到字线110-a可在单元底部215与数字线115-a之间建立导电路径，从而导致跨电容器205的电压差—例如，单元板230的固定电压减去数字线115-a的电压。接着，电容器205可与数字线115-a共享电荷且可感应电压。在一些情况下，可在感测组件125-a处比较这个感应电压与参考电压。

[0046] 在一些实例中，字线110-a可用来选择多个铁电存储器单元(包含铁电存储器单元105-a)以进行读取操作。可触发读取操作以读取选定铁电存储器单元的子集。且在一些实例中，存储器单元105-a可不包含在选定铁电存储器单元的子集中。因此，数字线115-a可维持于或接近施加到板线210的电压以维持电容器205的极化状态且保持所存储逻辑状态。此外，由于存储器单元105-a的逻辑状态可在读取操作期间不受干扰，所以存储器装置可通过仅激活与选定铁电存储器单元的子集相关联的感测组件来节省功率，如下文更详细地描述。

[0047] 尽管已主要在固定板方案的背景下论述上述技术，但本文中的这些原理及下文论述可类似地应用于移动板方案。例如，数字线115-a的电压可与施加到板线210以进行读取操作的电压一致且以相同幅值斜变。替代地，数字线115-a的电压可偏置于施加到板线210的斜变电压的峰值。

[0048] 用来读取存储器单元105-a的特定感测方案或过程可采取许多形式。在一个实例中，数字线115-a可具有固有电容且在电容器205响应于施加到板线210的电压而充电或放电时产生非零电压。固有电容可取决于数字线115-a的物理特性，包含尺寸。数字线115-a可连接许多铁电存储器单元105，因此数字线115-a可具有导致不可忽略电容(例如，在皮法拉(pF)或毫微微法拉(fF)的量级上)的长度。数字线115-a的后续电压可取决于电容器205的初始逻辑状态，且感测组件125-a可比较这个电压与由参考组件提供的参考线225上的电压。还可使用利用这种电荷变化的其它感测过程。

[0049] 为写入铁电存储器单元105-a，可跨电容器205施加电压。可使用各种方法。在一个实例中，可通过字线110-a激活选择组件220以便将电容器205电连接到数字线115-a。通过使用板线210控制单元板230的电压及使用数字线115-a控制单元底部215的电压，可跨电容器205施加电压。为写入逻辑“0”，可将单元板230取高，即，可将正电压施加到板线210，且可将单元底部215取低—例如，使用数字线115-a虚拟地接地。执行相反过程以写入逻辑“1”—即，可将单元板230取低且可将单元底部215取高。

[0050] 在其中将固定电压施加到板线210的方案中，可激活选择组件220且可使用施加到数字线115-a的电压来控制单元底部215的电压以进行写入操作。在一些情况下，固定板电压可在感测组件125-a的供应电压之间，且感测组件125-a可用来将数字线115-a的电压驱动到高或低(例如，零或负)供应电压的电压。例如，为写入逻辑“0”，可将单元底部215取低，即，可将数字线115-a的电压驱动到低供应电压。且为写入逻辑“1”，可将单元底部215取高—例如，可将数字线115-a的电压驱动到高供应电压。电容器205的读取及写入操作可解释与铁电装置相关的非线性性质。

[0051] 图3使用支持降低功率感测方案的铁电存储器单元的磁滞曲线300-a及300-b说明根据本发明的各种实施例的此类非线性性质的实例。磁滞曲线300-a及300-b分别说明实例铁电存储器单元写入及读取过程。磁滞曲线300-a及300-b描绘依据电压V改变的存储在铁电电容器(例如，图2的电容器205)上的电荷Q。

[0052] 铁电材料以自发电极化为特性，即，其在缺乏电场的情况下维持非零电极化。实例铁电材料包含钛酸钡($BaTiO_3$)、钛酸铅($PbTiO_3$)、锆钛酸铅(PZT)及钽酸锶铋(SBT)。本文中所描述的铁电电容器可包含这些或其它铁电材料。铁电电容器内的电极化导致铁电材料表面的净电荷且通过电容器端子吸引相反电荷。因此，电荷存储在铁电材料与电容器端子的界面处。因为可在缺乏外部施加电场的情况下维持电极化达相对长时间、甚至无限期，所以与例如DRAM阵列中采用的电容器相比，可显著减小电荷泄漏。这可减少执行如上文对于一些DRAM架构所描述的刷新操作的需要。

[0053] 可从电容器的单个端子的角度理解磁滞曲线300-a及300-b。举例来说，如果铁电材料具有负极化，那么正电荷将积累在端子处。同样，如果铁电材料具有正极化，那么负电荷将积累在端子处。另外，应理解，磁滞曲线300-a及300-b中的电压表示跨电容器的电压差且是方向性的。例如，可通过将正电压施加到讨论中的端子(例如，单元板230)且将第二端子维持于接地(例如，单元底部215)来施加正电压。可通过将讨论中的端子维持于接地且将正电压施加到第二端子来施加负电压—即，可施加正电压以使讨论中的端子负极化。类似地，可将两个正电压、两个负电压或正电压及负电压的任何组合施加到适当电容器端子以生成磁滞曲线300-a及300-b中所展示的电压差。

[0054] 如磁滞曲线300-a中所描绘，铁电材料可以零电压差维持正或负极化，从而导致两种可能的电荷状态：电荷状态305及电荷状态310。根据图3的实例，电荷状态305表示逻辑“0”且电荷状态310表示逻辑“1”。在一些实例中，可反转相应电荷状态的逻辑值以适应用于操作铁电存储器单元的其它方案。

[0055] 逻辑“0”或“1”可通过经由施加电压控制铁电材料的电极化及因此控制电容器端子上的电荷而写入到铁电存储器单元。例如，跨电容器施加净正电压315—例如，将大于施加到单元底部215的电压的电压施加到单元板230(如参考图2所描述)—导致电荷积累直到

达到电荷状态305-a。在去除电压315之后，电荷状态305-a遵循路径320直到其在零电压电位下达到电荷状态305。类似地，通过施加净负电压325来写入电荷状态310，这导致电荷状态310-a。在去除负电压325之后，电荷状态310-a遵循路径330直到其在零电压下达到电荷状态310。

[0056] 为读取或感测铁电电容器的存储状态，可跨电容器施加电压。作为响应，所存储电荷改变，且改变程度取决于初始电荷状态—即，电容器的存储电荷改变的程度取决于最初是存储电荷状态305-b还是310-b而变动。例如，磁滞曲线300-b说明两种可能的存储电荷状态305-b及310-b。可将电压335施加到电容器的单元板(例如，参考图2的单元板230)。尽管被描绘为正电压，但是电压335可为负。响应于电压335，电荷状态305-b可遵循路径340。同样，如果最初存储电荷状态310-b，那么其遵循路径345。电荷状态305-c及电荷状态310-c的最终位置可取决于许多因素，包含特定感测操作及电路。

[0057] 在一些情况下，最终电荷可取决于铁电存储器单元的数字线的固有电容。例如，如果电容器电连接到数字线且施加电压335，那么数字线的电压可能归因于其固有电容而上升，且感测组件处测量的电压可取决于数字线的所得电压。因此，磁滞曲线300-b上的最终电荷状态305-c及310-c的位置可取决于数字线的电容且可通过负载线分析来确定—即，电荷状态305-c及310-c可关于数字线电容来定义。因此，跨电容器的电压(电压350或电压355)可不同且可取决于电容器的初始状态。关于移动板方案，电压335可从零电压斜变到读取电压，从而触发电容器与对应数字线共享其电荷。

[0058] 固定板方案可施加恒定电压335，且对应数字线可在存取电容器之前经虚拟地接地，从而触发电容器与对应数字线共享其电荷。如上文所论述，在跨电容器施加零电压的同时，电容器可保持与电荷状态305-b或310-b相关联的两种逻辑状态中的一者。因此，如果在读取操作期间跨电容器的电压维持于零电压，那么在读取操作期间可能不会破坏存储状态。在一些实例中，铁电存储器装置可利用这个特性来读取使用共同字线选择的铁电存储器单元的第一子集。例如，铁电存储器装置可避免使对应于选定铁电存储器单元的第二子集的数字线虚拟地接地，使得跨电容器维持零电压差。因此，电容器可维持其初始电荷状态(例如，电荷状态305-b或310-b)，且因此，存储器装置可避免激活对应于选定铁电存储器单元的第二子集的一组感测组件，从而节省功率。

[0059] 通过比较施加到单元板的电压(例如，电压335)与跨电容器的电压(例如，电压350或电压355)的差与参考电压，可确定电容器的初始状态。如参考图2可理解，数字线的电压可表示为施加到板线210的电压与跨电容器205的所得电压的差。如上文所论述，数字线的电压至少部分地基于存储在电容器处的电荷的变化，且电荷变化与跨电容器施加的电压的幅值相关联。在一些实例中，参考电压可为由电压350及355产生的数字线电压的平均值，且在比较之后，可确定所感测数字线电压高于或低于参考电压。接着可基于比较确定铁电单元的值(即，逻辑“0”或“1”)。

[0060] 如上文所论述，然而，铁电存储器单元可在读取操作之后维持初始逻辑状态。例如，如果存储电荷状态305-b且执行读取操作，那么电荷状态可遵循路径340到电荷状态305-c，且在去除电压335之后，电荷状态可例如通过沿相反方向遵循路径340返回到初始电荷状态305-b。

[0061] 图4说明根据本发明的各种实施例的支持降低功率感测方案的实例电路400。电路

400包含铁电存储器单元105-b到105-e、字线110-b(其也可称为存取线110-b)、数字线115-b到115-e、感测组件125-b到125-e及存储器控制器140-a,其可分别为如参考图1及2所描述的铁电存储器单元105、字线110、数字线115、感测组件125及存储器控制器140的实例。电路400还可包含板线210-a,其可为如参考图2所描述的板线210的实例。电路400还包含开关组件405-a到405-d、板开关组件410-a到410-d、控制线415-a到415-d及虚拟接地420。

[0062] 铁电存储器单元105-b到105-e可各自包含如参考图2所描述的逻辑存储组件(例如铁电电容器)及选择组件。铁电存储器单元105-b到105-e还可与板线210-a电子通信,板线210-a可用来偏置铁电存储器单元105-b到105-e中的每一者的铁电电容器的单元板(例如,如参考图2所描述的单元板230)。在一些情况下,例如在存储器装置使用固定板方案的情况下,预定电压可恒定地施加到板线210-a。铁电存储器单元105-b到105-e中的每一者可与字线110-b电子通信,字线110-b可用来存取铁电存储器单元105-b到105-e(例如,以进行读取操作)。例如,将电压施加到字线110-b。在一些情况下,施加到字线110-b的电压可在铁电存储器单元105-b到105-e的每一者的铁电电容器的单元底部(例如,如参考图2所描述的单元底部215)与对应数字线115-b到115-e之间建立导电路径。

[0063] 数字线115-b到115-e可各自具有固有电容,其可并非为电装置—即,可并非为双端电容器—而是可取决于数字线115-b到115-e的物理特性(例如,迹线宽度、迹线长度等)。数字线115-b到115-e可各自分别经由开关组件405-a到405-d连接到虚拟接地420。虚拟接地420可充当电路400的共同参考且还可称为接地或与零电压相关联,然而,虚拟接地可浮动到不同于(例如,大于或小于)零伏(当提及地面时)的电压。在一些情况下,数字线115-b到115-d在执行感测操作之前经虚拟地接地。数字线115-b到115-e还可分别经由板开关组件410-a到410-d连接到板线210-a。将数字线115-b到115-e连接到板线210-a可将数字线115-b到115-e偏置于板线210-a的电压。另外或替代地,第一数字线与第二数字线之间的开关组件可用来产生处于或接近板线210-a的电压的电压。例如,可将数字线(例如数字线115-b到115-e)驱动到低电压(例如,虚拟接地)且可将参考数字线驱动到高电压(例如,感测电压);接着,可经由开关组件将数字线短接在一起以产生处于或接近板线210-a的电压的电压。

[0064] 数字线115-b到115-e还可分别与感测组件125-b到125-e电子通信。感测组件125-b到125-e可用来确定对应铁电存储器单元105-b到105-e的存储状态。在一些情况下,感测组件125-b到125-e中的每一者可为或可包含感测放大器。感测组件125-b到125-e可由与低电压(例如,虚拟接地、负电压等)相关联的电压源及与较高电压(例如,正电压、感测电压等)相关联的电压源操作。感测组件125-b到125-e可用来至少部分地基于对应数字线115-b到115-e的电压及参考线(例如,如参考图2所论述的参考线225)的电压确定对应铁电存储器单元105-b到105-e的逻辑值。在一些实例中,激活(其可称为“激发”)感测组件125-b到125-e以触发数字线115-b的电压与参考线的电压之间的比较。感测组件125-b到125-e可将感测放大器的输出锁存到由高电压或低电压提供的电压。例如,如果数字线115-b的电压大于参考电压,那么感测组件125-b可将感测放大器的输出锁存于从较高电压源供应的正电压。

[0065] 在一些实例中,感测组件125-b到125-e可与多组感测组件关联。例如,感测组件125-b可与第一组相关联,感测组件125-c可与第二组相关联,感测组件125-d可与第三组相

关联，且感测组件125-e可与第四组相关联。接着，来自所述组的感测组件125可呈交错图案布置以减少图案噪声。例如，来自第一组的感测组件(例如，感测组件125-b)可与来自第二组的感测组件(例如，感测组件125-c)及来自第四组的感测组件(例如，感测组件125-e)相邻，来自第二组的感测组件(例如，感测组件125-b)可与来自第一组的感测组件(例如，感测组件125-b)及来自第三组的感测组件(例如，感测组件125-d)相邻等。在其它实例中，感测组件125-b及125-d可与第一组相关联，而感测组件125-c及125-e可与第二组相关联。类似地，第一组的感测组件可与第二组的感测组件交错。

[0066] 存储器控制器140-a可使用控制线415-a到415-d来载送信号以激活/解除激活开关组件405-a到405-d、板开关组件410-a到410-d及感测组件125-b到125-e。在一些实例中，板开关组件410-a到410-d可任选地在实例电路400中实施。每一控制线415-a到415-d可与多个控制线相关联。例如，控制线415-a可包含用来激活/解除激活感测组件125-b的第一控制线、用来激活/解除激活开关组件405-a的第二控制线及用来激活/解除激活开关组件410-a的第三控制线。在一些情况下，控制线415-a及415-c可共享共同节点且控制线415-b及415-d也可共享共同节点。即，如果将电压施加到控制线415-a，那么也可将相同电压施加到控制线415-c，且如果将电压施加到控制线415-b，那么也可将相同电压施加到控制线415-d。以这种方式，存储器控制器140-a可以交错方式独立地激活感测组件125-b到125-e。例如，可激活感测组件125-b及125-d，同时解除激活感测组件125-c及125-e。在其中每一控制线415-a到415-d彼此独立的实例中，存储器控制器140-a可激活来自一个感测组件组的感测组件(例如，感测组件125-b)，同时解除激活来自其它感测组件组中的每一者的感测组件(例如，感测组件125-c到125-e)。

[0067] 在某些实例中，由铁电存储器单元105-b到105-e存储的信息的子集可由触发读取操作的程序(例如，软件应用程序、硬件驱动程序等)使用。但是，为选择铁电存储器单元105-b到105-e中的任一者，可将电压施加到字线110-b，且如上文所论述，将电压施加到字线110-b可导致在铁电存储器单元105-b到105-e中的每一者的铁电电容器与对应数字线115-b到115-e之间建立导电路径。归因于铁电电容器的性质，如果处于或接近施加到板线210-a的电压的电压也存在于数字线115-b到115-e上，那么铁电存储器单元105-b到105-e的铁电电容器可能不会放电到数字线115-b到115-e上。因此，存储器控制器140-a可使数字线115-b到115-e的第一子集虚拟地接地且激活感测组件125-b到125-e的对应第一子集，其中第一数字线子集对应于由读取操作请求的铁电存储器单元105-b到105-e的第一子集。存储器控制器可将(若干)其它数字线子集维持于板电压或接近板电压且在读取操作期间将(若干)其它感测组件子集维持于解除激活状态，从而节省功率。

[0068] 在一些情况下，铁电存储器单元105-b及105-d可对应于第一组铁电存储器单元，铁电存储器单元105-c及105-e可对应于第二组铁电存储器单元。在其它情况下，铁电存储器单元105-b可对应于第一组铁电存储器单元，铁电存储器单元105-c可对应于第二组铁电存储器单元等。在一些实例中，开关组件405-a到405-d称为线性均衡装置。开关组件405-a到405-d及板开关组件410-a到410-d可实施为晶体管(例如，n或p型FET)，且可通过施加(增加或减少)控制信号或控制信号的放大版本到晶体管的栅极来激活/解除激活。在一些实例中，开关组件405-a到405-d及410-a到410-d可实施为单个装置(例如，单刀双掷开关)。电路400还可包含(若干)外部/内部电压源、(若干)放大器或(若干)线驱动器，其可用来将电压

施加到板线210-a、字线110-a、开关组件405及/或开关组件410。

[0069] 图5说明根据本发明的各种实施例的降低功率感测方案的时序图500。时序图500描绘轴505上的电压及轴510上的时间。因此，可在时序图500上表示依据时间改变的各种组件的电压。例如，时序图500包含字线电压515、板线电压520、均衡电压525-a及525-b、及数字线电压530-a及530-b。时序图500还可包含固定电压535、感测电压540及激发时间545。时序图500描绘参考图4所描述的电路400的实例操作。下文参考前图的组件描述图5。接近零的电压可从轴510偏移以便于表示；在一些情况下，这些电压可等于或近似等于零。

[0070] 如参考图4所论述，每一数字线115-b到115-e的数字线电压530-a及530-b可处于或接近固定电压535，其中固定电压535可与施加到板线210-a的恒定电压相关联。在一些情况下，铁电存储器单元105-b及105-d可对应于第一组铁电存储器单元且铁电存储器单元105-c及105-e可对应于第二组铁电存储器单元。在图5的实例中，可选择第一组铁电存储器单元105-b及105-d以及第二组铁电存储器单元105-c及105-e以进行读取操作。装置可确定触发读取操作的程序仅请求由第一组铁电存储器单元105-b及105-d存储的信息。因此，在准备读取操作时，存储器控制器140-a可将均衡电压525-a施加到第一组开关组件405-a及405-c，从而将数字线电压530-a驱动朝向虚拟接地。数字线电压530-a可与第一组数字线115-b及115-d相关联。存储器控制器140-a可同时去除施加到板开关组件410-a及410-c的电压以隔离第一组数字线115-b及115-d与板线210-a。

[0071] 存储器控制器140-a可同时维持施加到第二组开关组件405-b及405-d的均衡电压525-b且还可维持施加到板开关组件410-b及410-d的电压，从而维持板线210-a与数字线115-c及115-e之间的连接。因此，数字线电压530-d可保持于或接近固定电压535。数字线电压530-d可与第二组数字线115-c及115-e相关联。一旦数字线电压530-a已达到或接近虚拟接地，就可去除均衡电压525-a，从而引起第二组数字线115-b及115-d的电压基于电路400中的其它波动而改变，且可将字线电压515施加到字线110-b。数字线或与特定电压源断开且因此容易受电路中其它波动引起的电压变化影响的其它组件可被视为“浮动(float或floating)”。与其它元件隔离的电路元件可称为浮动。

[0072] 施加字线电压515可分别在与每一铁电存储器单元105-b到105-e的铁电电容器相关联的单元底部(例如，如参考图2所描述的单元底部215)与每一数字线115-b到115-e之间建立导电路径。当数字线电压530-d及板电压520已维持于或接近固定电压535时，可跨第二组铁电存储器单元105-c及105-e的铁电电容器施加零电压。因此，第二组铁电存储器单元105-c及105-e的铁电电容器可避免与第二组数字线115-c及115-e共享电荷且可维持其初始存储状态。相反，随着与第一组数字线115-b及115-d相关联的数字线电压530-a已驱动到接地且随后浮动，可跨与第一组铁电存储器单元105-b及105-d相关联的铁电电容器施加固定电压535。因此，当第一组铁电存储器单元105-b及105-d的铁电电容器放电到第一组数字线115-b及115-d上时，数字线电压530-a可上升。

[0073] 在图5中所描绘的实例中，数字线电压530-a可基于存储状态上升到两个电压中的一者。例如，如果由铁电存储器单元105-b的铁电电容器存储逻辑“1”，那么可能产生数字线电压530-b，而如果存储逻辑“0”，那么可能产生数字线电压530-c。数字线电压530-b可与铁电单元上的较小电压降相关联且因此与数字线电压530-c相比数字线电压530-b更高，如关于图3可见。在数字线电压530-b或530-c已稳定之后，可在激发时间545激活第一组感测组

件125-b及125-d。因此，第一组感测组件125-b及125-d可比较数字线电压530-b或530-c与参考电压且可锁存感测组件的输出。例如，如果由与铁电存储器单元105-b相关联的铁电电容器存储逻辑值“1”，那么感测组件125-b可比较数字线电压530-b与参考电压且可确定数字线电压530-b高于参考电压。因此，感测组件125-b的输出可驱动到正供应电压且被锁存。在图5中所描绘的实例中，数字线115-b还可驱动到感测组件125-b的输出。

[0074] 如上文所论述，在一些实例中，仅使用由第一组铁电存储器单元105-b及105-d存储的信息，且因此，可在读取操作期间将对应于第二组铁电存储器单元105-c及105-e的第二组感测组件125-c及125-e维持于解除激活状态。激活(或激发)感测组件125的一部分可在读取操作期间节省电力。在激发第一组感测组件125-b及125-d之后，可执行回写程序以恢复由第一组铁电存储器单元105-b及105-d在读取操作之前存储的逻辑状态。

[0075] 在一些情况下，回写程序可包含相反回写程序，在此期间将与先前存储状态相反的状态回写到所感测铁电存储器单元105。在回写之后，可将第一组数字线115-b及115-d返回到或接近固定电压535以准备下一读取操作。将第一组数字线115-b及115-d的电压返回到固定电压535可包含将第一组数字线115-b及115-d短接到板线210-a。在一些情况下，可激活第一组板开关组件410-a及410-c以将第一组数字线115-b及115-d短接到板线210-a。替代地，第一组数字线115-b及115-d可基于感测操作驱动到高或低电压且随后与已驱动到相反电压的对应参考线短接，以产生高电压与低电压之间的电压(即，处于或接近固定电压535的电压)。

[0076] 在一些实例中，可进一步分解铁电存储器单元105-b到105-e使得铁电存储器单元105-b对应于第一组铁电存储器单元，铁电存储器单元105-c对应于第二组铁电存储器单元等。以这种方式，可在读取期间以增加的粒度激活/解除激活控制哪些感测组件125-b到125-e。在一些情况下，某些电压的上升及下降可彼此重叠以减少与读取/写入操作相关联的持续时间。例如，在一种情况下，字线电压515的上升可与均衡电压525-a的下降重叠。将电压(例如均衡电压525-a)施加到开关组件(例如开关组件405及410)可激活开关组件且去除电压(例如，施加零电压)可解除激活开关组件。然而，可实施相反地操作的一些开关组件—即，施加电压解除激活开关组件。

[0077] 图6说明根据本发明的各种实施例的用于降低功率感测方案的实例存储器控制器140-b的框图600。存储器控制器140-b包含驱动器605-a到605-d、感测输出610-a到610-d及均衡输出615-a到615-d。感测输出可包含左感测输出610-a及610-c以及右感测输出610-b及610-d。均衡输出可包含左均衡输出615-a及615-c以及右均衡输出615-b及615-d。驱动器605-a可用来控制左感测输出610-a及左均衡输出615-a。驱动器605-b可用来控制右感测输出610-b及右均衡输出615-b。驱动器605-c可用来控制左感测输出610-c及左均衡输出615-c。驱动器605-d可用来控制右感测输出610-d及右均衡输出615-d。

[0078] 如参考图4所论述，驱动器605-a可用来通过左感测输出610-a将电压施加到感测组件125-b；驱动器605-b可通过右感测输出610-b将电压施加到感测组件125-c；驱动器605-c可通过左感测输出610-c将电压施加到感测组件125-d；且驱动器605-d可通过右感测输出610-d将电压施加到感测组件125-e。类似地，驱动器605-a可用来通过左均衡输出615-a将电压施加到开关组件405-a及板开关组件410-a；驱动器605-b可通过右均衡输出615-b将电压施加到开关组件405-b及板开关组件410-b；驱动器605-c可通过左均衡输出615-c将

电压施加到开关组件405-c及板开关组件410-c；且驱动器605-d可通过右均衡输出615-d将电压施加到开关组件405-d及板开关组件410-d。

[0079] 在一些情况下，驱动器605可用来例如从微控制器放大源于存储器控制器140-b的低电压控制信号。在一些情况下，可放大控制电压以产生能够驱动到用来实施开关组件的晶体管的栅极的电压。在一些实例中，驱动器605-a到605-d可类似地操作，但是在控制器140-b外部实施。

[0080] 在一些情况下，可不实施驱动器605-c及605-d、左感测输出610-c及右感测输出610-d、及左均衡输出615-c及右均衡输出615-d。例如，如参考图4所论述，铁电存储器单元105-b到105-e可对应于第一组存储器装置及第二组存储器装置。因此，存储器控制器140-b可使用驱动器605-a以通过左感测输出610-a激活第一组感测组件125-b及125-d，且通过左均衡输出615-a激活开关组件405-a及405-c以及板开关组件410-a及410-c。而驱动器605-b可用来通过右感测输出610-b激活第二组感测组件125-c及125-e，且通过右均衡输出615-b激活开关组件405-b及405-d以及板开关组件410-b及410-d。此外，控制线415-a及415-c可连接在共同节点处(例如，在左感测输出610-a及左均衡输出615-a处)，且控制线415-b及415-d也可连接在共同节点处(例如，在右感测输出610-b及右均衡输出615-b处)。

[0081] 图7说明根据本发明的各种实施例的支持降低功率感测方案的存储器阵列100-a的框图700。存储器阵列100-a可称为电子存储器设备且包含存储器控制器140-c及存储器单元105-f，其可为参考图1、2、4及6所描述的存储器控制器140及存储器单元105的实例。存储器单元105-f可包含第一、第二、第三及第四组存储器单元，其可对应于如参考图4到6所论述的第一、第二、第三及第四组感测组件125-f。第一组感测组件中的每一感测组件125-f可与第一组存储器单元中的相应存储器单元105-f电子通信，且第二组感测组件中的每一感测组件125-f可与第二组存储器单元中的相应存储器单元105-f电子通信。数字线115-f可包含第一、第二、第三及第四组数字线，其对应于存储器单元105-f以及第一、第二、第三及第四组存储器单元的感测组件125-f以及参考图4到6所论述的感测组件。

[0082] 存储器控制器140-c可操作以激活第一组感测组件125-f、第二组感测组件125-f、第三组感测组件125-f、第四组感测组件125-f或其任何组合。存储器控制器140-c可包含偏置组件710及时序组件715且可如图1到6中所描述那样操作存储器阵列100-a。存储器控制器140-c可与字线110-f、数字线115-f、感测组件125-f及板线210-b电子通信，其可为参考图1、2及4所描述的字线110、数字线115、感测组件125及板线210的实例。偏置组件710可包含驱动器(例如，放大器、门驱动器等)或与其电子通信以将电压施加到存储器阵列100-a内的其它组件。在一些情况下，存储器控制器140-c包含与第一组感测组件电子通信的第一驱动器及与第二组感测组件电子通信的第二驱动器。第一组感测组件中的每一感测组件125-f可经由第一控制线415-e与存储器控制器140-c电子通信，且第二组感测组件中的每一感测组件125-f可经由第二控制线415-e与存储器控制器140-c电子通信。

[0083] 存储器阵列100-a还可包含参考组件720、锁存器725、开关组件730及固定电压735。存储器阵列100-a的组件可彼此电子通信且可执行参考图1到6所描述的功能。在一些情况下，参考组件720、感测组件125-f及锁存器725是存储器控制器140-c的组件。开关组件730、参考组件720及锁存器可分别包含第一、第二、第三及第四组均衡组件，参考组件及锁存器，如关于图4到6所描述。在一些情况下，第一组感测组件及第二组感测组件呈交错图案

布置，所述交错图案包括与第二组感测组件125-f中的第一感测组件及第二感测组件相邻的第一组感测组件125-f中的第一感测组件。这可进一步适用于第三组感测组件125-f及第四组感测组件125-f—即，第一组的感测组件可与第四组及第二组的感测组件相邻，第二组的感测组件可与第一组及第三组的感测组件相邻等。使感测组件125-f交错可减少数字线115-f之间的图案噪声。

[0084] 在一些实例中，数字线115-f与虚拟接地420-a、感测组件125-f及存储器单元105-f的铁电电容器电子通信。字线110-f可与存储器控制器140-c及存储器单元105-f的选择组件电子通信。板线210-b可与存储器控制器140-c以及第一、第二、第三及/或第四组存储器单元105-f中的每一者的铁电电容器的板电子通信。感测组件125-f可与存储器控制器140-c、参考线225-a、数字线115-f及锁存器725电子通信。参考组件720可与存储器控制器140-c、参考线225-a电子通信。开关组件730可与存储器控制器140-c及数字线115-f电子通信。虚拟接地420-a可与存储器控制器140-c、数字线115-f及虚拟接地420-a电子通信。这些组件还可经由其它组件、连接或总线与上文未列出的存储器阵列100-a内部及外部的其它组件电子通信。

[0085] 存储器控制器140-c可经配置以通过将电压施加到那些不同节点来激活字线110-f、板线210-b或数字线115-f。例如，偏置组件710可经配置以施加电压以如上文所描述那样操作存储器单元105-f以读取或写入存储器单元105-f。在一些情况下，存储器控制器140-c可包含如参考图1所描述的行解码器、列解码器或两者。这可使存储器控制器140-c能够存取一或多个存储器单元105。偏置组件710还可将电压电位提供给参考组件720以便为感测组件125-f生成参考信号。另外，偏置组件710可提供电压电位以操作感测组件125-f。在一些情况下，存储器控制器140-c可使用时序组件715执行其操作。例如，时序组件715可控制各种字线选择或板偏置的时序(包含开关及电压施加的时序)以执行本文中所论述的存储器功能，例如读取及写入。在一些情况下，时序组件715可控制偏置组件710的操作。

[0086] 开关组件730可包含开关组件(例如，如参考图4所描述的开关组件405及板开关组件410)以隔离/建立数字线115-f与固定电压735或虚拟接地420-a之间的导电路径。在一些情况下，板线210-b的电压可处于或接近固定电压735。在其它情况下，固定电压735及板线210-b可连接在共同节点处。开关组件730可包含：第一组开关组件730，其与相关联于第一组存储器单元中的每一存储器单元105-f的数字线115-f及板线210-b电子通信；及第二组开关组件730，其与相关联于第二组存储器单元中的每一存储器单元105-f的数字线115-f及板线210-b电子通信。第一组开关组件中的每一开关组件经由第一控制线与控制器电子通信，且其中第二组开关组件中的每一开关组件经由第二控制线与控制器电子通信。感测组件125-f可比较来自存储器单元105-f的信号(通过数字线115-f)与来自参考组件720的参考信号。在确定逻辑状态之后，感测组件接着可将输出存储在锁存器725中，在锁存器725中可根据存储器阵列100-a是其一部分的电子装置的操作使用输出。

[0087] 在一些情况下，存储器控制器140-c可使用偏置组件710以利用字线110-f选择第一组存储器单元105-f及第二组存储器单元105-f以进行读取操作，字线110-f与第一组存储器单元105-f及第二组存储器单元105-f电子通信。存储器控制器140-c还可使用偏置组件710激活对应于第一组存储器单元105-f的第一组感测组件125-f以进行读取操作，且避免使用偏置组件710以在读取操作期间将对应于第二组存储器单元105-f的第二组感测组

件125-f维持于解除激活状态。

[0088] 存储器控制器140-c可组合偏置组件710利用第一驱动器以在读取操作期间短接第二组存储器单元中的每一存储器单元的数字线与板线，其中板线与第一组存储器单元及第二组存储器单元相关联。存储器控制器140-c可组合偏置组件710利用第二驱动器与以在读取操作期间隔离第一组存储器单元中的每一存储器单元的数字线与板线。在一些情况下，存储器控制器140-c可使用偏置组件710以在读取操作期间激活开关组件730，其中与第一组存储器单元105-f相关联的第一组数字线115-f经由开关组件730与板线电子通信。存储器控制器140-c还可使用偏置组件710以在读取操作期间解除激活开关组件730，其中相关联于第二组存储器单元105-f中的每一铁电存储器单元105-f的第二组数字线115-f经由开关组件730与板线210-b电子通信。

[0089] 存储器控制器140-c可使用偏置组件710以使用字线110-f选择第三组铁电存储器单元105-f及第四组铁电存储器单元105-f。存储器控制器140-c还可使用偏置组件710来激活第三组感测组件125-f以进行读取操作。

[0090] 存储器阵列100-a可包含用于使用字线110-f选择第一组存储器单元105-f及第二组存储器单元105-f以进行读取操作的构件，字线110-f与第一组存储器单元105-f及第二组存储器单元105-f电子通信。存储器阵列100-a可包含用于激活对应于第一组存储器单元105-f的第一组感测组件125-f以进行读取操作的构件。在一些实例中，存储器阵列100-a可包含用于在读取操作期间将对应于第二组存储器单元105-f的第二组感测组件125-f维持于解除激活状态的构件。存储器阵列100-a可包含用于在读取操作期间短接第二组存储器单元105-f中的每一存储器单元的数字线115-f与板线210-b的构件，其中板线210-b与第一组存储器单元105-f及第二组存储器单元105-f相关联。另外或替代地，例如，存储器阵列100-a可包含用于在读取操作期间隔离第一组存储器单元105-f中的每一存储器单元的数字线115-f与板线210-b的构件。在一些实例中，存储器阵列100-a可包含用于在读取操作期间激活开关组件730的构件。存储器阵列100-a可包含用于在读取操作期间解除激活开关组件730的构件。在一些实例中，存储器阵列100-a可包含用于使用字线110-f选择第三组存储器单元105-f及第四组存储器单元105-f的构件。存储器阵列100-a可包含用于激活第三组感测组件125-f以进行读取操作的构件。

[0091] 在一些实例中，用于使用与第一组存储器单元105-f及第二组存储器单元105-f电子通信的字线110-f选择第一组存储器单元105-f及第二组存储器单元105-f以进行读取操作的部件、激活对应于第一组存储器单元105-f的第一组感测组件125-f以进行读取操作的部件或在读取操作期间将对应于第二组存储器单元105-f的第二组感测组件125-f维持于解除激活状态的构件或其组合可为或包含存储器控制器140-c。在一些实例中，用于在读取操作期间激活开关组件730的构件、用于在读取操作期间解除激活开关组件730的构件、用于使用字线110-f选择第三组存储器单元105-f及第四组存储器单元105-f的构件或用于激活第三组感测组件125-f以进行读取操作的构件或其组合可为或包含存储器控制器140-c。在一些实例中，用于在读取操作期间短接第二组存储器单元105-f中的每一存储器单元的数字线115-f与板线210-b的构件(其中板线210-b与第一组存储器单元105-f及第二组存储器单元105-f相关联)或用于在读取操作期间隔离第一组存储器单元105-f中的每一存储器单元的数字线115-f与板线210-b的构件可为或包含第一驱动器或第二驱动器。在一些实例

中，用于在读取操作期间短接第二组存储器单元105-f中的每一存储器单元的数字线115-f与板线210-b的构件(其中板线210-b与第一组存储器单元105-f及第二组存储器单元105-f)或用于在读取期间隔离第一组存储器单元105-f中的每一存储器单元的数字线115-f与板线210-b的部件可为或包含存储器控制器140-c。

[0092] 图8说明根据本发明的各种实施例的支持降低功率感测方案的系统800。系统800包含装置805，装置805可为或包含印刷电路板以连接或物理支撑各种组件。装置805包含存储器阵列100-b，存储器阵列100-b可为参考图1及7所描述的存储器阵列100的实例。存储器阵列100-b可含有存储器控制器140-d及(若干)存储器单元105-g，其可为参考图1及图7所描述的存储器控制器140以及参考图1、2、4及7所描述的存储器单元105的实例。装置805还可包含处理器810、BIOS组件815、(若干)外围组件820及输入/输出控制组件825。装置805的组件可通过总线830彼此电子通信。

[0093] 处理器810可经配置以通过存储器控制器140-d操作存储器阵列100-b。在一些情况下，处理器810可执行参考图1、4、6及7所描述的存储器控制器140的功能。在其它情况下，存储器控制器140-d可集成到处理器810中。处理器810可为通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)或其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件，或其可为这些类型的组件的组合，且处理器810可执行本文中所描述的各种功能，包含降低功率感测方案。处理器810可例如经配置以执行存储在存储器阵列100-b中的计算机可读指令以引起装置805执行各种功能或任务。

[0094] BIOS组件815可为包含作为固件操作的基本输入/输出系统(BIOS)的软件组件，其可初始化及运行系统800的各种硬件组件。BIOS组件815还可管理处理器810与各种组件(例如，外围组件820、输入/输出控制组件825等)之间的数据流。BIOS组件815可包含存储在只读存储器(ROM)、快闪存储器或任何其它非易失性存储器中的程序或软件。

[0095] (若干)外围组件820可为集成到装置805中的任何输入或输出装置，或此类装置的接口。实例可包含磁盘控制器、声音控制器、图形控制器、以太网控制器、调制解调器、通用串行总线(USB)控制器、串行或并行端口、或外围卡槽，例如外围组件互连(PCI)或加速图形端口(AGP)槽。

[0096] 输入/输出控制组件825可管理处理器810与(若干)外围组件820、输入装置835或输出装置840之间的数据通信。输入/输出控制组件825还可管理未集成到装置805中的外围装置。在一些情况下，输入/输出控制组件825可表示到外部外围装置的物理连接或端口。

[0097] 输入835可表示将输入提供给装置805或其组件的装置805外部的装置或信号。这可包含用户接口、或与其它装置介接或在其它装置之间的接口。在一些情况下，输入835可为经由(若干)外围组件820与装置805介接的外围装置或可由输入/输出控制组件825管理。

[0098] 输出840可表示经配置以从装置805或其任何组件接收输出的装置805外部的装置或信号。输出840的实例可包含显示器、音频扬声器、打印装置、另一处理器或印刷电路板等。在一些情况下，输出840可为经由(若干)外围组件820与装置805介接的外围装置或可由输入/输出控制组件825管理。

[0099] 存储器控制器140-d、装置805及存储器阵列100-b的组件可由经设计以实行其功能的电路组成。这可包含经配置以实行本文中所描述的功能的各种电路元件，例如，导线、晶体管、电容器、电感器、电阻器、放大器、或其它有源或无源元件。

[0100] 图9展示说明根据本发明的各种实施例的用于降低功率感测方案的方法900的流程图。方法900的操作可由如参考图1到8所描述的存储器阵列100实施。例如，方法900的操作可由如参考图1、4及6到8所描述的存储器控制器140执行。在一些实例中，存储器控制器140可执行一组代码以控制存储器阵列100的功能元件以执行下文所描述的功能。另外或替代地，存储器控制器140可使用专用硬件执行下文所描述的功能的特征。

[0101] 在框905处，所述方法可包含使用字线选择第一组存储器单元及第二组存储器单元以进行读取操作，所述字线与第一组存储器单元及第二组存储器单元电子通信。在某些实例中，框905的操作可由如参考图7所描述的偏置组件710执行或促进。在一些实例中，字线与第三组存储器单元及第四组存储器单元电子通信，且所述方法可进一步包含使用字线选择第三组存储器单元及第四组存储器单元。

[0102] 在框910处，所述方法可包含激活对应于第一组存储器单元的第一组感测组件以进行读取操作。在某些实例中，框910的操作可由如参考图7所描述的偏置组件710执行或促进。在一些情况下，所述方法可包含在读取操作期间隔离第一组存储器单元中的每一存储器单元的数字线与板线。隔离每一存储器单元的数字线可包含在读取操作期间解除激活与板线及第一组存储器单元中的每一存储器单元的数字线电子通信的开关组件。在一些实例中，第三组感测组件与第三组存储器单元电子通信且第四组感测组件与第四组存储器单元电子通信。

[0103] 在一些情况下，所述方法可包含在读取操作之前将电压提供给第一组存储器单元中的每一存储器单元的数字线。所述电压可等于(例如，处于或接近)板线的电压。在一些情况下，将电压提供给第一组存储器单元中的每一存储器单元的数字线可包含短接第一组存储器单元中的每一存储器单元的数字线与对应第一组参考数字线。在一些情况下，所述方法可包含在读取操作之前及/或在将电压提供给第一组存储器单元中的每一存储器单元的数字线之后使第一组存储器单元中的每一存储器单元的数字线虚拟地接地。

[0104] 在框915处，所述方法可包含在读取操作期间将对应于第二组存储器单元的第二组感测组件维持于解除激活状态。在某些实例中，框915的操作可由如参考图7所描述的偏置组件710执行或促进。第一组存储器单元中的每一存储器单元及第二组存储器单元中的每一存储器单元包括铁电电容器。在一些情况下，所述方法可包含在读取操作期间短接第二组存储器单元中的每一存储器单元的数字线与板线，其中板线与第一组存储器单元及第二组存储器单元电子通信。短接数字线可包含在读取操作期间激活与板线及第二组存储器单元中的每一存储器单元的数字线电子通信的开关组件。在一些情况下，板线的电压是固定电压。在一些情况下，至少部分地基于激活第三组存储器单元，在读取操作期间将第四组感测组件维持于解除激活状态。

[0105] 在一些情况下，所述方法可包含在读取操作之前将电压提供给第二组存储器单元中的每一存储器单元的数字线。在一些情况下，将电压提供给第二组存储器单元中的每一存储器单元的数字线可包含短接第二组存储器单元中的每一存储器单元的数字线与对应第二组参考数字线。第一组感测组件及第二组感测组件可呈交错图案布置，所述交错图案包括与第二组感测组件中的第一感测组件及第二感测组件相邻的第一组感测组件中的第一感测组件。

[0106] 因此，方法900可提供操作用于降低功率感测方案的铁电存储器阵列的方法。应注

意，方法900描述可能的实施方案，且可重新布置或以其它方式修改操作及步骤使得其它实施方案是可能的。

[0107] 本文中的描述提供实例，且不限制权利要求书中所阐述的范围、适用性或实例。在不脱离本发明的范围的情况下，可对所论述元件的功能及布置进行改变。各种实例可适当地省略、替换或添加各种程序或组件。而且，关于一些实例所描述的特征可在其它实例中组合。

[0108] 本文中结合附图所阐述的描述描写实例配置且不表示可被实施或在权利要求书的范围内的所有实例。如本文中所使用的术语“实例”、“实例性”及“实施例”意味着“用作实例、例子或说明”，而非“优选的”或“优于其它实例”。详细描述包含用于提供对所描述技术的理解的特定细节。然而，可在无这些特定细节的情况下实践这些技术。在一些例子中，以框图形式展示熟知结构及装置以避免模糊所描述实例的概念。

[0109] 在附图中，类似组件或特征可具有相同参考标记。此外，相同类型的各种组件可通过用破折号及区分类似组件的第二标记跟随参考标记来区分。当在说明书中使用第一参考标记时，所述描述适用于具有相同第一参考标记的任一类似组件，而与第二参考标记无关。

[0110] 可使用各种任何不同技术及技艺表示本文中所描述的信息及信号。例如，可贯穿上文描述参考的数据、指令、命令、信息、信号、位、符号及芯片可由电压、电流、电磁波、磁场或磁性粒子、光场或光学粒子、或其任何组合表示。一些附图可将信号说明为单个信号；然而，所属领域的技术人员将理解，信号可表示信号总线，其中总线可具有各种位宽度。

[0111] 如本文中所使用，术语“虚拟接地”是指电路的节点保持于近似零伏(0V)的电压但是不直接与地面连接。因此，虚拟接地的电压可暂时波动且在稳定状态下返回到近似0V。可使用各种电子电路元件实施虚拟接地，例如由运算放大器及电阻器组成的分压器。其它实施方案也是可能的。“虚拟接地”或“虚拟地接地”意味着连接到近似0V。

[0112] 术语“电子通信”是指支持组件之间的电子流动的组件之间的关系。这可包含组件之间的直接连接或可包含中间组件。处于电子通信中的组件可有源地交换电子或信号(例如，在通电电路中)或可不有源地交换电子或信号(例如，在断电电路中)，但是可经配置且可操作以在电路通电时交换电子或信号。举例来说，经由开关(例如，晶体管)物理连接的两个组件处于电子通信中，而与开关的状态(即，断开或闭合)无关。

[0113] 术语“隔离”是指其中电子目前不能在组件之间流动的组件之间的关系；如果组件之间存在开路，那么组件彼此隔离。例如，当开关断开时，经由开关物理连接的两个组件可彼此隔离。

[0114] 本文中所论述的装置(包含存储器阵列100)可形成在半导体衬底上，例如硅、锗、硅锗合金、砷化镓、氮化镓等。在一些情况下，衬底是半导体晶片。在其它情况下，衬底可为绝缘体上硅(SOI)衬底(例如玻璃上硅(SOG)或蓝宝石上硅(SOP))或另一衬底上的半导体材料的外延层。可通过使用各种化学物质(包含但不限于磷、硼或砷)进行掺杂来控制衬底或衬底的子区域的导电性。掺杂可在衬底的初始形成或生长期间通过离子注入或通过任何其它掺杂手段进行。

[0115] 本文中所论述的晶体管可表示场效应晶体管(FET)且包含三端子装置，包含源极、漏极及栅极。端子可通过导电材料(例如，金属)连接到其它电子元件。源极及漏极可为导电的且可包含重掺杂(例如，简并)半导体区域。源极及漏极可由轻掺杂半导体区域或沟道分

开。如果沟道是n型(即,多数载流子是电子),那么FET可称为n型FET。如果沟道是p型(即,多数载流子是空穴),那么FET可称为p型FET。沟道可由绝缘栅极氧化物覆盖。可通过将电压施加到栅极来控制沟道导电性。例如,分别将正电压或负电压施加到n型FET或p型FET可导致沟道变为导电。当大于或等于晶体管的阈值电压的电压施加到晶体管栅极时,晶体管可"接通"或"激活"。当小于晶体管的阈值电压的电压施加到晶体管栅极时,晶体管可"关断"或"解除激活"。

[0116] 结合本文中的揭示内容所描述的各种说明性框、组件及模块可使用通用处理器、DSP、ASIC、FPGA或其它可编程逻辑装置、离散门或晶体管逻辑、离散硬件组件、或经设计以执行本文中所描述的功能的其任何组合来实施或执行。通用处理器可为微处理器,但是替代地,所述处理器可为任何常规处理器、控制器、微控制器或状态机。处理器还可实施为计算装置的组合(例如,DSP及微处理器的组合、多个微处理器、一或多个微处理器结合DSP内核、或任何其它此类配置)。

[0117] 本文中所描述的功能可以硬件、由处理器执行的软件、固件或其任何组合实施。如果以由处理器执行的软件实施,那么可将功能作为一或多个指令或代码存储在计算机可读媒体上或通过计算机可读媒体传输。其它实例及实施方案在本发明及所附权利要求书的范围内。例如,归因于软件的性质,可使用由处理器执行的软件、硬件、固件、硬接线或任何这些元件的组合实施上文所描述的功能。实施功能的特征还可物理地位于各种位置,包含经分布使得在不同物理位置处实施功能的部分。而且,如本文中(包含权利要求书中)所使用,如项目列表(例如,以例如"…中的至少一者"或"…中的一或多者"的短语开头的项目列表)中所使用的"或"指示包含性列表,使得例如A、B或C中的至少一者的列表意味着A或B或C或AB或AC或BC或ABC(即,A及B及C)。

[0118] 计算机可读媒体包含非暂时性计算机存储媒体及通信媒体两者,其包含促进将计算机程序从一个地方传送到另一地方的任何媒体。非暂时性存储媒体可为可由通用或专用计算机存取的任何可用媒体。作为实例而非限制,非暂时性计算机可读媒体可包括RAM、ROM、电可擦除可编程只读存储器(EEPROM)、光盘(CD)ROM或其它光盘存储装置、磁盘存储装置或其它磁性存储装置、或可用来携带或存储以指令或数据结构的形式的所期望程序代码构件且可由通用或专用计算机或者通用或专用处理器存取的任何其它非暂时性媒体。

[0119] 而且,任何连接适当地称为计算机可读媒体。例如,如果使用同轴电缆、光纤电缆、双绞线、数字用户线(DSL)或无线技术(例如红外线、无线电及微波)从网站、服务器或其它远程源传输软件,那么媒体的定义中包含同轴电缆、光纤电缆、双绞线、数字用户线(DSL)或无线技术(例如红外线、无线电及微波)。本文中所使用,磁盘及光盘包含CD、激光盘、光盘、数字多功能光盘(DVD)、软盘及蓝光盘,其中磁盘通常磁性地再现数据,而光盘用激光光学地再现数据。上述的组合也包含在计算机可读媒体的范围内。

[0120] 提供本文中的描述以使所属领域的技术人员能够制作或使用本发明。本发明的各种修改对于所属领域的技术人员来说将容易显而易见,且在不脱离本发明的范围的情况下,本文中所定义的一般原理可应用于其它变型。因此,本发明不限于本文中所描述的实例及设计,而是符合与本文中所揭示的原理及新颖特征一致的最宽范围。

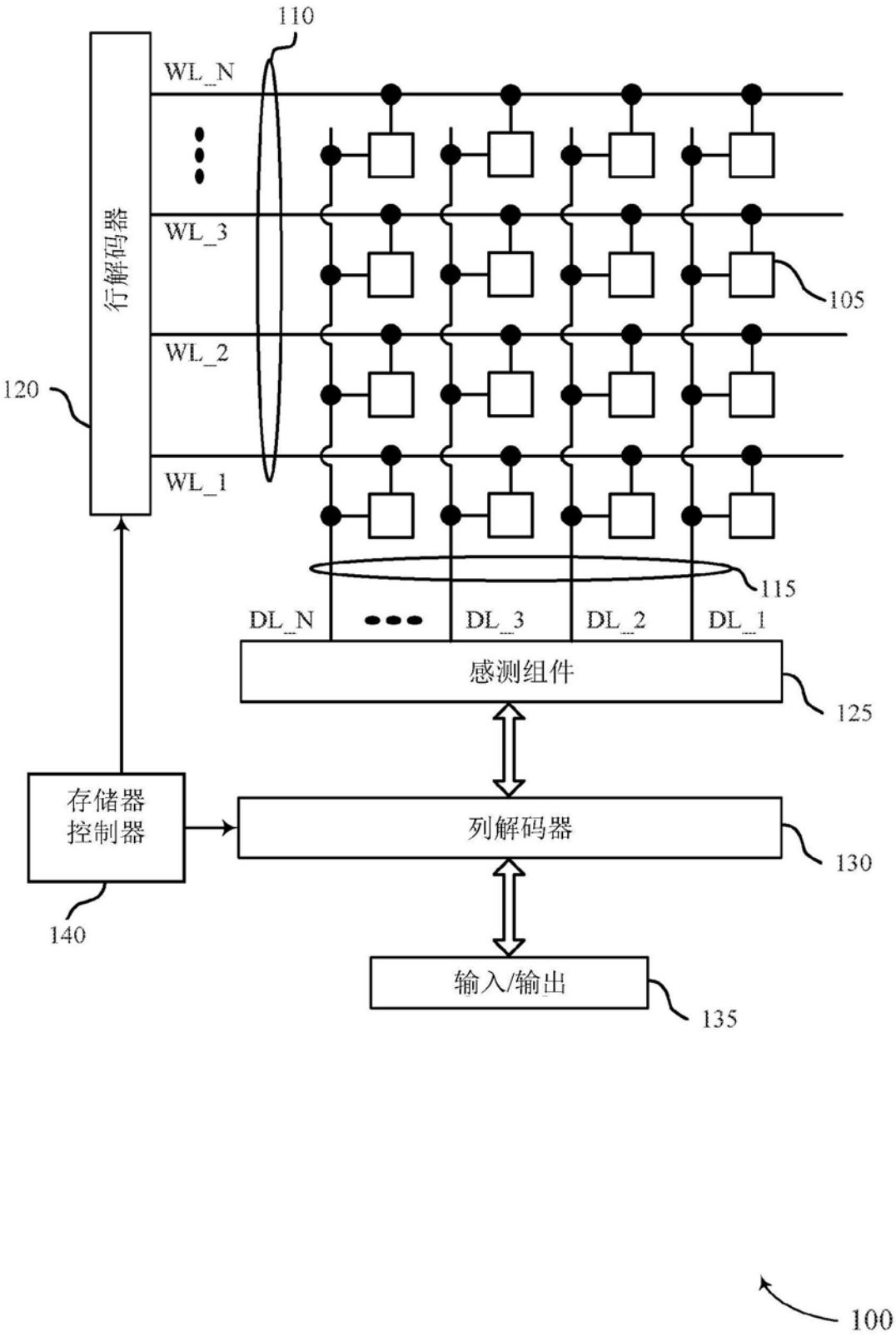

110
WL_N
WL_3
WL_2
WL_1
行解码器
120
105
115
DL_N
DL_3
DL_2
DL_1
感测组件
125
存储器
控制器
列解码器
130
140
输入/输出
135
100

图1

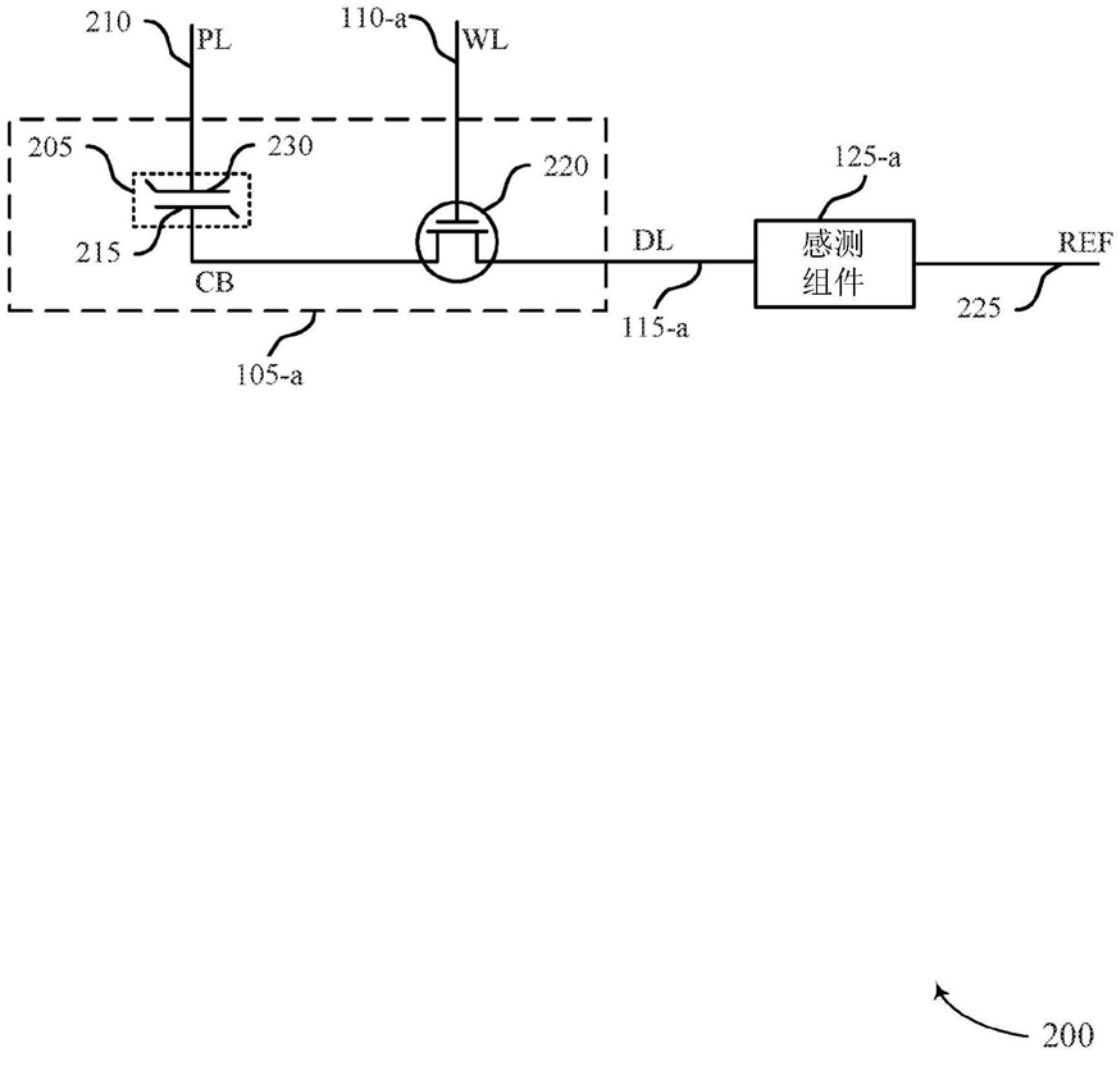
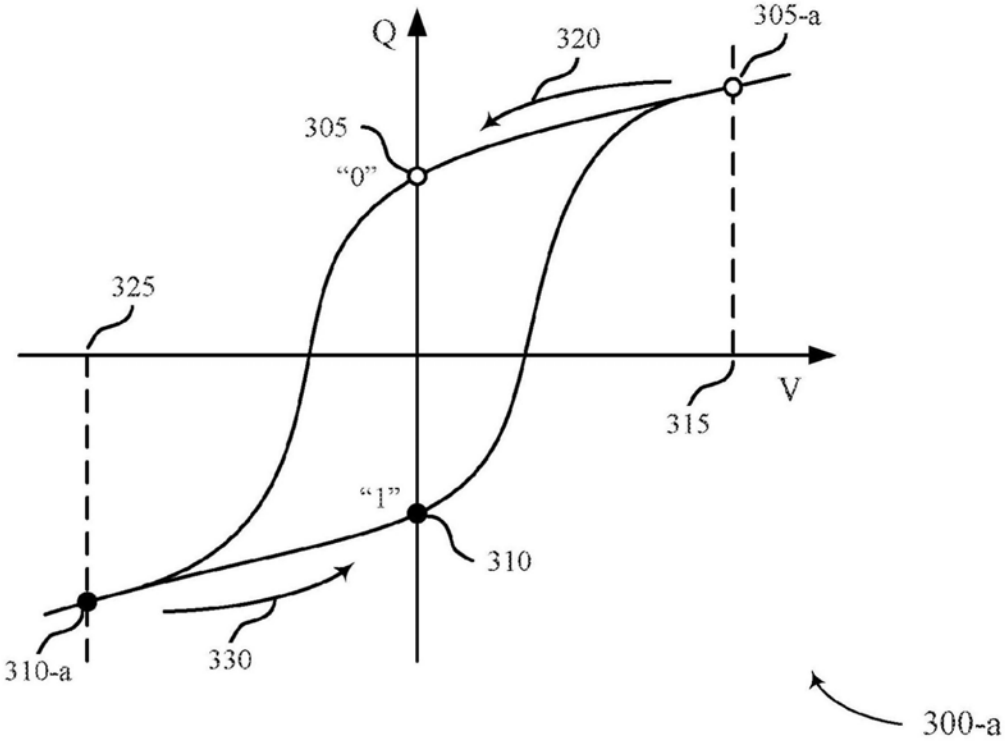

210
PL
110-a
WL
205
230
220
125-a
215
CB
DL
感测
组件
REF
225
115-a
105-a
200

图2


Q
320
305-a
305
"0"
325
V
315
"1"
310
310-a
330
300-a

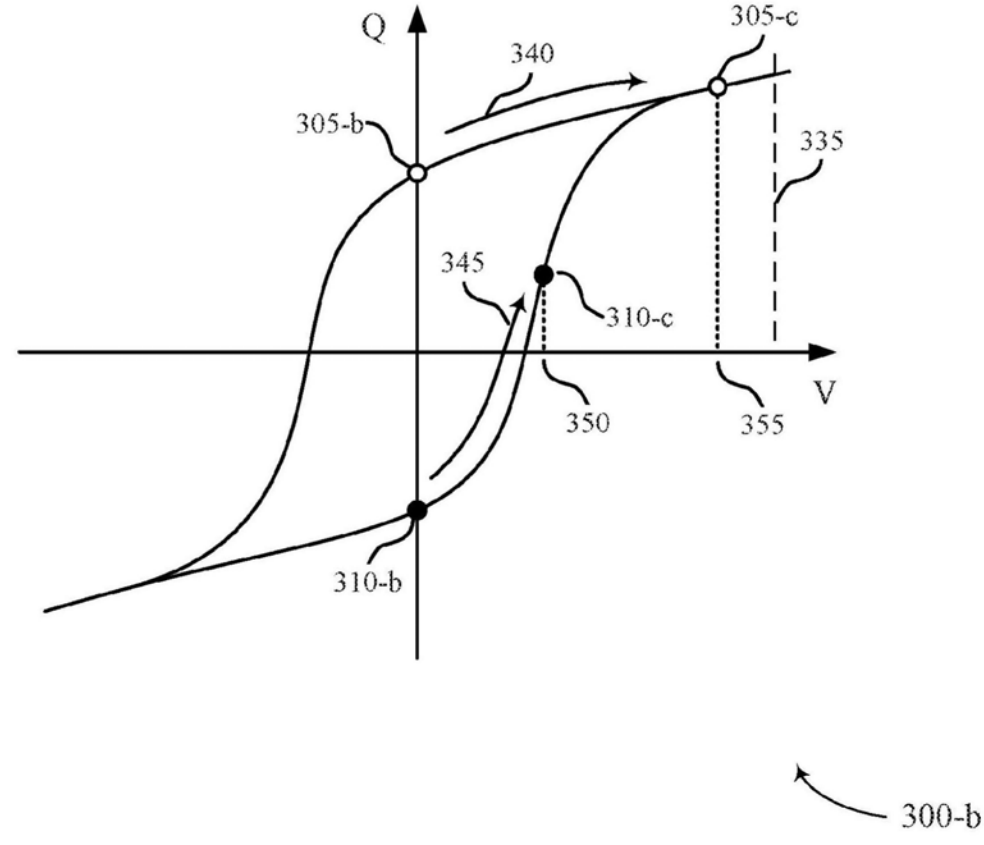

Q
340
305-c
305-b
335
345
310-c
V
350
355
310-b
300-b

图3

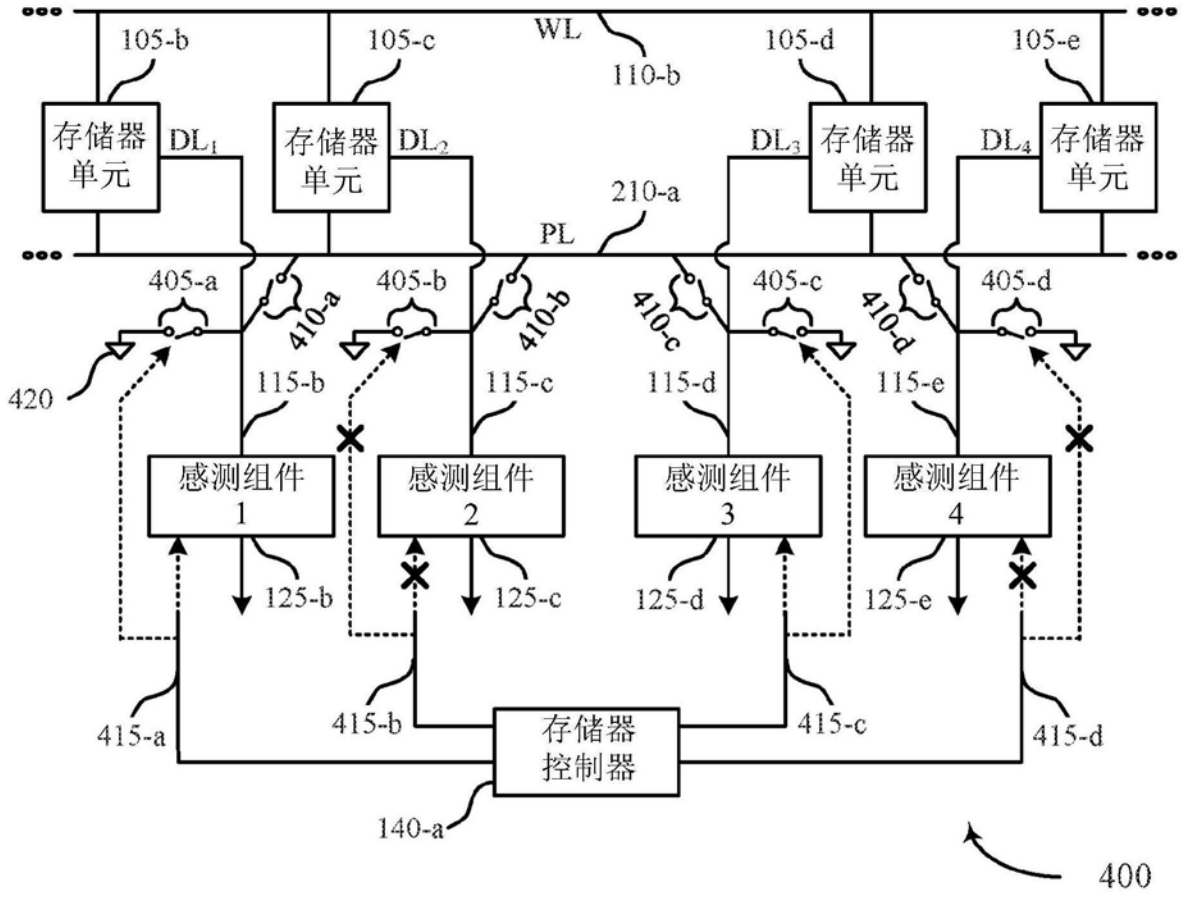

105-b
105-c
WL
110-b
105-d
105-e
存储器单元
DL1
存储器单元
DL2
DL3
存储器单元
DL4
存储器单元
210-a
PL
405-a
410-a
405-b
410-b
410-c
405-c
410-d
405-d
420
115-b
115-c
115-d
115-e
感测组件1
感测组件2
感测组件3
感测组件4
125-b
125-c
125-d
125-e
415-a
415-b
存储器控制器
415-c
415-d
140-a
400

图4

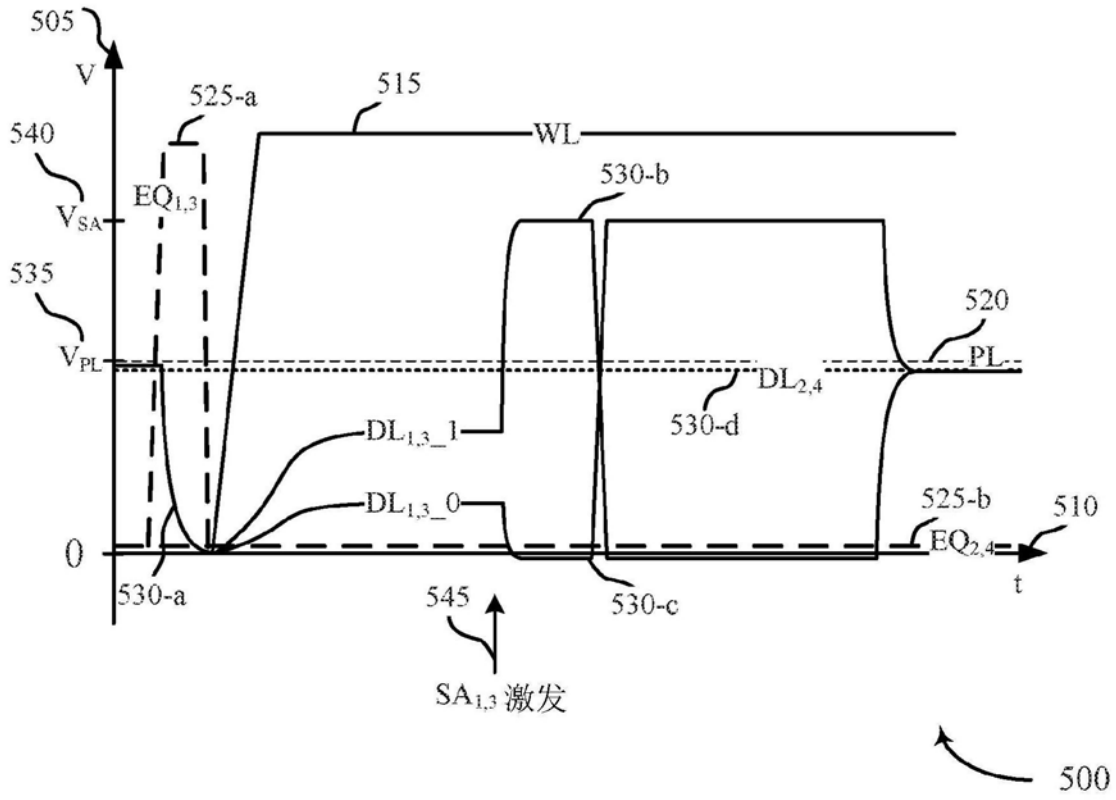

505
V
525-a
515
WL
540
$V_{SA}$
$EQ_{1,3}$
530-b
535
$V_{PL}$
520
PL
$DL_{2,4}$
530-d
$DL_{1,3}_1$
$DL_{1,3}_0$
525-b
510
$EQ_{2,4}$
0
t
530-a
545
530-c
$SA_{1,3}$ 激发
500

图5

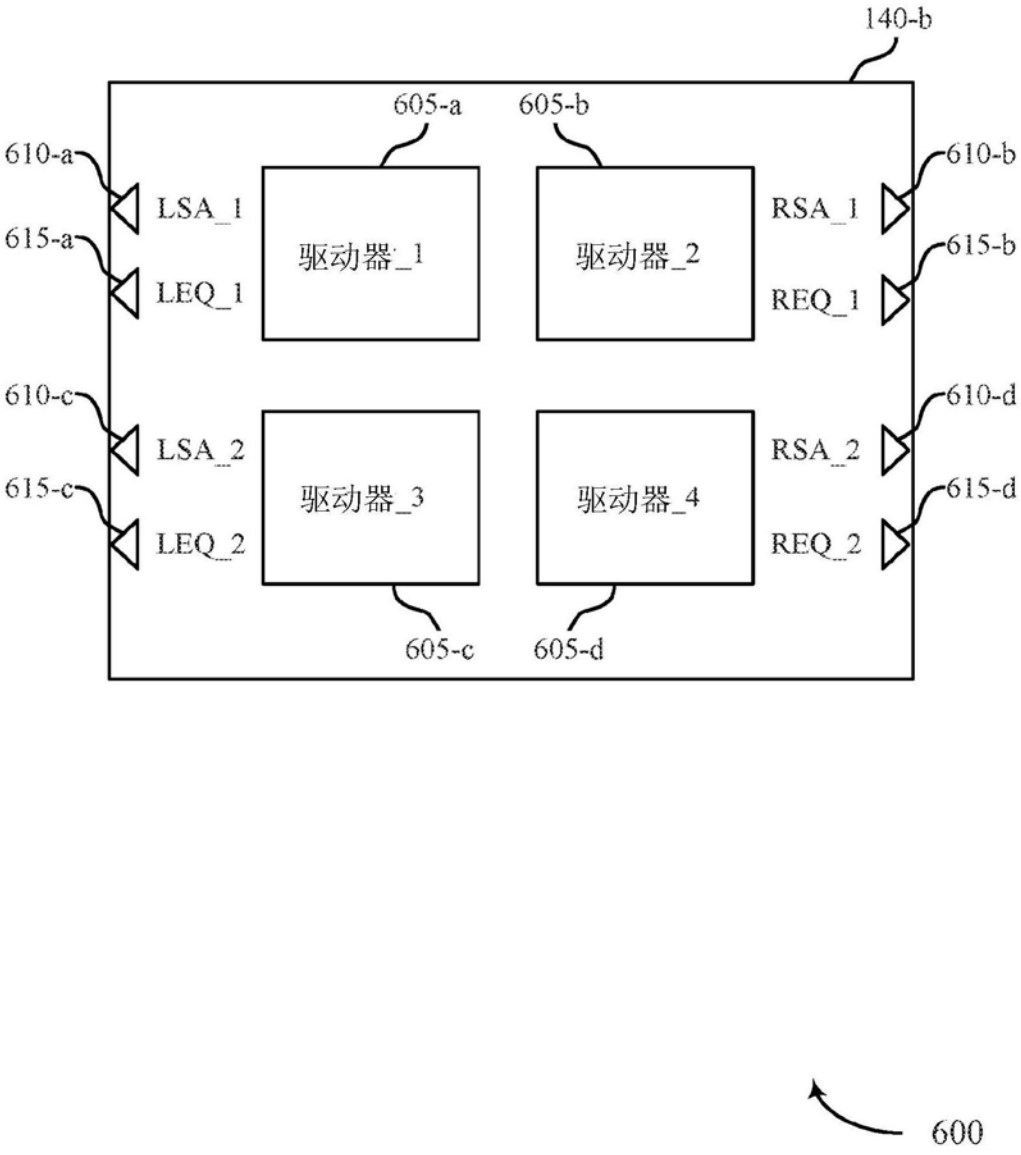

140-b
605-a
605-b
610-a
610-b
LSA_1
RSA_1
615-a
615-b
驱动器_1
驱动器_2
LEQ_1
REQ_1
610-c
610-d
LSA_2
RSA_2
615-c
615-d
驱动器_3
驱动器_4
LEQ_2
REQ_2
605-c
605-d
600

图6

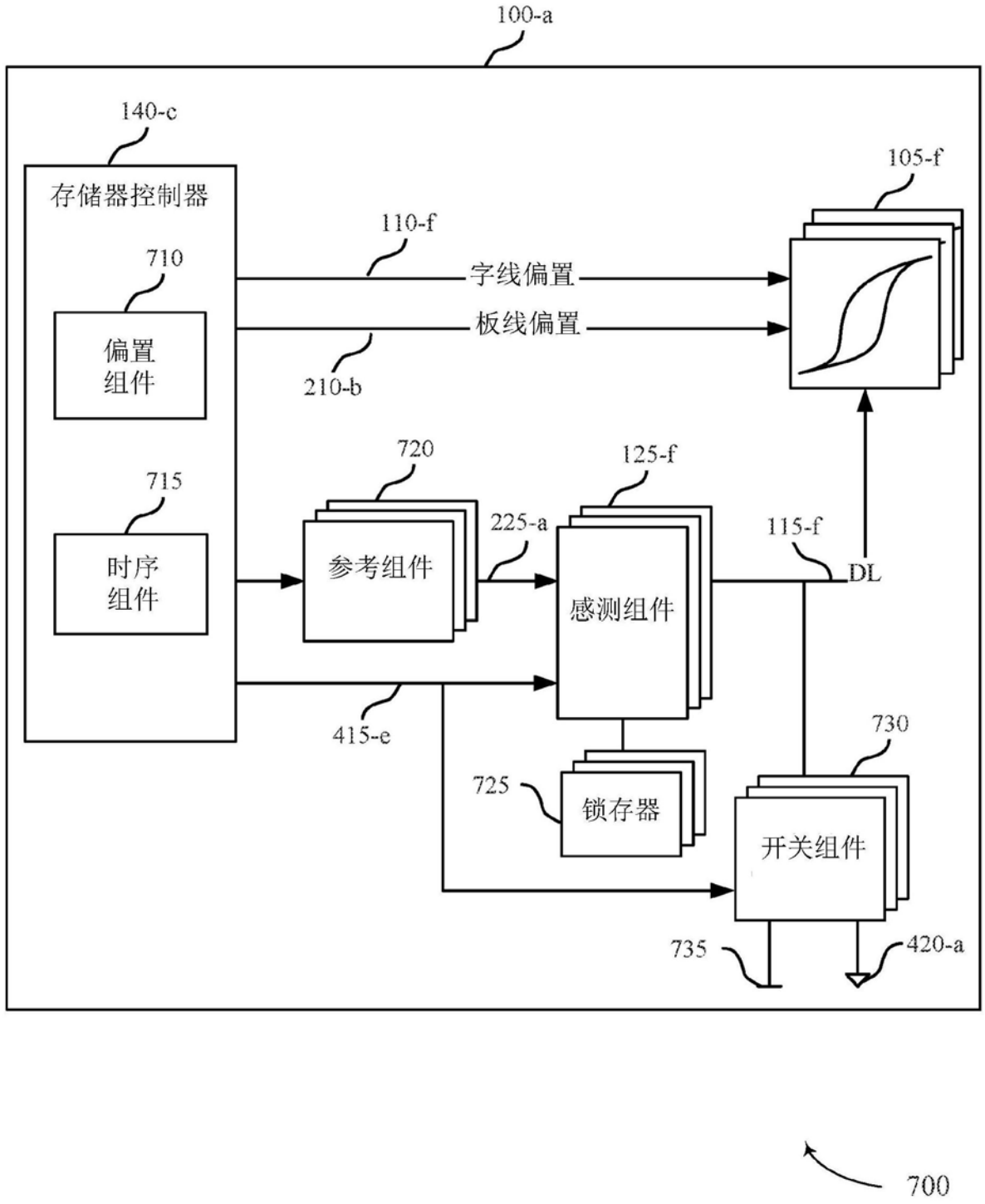

100-a
140-c
存储器控制器
710
偏置
组件
715
时序
组件
110-f
字线偏置
板线偏置
210-b
105-f
720
参考组件
225-a
125-f
感测组件
115-f
DL
415-e
725
锁存器
730
开关组件
735
420-a
700

图7

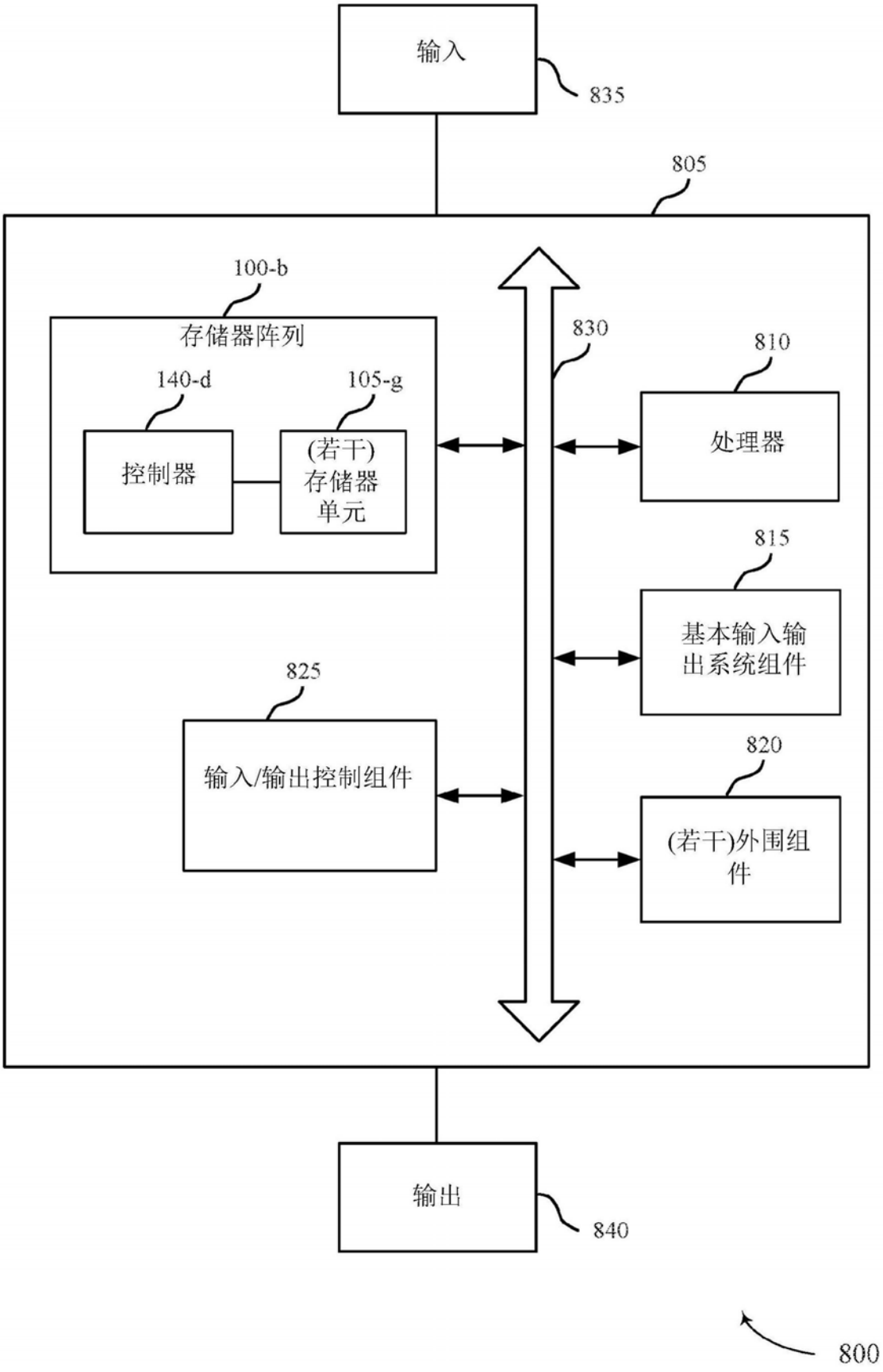

输入
835
805
100-b
存储器阵列
140-d
105-g
控制器
(若干)
存储器
单元
830
810
处理器
815
基本输入输
出系统组件
825
输入/输出控制组件
820
(若干)外围组
件
输出
840
800

图8

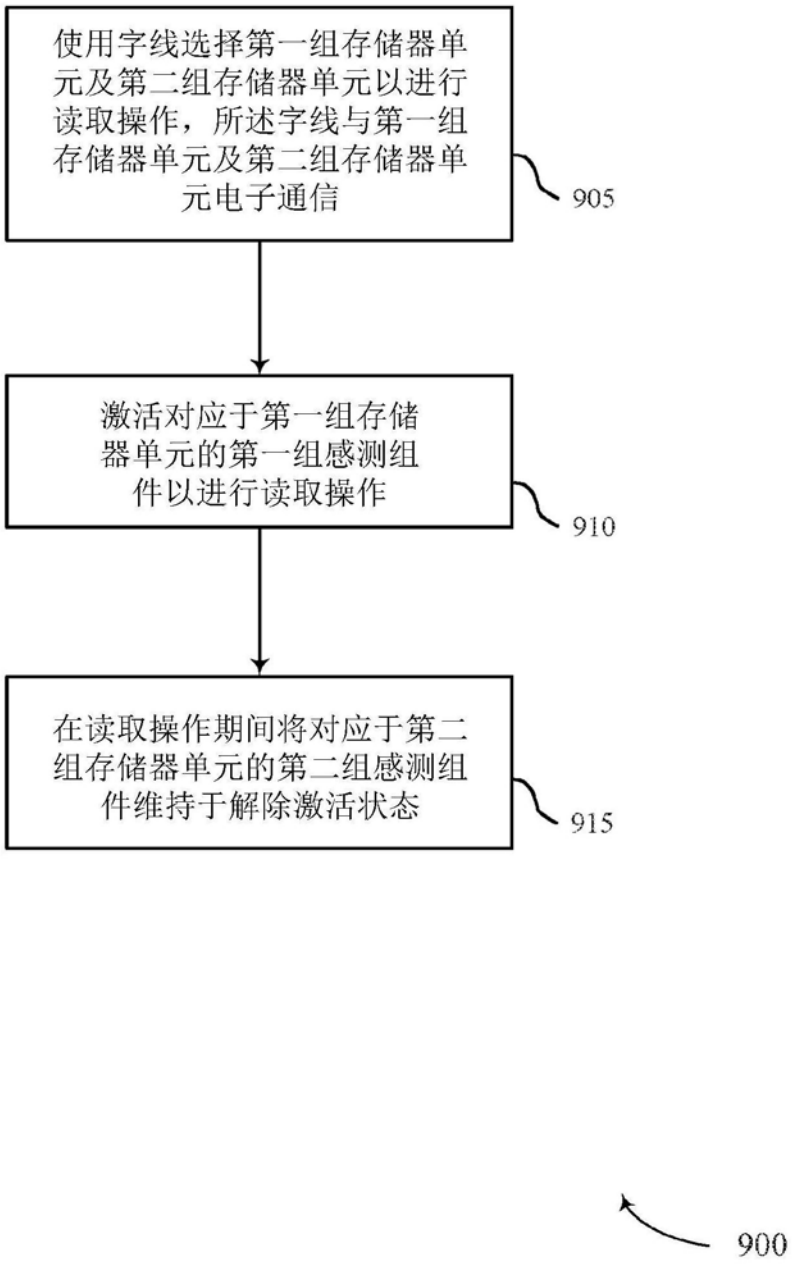

使用字线选择第一组存储器单元及第二组存储器单元以进行读取操作，所述字线与第一组存储器单元及第二组存储器单元电子通信
905
激活对应于第一组存储器单元的第一组感测组件以进行读取操作
910
在读取操作期间将对应于第二组存储器单元的第二组感测组件维持于解除激活状态
915
900

图9