

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6054006号  
(P6054006)

(45) 発行日 平成28年12月27日 (2016.12.27)

(24) 登録日 平成28年12月9日 (2016.12.9)

(51) Int. Cl. F I  
**A 6 1 B 1/04 (2006.01)** A 6 1 B 1/04 3 6 2 J  
 G O 2 B 23/24 (2006.01) G O 2 B 23/24 B

請求項の数 10 (全 16 頁)

(21) 出願番号	特願2016-549593 (P2016-549593)	(73) 特許権者	000000376
(86) (22) 出願日	平成27年12月18日 (2015.12.18)		オリンパス株式会社
(86) 国際出願番号	PCT/JP2015/085511		東京都八王子市石川町2951番地
(87) 国際公開番号	W02016/104369	(74) 代理人	100076233
(87) 国際公開日	平成28年6月30日 (2016.6.30)		弁理士 伊藤 進
審査請求日	平成28年8月2日 (2016.8.2)	(74) 代理人	100101661
(31) 優先権主張番号	特願2014-263188 (P2014-263188)		弁理士 長谷川 靖
(32) 優先日	平成26年12月25日 (2014.12.25)	(74) 代理人	100135932
(33) 優先権主張国	日本国(JP)		弁理士 篠浦 治
早期審査対象出願		(72) 発明者	香川 涼平
			東京都八王子市石川町2951番地 オリ ンパス株式会社内
		(72) 発明者	高橋 秀次
			東京都八王子市石川町2951番地 オリ ンパス株式会社内

最終頁に続く

(54) 【発明の名称】 通信システム

(57) 【特許請求の範囲】

【請求項1】

スレーブデバイスと、アドレスを指定することにより前記スレーブデバイスとデータを送受信するマスタデバイスとが、前記マスタデバイスから送信されるクロックを伝達するクロック信号線と、データを双方向に送信するシリアルデータ信号線とで接続される通信システムであって、

前記シリアルデータ信号線の一部を構成し、前記マスタデバイスから前記スレーブデバイスに対して所定のデータを送信する第1の信号線と、

前記シリアルデータ信号線の一部を構成し、前記スレーブデバイスから前記マスタデバイスに対して前記所定のデータを送信する第2の信号線と、

前記第1の信号線と前記第2の信号線とのいずれか一方が前記シリアルデータ信号線として有効となるように選択する信号線選択部と、

前記信号線選択部における前記選択動作を制御するための信号方向切替信号を出力する端子を備える信号制御部と、

を備え、

前記信号線選択部は、第1の信号線選択部及び第2の信号線選択部により構成され、

前記第1の信号線選択部は、前記第1の信号線上に設けられた第1オア回路及び第1スリーステートバッファ回路と、前記第2の信号線上に設けられた第1バッファとを有し、

前記第2の信号線選択部は、前記第2の信号線上に設けられた第2オア回路及び第2スリーステートバッファ回路と、前記第1の信号線上に設けられた第2バッファと、前記信

号制御部の前記端子と前記第 2 オア回路との間に設けられたインバータ回路と、を有することを特徴とする通信システム。

【請求項 2】

前記信号制御部は、前記シリアルデータ信号線において前記マスタデバイスと前記スレーブデバイスとの間で送受信されるデータの種別に応じて、前記第 1 の信号線と前記第 2 の信号線とのいずれか一方が前記シリアルデータ信号線として有効となるように選択するよう前記信号線選択部における前記選択動作を制御することを特徴とする請求項 1 に記載の通信システム。

【請求項 3】

前記信号制御部は、前記マスタデバイスから前記スレーブデバイスに前記所定のデータを送信する際には、前記第 1 の信号線が前記シリアルデータ信号線として有効となるように選択し、前記マスタデバイスが前記スレーブデバイスからの前記所定のデータを受信する受信ビット時の際のみ、前記第 2 の信号線が前記シリアルデータ信号線として有効となるように選択するよう前記信号線選択部における前記選択動作を制御することを特徴とする請求項 1 に記載の通信システム。

10

【請求項 4】

前記信号制御部は、前記第 1 の信号線が前記シリアルデータ信号線として有効とする場合、所定の信号レベルの前記信号方向切替信号を前記信号線選択部に出力し、前記第 2 の信号線が前記シリアルデータ信号線として有効とする場合、前記所定の信号レベルを反転させた前記信号方向切替信号を前記信号線選択部に出力することを特徴とする請求項 1 に

20

【請求項 5】

前記第 1 オア回路の 2 つの入力端子の一方には、前記第 2 バッファの出力端子が接続され、

前記第 1 オア回路の前記 2 つの入力端子の他方には、前記信号制御部の前記端子が接続されることを特徴とする請求項 1 に記載の通信システム。

【請求項 6】

前記第 1 スリーステートバッファ回路の入力端子には、前記第 1 オア回路の出力端子が接続され、

前記第 1 スリーステートバッファ回路の制御入力端子には、前記信号制御部の前記端子が接続されることを特徴とする請求項 1 に記載の通信システム。

30

【請求項 7】

前記第 1 スリーステートバッファ回路は、前記信号制御部の前記端子から出力された前記信号方向切替信号に従って、出力端子からの出力信号を制御することを特徴とする請求項 6 に記載の通信システム。

【請求項 8】

前記インバータ回路の入力端子には、前記信号制御部の前記端子が接続され、前記第 2 オア回路の 2 つの入力端子の一方には、前記第 1 バッファの出力端子が接続され、

前記第 2 オア回路の 2 つの入力端子の他方には、前記インバータ回路の出力端子が接続されることを特徴とする請求項 1 に記載の通信システム。

40

【請求項 9】

前記第 2 スリーステートバッファ回路の入力端子には、前記第 2 オア回路の出力端子が接続され、

前記第 2 スリーステートバッファ回路の制御入力端子には、前記インバータ回路の出力端子が接続されることを特徴とする請求項 1 に記載の通信システム。

【請求項 10】

前記第 2 スリーステートバッファ回路は、前記信号制御部の前記端子から出力され前記インバータ回路により反転された前記信号方向切替信号に従って、出力端子からの出力信号を制御することを特徴とする請求項 9 に記載の通信システム。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、撮像素子としてCMOSセンサを搭載する内視鏡を有する内視鏡システムにおける通信システムに関する。

## 【背景技術】

## 【0002】

従来、複数の素子間を通信により接続するための汎用のシリアル接続方式として、いわゆるI2C(Inter-Integrated Circuit)と呼ばれるシリアル通信規格が知られている。

## 【0003】

このI2Cは、抵抗でプルアップされた双方向の2本のオープンコレクタ信号線(シリアルデータSDAおよびシリアルクロックSCL)により通信する同期式のシリアル通信規格であり、これらSDAおよびSCLを用いて指定したデバイスへの書き込み、および、読み出しを行うものである。これらSDAおよびSCLはいずれもバス信号であり、I2Cではこのバスにより複数の素子間を接続するようになっている。

## 【0004】

そしてI2Cでは、これらSDAとSCLのバス信号を利用してデータの読み取りおよび書き込みの要求を行うマスタと、マスタの要求に応じてデータを受け取りまたは送出するスレーブとを設け、さらにバスには複数のスレーブが接続可能となっている。また、マスタは個別に決められたスレーブのアドレスを指定してスレーブを選択した後に当該スレーブと通信を行うようになっている。

## 【0005】

一方、従来、医療用分野及び工業用分野において撮像素子を備えた内視鏡が広く用いられている。また、内視鏡に着脱自在に接続され、内視鏡に係る各種信号処理をプロセッサと称する信号処理装置により担い、内視鏡システムを構成する技術も知られるところにある。

## 【0006】

また、近年、撮像素子としてCMOSセンサを採用する内視鏡も提案されている。この種のCMOSセンサは、そのセンサチップ内に撮像部と共にA/D変換部を備え、センサとしての出力信号はデジタル信号となっている。

## 【0007】

そして、この種のCMOSセンサを採用する内視鏡を有する内視鏡システムにおいて、CMOSセンサと信号処理部であるプロセッサとの間における通信制御を、上述したI2Cにより行う技術が知られている(特許第5356632号公報)。

## 【0008】

ところで、上述したI2Cにより通信制御を行うCMOSセンサを内視鏡先端に採用した内視鏡システムの場合、CMOSセンサをスレーブの一つとし、マスタはプロセッサに実装される構成が考えられる。

## 【0009】

このような内視鏡システムの場合、内視鏡先端部に配設されたCMOSセンサとプロセッサとは、数mの長さのケーブルで接続されることとなるが、これは、スレーブの一つであるところのCMOSセンサと、マスタであるプロセッサとが数mものケーブルで接続されることを意味する。

## 【0010】

一方、この種の内視鏡システムは、いわゆる電気メス等のノイズ源の近傍で用いられることも多く、前記マスタ(プロセッサ)とスレーブ(CMOSセンサ)とを結ぶケーブルはこの種のノイズに曝されることとなる。

## 【0011】

ここで、上述した電気メス等の周辺機器は比較的強力なノイズ源となり得ることから、前記マスタ(プロセッサ)とスレーブ(CMOSセンサ)とを結ぶケーブルに当該ノイ

10

20

30

40

50

ズが印可された場合、このケーブルがたとえ十分なノイズ耐性を備えていたとしても、I2Cバスに接続されたスレーブ（CMOSセンサ）側では、当該外来ノイズをシリアルクロックSCLの立上りエッジと誤認する虞がある。

【0012】

そして、I2Cシステムが前記外来ノイズをシリアルクロックSCLの立上りエッジと誤認した場合、スレーブ（CMOSセンサ）とマスタ（プロセッサ）との通信シーケンス上でbitズレが発生し、シリアルデータSDAの信号出力の方向がかみ合わず、いわゆる出力信号の衝突（以下、単に衝突）と呼ばれる現象を引き起こすこととなる。

【0013】

ところで、I2Cでは、マルチ・マスタ・バスで衝突検知とバス・アービトレーションでバス調停（バスの所有権の調停）することを前提とするので、I2Cバス上において衝突が生じた場合、それは複数のマスタが同時にアクセスしていると解釈し、また、これら他マスタ同士の衝突は保障されているので問題はない。

【0014】

しかしながら、I2Cシステムにおいて、マスタ - スレーブ間においてのbitズレによる衝突は想定外の挙動である。

【0015】

そして上述した内視鏡システムにおいて、スレーブであるCMOSセンサが外来ノイズをシリアルクロックSCLの立上りエッジと誤認したような場合、マスタであるプロセッサは、他マスタとの同時アクセスと誤解し、シリアルクロックSCLおよびシリアルデータSDAを停止し、すなわちバスをフリー状態にしてしまう虞がある。

【0016】

さらに、マスタによる上記シリアルクロックSCLおよびシリアルデータSDAの停止タイミングが、スレーブ側のLドライブ（例えば、Ackによる）と重なった場合、シリアルデータSDAは“L”に引張られたまま停止することになるので、バスはビジー状態と同等となる。

【0017】

その結果、マスタであるプロセッサは、CMOSセンサ以外のスレーブにアクセスすることが不可能になってしまうという不都合が生じる。すなわち、マスタからは、バスがビジー状態のように見え続けるので、マスタは待機したままで復帰しないこととなり、いわゆるシステムフリーズ状態となる。

【0018】

上述のごとき内視鏡システムにおいてシステムフリーズ状態になると、例えば、ユーザへのプロセッサ再起動の手間（電源スイッチオフからオン動作等）、検査中の記録データ（観察動画キャプチャ等の一時保管データ等）がすべて無効になるという不都合を生じる。

【0019】

ところで、上述のごとき双方向のオープンコレクタ信号線によるI2Cバスは、ワイヤードORを構成するが、このワイヤードORを構成することが上述した問題を引き起こしやすい要因となっている。すなわち、ワイヤードORでは、バスに接続されたデバイスのどれか一つがLドライブ状態となると、バスは物理的にその論理に強制的に従うことになる。

【0020】

I2Cは、bitシーケンスルール上、Lドライブが可能なデバイスが単一であるというルールを規定することで双方向を実現するものである。すなわち、I2Cでは、このルールを遵守することにより双方向通信を可能とするものである。

【0021】

しかしながら、上述したごとき内視鏡先端部に配設されたスレーブであるところのCMOSセンサと、マスタであるプロセッサとの間を数mものケーブルで接続する構成をなす内視鏡システムにおいては、当該ケーブルに混入する外来ノイズの影響により、上述した

10

20

30

40

50

ようにそのルールが破綻しやすい状況下にあるため、バス上の出力信号の衝突を起こしやすいという問題がある。

【 0 0 2 2 】

本発明は上述した点に鑑みてなされたもので、撮像素子としてCMOSセンサを搭載する内視鏡を有する内視鏡システムにおける通信システムにおいて、外来ノイズによるシステムフリーズの発生を回避することができる通信システムを提供することを目的とする。

【発明の開示】

【課題を解決するための手段】

【 0 0 2 3 】

本発明の一態様の通信システムは、スレーブデバイスと、アドレスを指定することにより前記スレーブデバイスとデータを送受信するマスタデバイスとが、前記マスタデバイスから送信されるクロックを伝達するクロック信号線と、データを双方向に送信するシリアルデータ信号線とで接続される通信システムであって、前記シリアルデータ信号線の一部を構成し、前記マスタデバイスから前記スレーブデバイスに対して所定のデータを送信する第1の信号線と、前記シリアルデータ信号線の一部を構成し、前記スレーブデバイスから前記マスタデバイスに対して前記所定のデータを送信する第2の信号線と、前記第1の信号線と前記第2の信号線とのいずれか一方が前記シリアルデータ信号線として有効となるように選択する信号線選択部と、前記信号線選択部における前記選択動作を制御するための信号方向切替信号を出力する端子を備える信号制御部と、を備え、前記信号線選択部は、第1の信号線選択部及び第2の信号線選択部により構成され、前記第1の信号線選択部は、前記第1の信号線上に設けられた第1オア回路及び第1スリーステートバッファ回路と、前記第2の信号線上に設けられた第1バッファとを有し、前記第2の信号線選択部は、前記第2の信号線上に設けられた第2オア回路及び第2スリーステートバッファ回路と、前記第1の信号線上に設けられた第2バッファと、前記信号制御部の前記端子と前記第2オア回路との間に設けられたインバータ回路と、を有する。

【図面の簡単な説明】

【 0 0 2 4 】

【図1】図1は、本発明の第1の実施形態の内視鏡システムにおけるI2Cシステムの構成を示す図。

【図2】図2は、第1の実施形態の内視鏡システムにおけるシリアルデータSDAのバス信号方向切替機構の論理回路の真理値表を示した図。

【図3】図3は、第1の実施形態の内視鏡システムにおいて、通常時の各シリアルバス信号の状態を示したタイミングチャート。

【図4】図4は、第1の実施形態の内視鏡システムにおいて、シリアルデータSDAのバス信号方向切替機構を備えないと仮定した際にシリアルクロックSCLバス上に異常信号が印可された際の各シリアルバス信号の状態を示したタイミングチャート。

【図5】図5は、第1の実施形態の内視鏡システムにおいて、シリアルクロックSCLバス上に異常信号が印可された際の各シリアルバス信号の状態を示したタイミングチャート。

【発明を実施するための最良の形態】

【 0 0 2 5 】

以下、図面を参照して本発明の実施形態を説明する。

図1は、本発明の第1の実施形態の内視鏡システムにおいてI2Cシステムの構成を示す図である。

【 0 0 2 6 】

図1に示すように本発明の第1の実施形態である内視鏡システム1は、撮像素子としてCMOSセンサを採用した内視鏡2と、前記内視鏡2に着脱自在に接続され、内視鏡2に係る各種信号処理を行うプロセッサ3と、により主要部が構成される。

【 0 0 2 7 】

前記内視鏡2は、被検体に挿入される挿入部の先端に設けられ、被検体の光学像を撮像

して所定のデジタル撮像信号を出力するC M O Sセンサ1 1と、前記C M O Sセンサ1 1に接続され前記デジタル撮像信号のほかC M O Sセンサ1 1に対する制御信号等を伝送するケーブル2 0と、当該ケーブル2 0の他端に配設され前記プロセッサ3に接続するためのコネクタ部2 1と、を備える。

【0028】

C M O Sセンサ1 1は、プロセッサ3において生成された所定のクロックおよび垂直同期信号V D・水平同期信号H Dにより、被検体の光学像を撮像して所定のアナログ撮像信号を生成する撮像部1 2 ( P D 1 2 ) と、当該撮像部1 2に対して所定の信号処理を施すと共にデジタル撮像信号に変換して出力するA / D変換部を備える図示しないA F E回路と、当該A F E回路からのデジタル撮像信号をパラレル / シリアル変換して後段に出力する図示しないP / S回路と、を有して構成される。

10

【0029】

上述したように本実施形態における内視鏡は撮像素子としてC M O Sセンサ1 1を採用するが、本第実施形態の内視鏡システムにおいては、内視鏡先端に配設された当該C M O Sセンサ1 1と信号処理部であるプロセッサ3との間における通信制御に、上述したI 2 Cを適用することを特徴とする。

【0030】

また、本実施形態においては、I 2 C制御においてC M O Sセンサ1 1をスレーブの1つとし、一方マスタはプロセッサ3に実装し、これらマスタ - スレーブ間を2本のシリアルバス信号線 ( シリアルデータS D AおよびシリアルクロックS C L ) により接続することを特徴とする。

20

【0031】

そして本実施形態の如き内視鏡システムの場合、内視鏡先端部に配設されたスレーブの1つであるところのC M O Sセンサとマスタであるプロセッサ3とは、前記シリアルデータS D Aおよび前記シリアルクロックS C Lの一部を内設する数mの長さのケーブル2 0とで接続されることとなる。

【0032】

一方、上述したように、本実施形態の内視鏡システムは、電気メス等の強力なノイズ源の近傍で用いられることも多いことから前記マスタ - スレーブ間を結ぶケーブルについては強力なノイズに曝されることとなる。

30

【0033】

すなわち、上述したように、マスタ ( プロセッサ ) とスレーブ ( C M O Sセンサ ) とを結ぶ前記ケーブル2 0に電気メス等の強力なノイズが印可された場合、このケーブル2 0がたとえ十分なノイズ耐性を備えていたとしても、特にI 2 Cバスに接続されたスレーブ ( C M O Sセンサ ) 側では、当該外来ノイズによりシリアルクロックS C Lが乱される虞がある。

【0034】

本願に係る事情に鑑みてなされたものであり、当該外来ノイズによりシリアルクロックS C Lが乱されたとしても、システムフリーズを避けることができることを特徴とする。

【0035】

図1に戻って、プロセッサ3には、2本のシリアルバス信号線 ( シリアルデータS D AおよびシリアルクロックS C L ) が接続された、マスタとしてのI 2 Cマスタ3 0が配設される。

40

【0036】

一方、内視鏡2の先端に配設されたC M O Sセンサ1 1には、同じく2本のシリアルバス信号線 ( シリアルデータS D AおよびシリアルクロックS C L ) が接続された、スレーブとしてのI 2 Cスレーブ1 0が配設される。なお、このI 2 Cスレーブ1 0は、撮像部1 2 ( P D 1 2 ) を制御するI 2 Cコントローラとして機能する。

【0037】

前記I 2 Cスレーブ1 0から延出された前記2本のシリアルバス信号線 ( シリアルデー

50

タ S D A およびシリアルクロック S C L ) は、内視鏡 2 内においてケーブル 2 0 内に挿通され、前記コネクタ部 2 1 を経由してプロセッサ 3 内に延設される。

【 0 0 3 8 】

前記コネクタ部 2 1 は、シリアルクロック S C L 用端子 2 1 a およびシリアルデータ S D A 用端子 2 1 b を備え、それぞれ対向するプロセッサ 3 に設けられたシリアルクロック S C L 用端子 3 a またはシリアルデータ S D A 用端子 3 b に接続されるようになっている。

【 0 0 3 9 】

<シリアルデータ S D A のバス信号方向切替機構>

以下、本第 1 の実施形態におけるシリアルデータ S D A のバス信号の方向切替機構について説明する。

【 0 0 4 0 】

本第 1 の実施形態においては、前記プロセッサ 3 における前記シリアルクロック S C L 用端子 3 a およびシリアルデータ S D A 用端子 3 b 以降の前記 I 2 C マスタ 3 0 との間において、シリアルデータ S D A のバス信号方向、すなわち第 1 の方向「マスタ側 スレーブ側」と第 2 の方向「スレーブ側 マスタ側」とのバス信号の方向を切り替える機構を配設する。

【 0 0 4 1 】

このシリアルデータ S D A のバス信号方向切替機構は、いわゆる F P G A ( field-programmable gate array ) 3 2 により構成され、I 2 C マスタ 3 0 から I 2 C スレーブ 1 0 に対して所定のデータを送信する第 1 の信号線 4 1 と、I 2 C スレーブ 1 0 から I 2 C マスタ 3 0 に対して所定のデータを送信する第 2 の信号線 4 2 と、第 1 の信号線 4 1 と第 2 の信号線 4 2 とのいずれか一方がシリアルデータ S D A のバス信号線として有効となるように選択する第 1 の信号線選択部 5 1 および第 2 の信号線選択部 5 2 と、前記第 1 の信号線選択部 5 1 および第 2 の信号線選択部 5 2 における前記選択動作を制御する信号制御部 3 1 と、を具備する。

【 0 0 4 2 】

ここで、前記第 1 の信号線 4 1 は、当該バス信号方向切替機構において前記第 1 の方向「マスタ側 スレーブ側」が選択された際に用いられる信号線であり、前記第 2 の信号線 4 2 は同前記第 2 の方向「スレーブ側 マスタ側」が選択された際に用いられる信号線であって、これら第 1 の信号線 4 1 および第 2 の信号線 4 2 の具体的な経路については後に詳述する。

【 0 0 4 3 】

なお、プロセッサ 3 内には、当該 I 2 C システムにおける他のスレーブとして機能する I 2 C スレーブ 6 1 および I 2 C スレーブ 6 2 が設けられている。

【 0 0 4 4 】

前記信号制御部 3 1 は、前記シリアルクロック S C L のバスからマスタ側シリアルクロック S C L ( MASTER\_SCL ) を入力する端子 3 1 a 、前記シリアルデータ S D A のバス(後述する第 1 の信号線 4 1 ) からマスタ側シリアルデータ S D A ( MASTER\_SDA ) を入力する端子 3 1 b 、前記シリアルデータ S D A のバス(後述する第 2 の信号線 4 2 ) からスレーブ側シリアルデータ S D A ( SLAVE\_SDA ) を入力する端子 3 1 c 、シリアルデータ S D A のバス信号方向切替信号 ( DIRECTION ) を出力する端子 3 1 d 、前記 C M O S センサ 1 1 における I 2 C スレーブ 1 0 のスレーブアドレス ( ASSIGN\_ADDR ) を入力する端子 3 1 e をそれぞれ備えている。

【 0 0 4 5 】

第 1 の信号線選択部 5 1 は、シリアルデータ S D A における第 1 の信号線 4 1 上に設けられた第 1 オア回路 5 4 および第 1 スリーステートバッファ回路 5 5 と、シリアルデータ S D A における第 2 の信号線 4 2 上に設けられた第 1 バッファ 5 6 とを有する。

【 0 0 4 6 】

より具体的に前記第 1 の信号線選択部 5 1 における第 1 オア回路 5 4 の入力端子には、

10

20

30

40

50

第2バッファ53(後述する)の出力端子“O”が接続されるとともに前記信号制御部31における端子31dが接続され、前記第1の信号線41におけるマスタ側シリアルデータSDA信号と、前記信号制御部31における端子31dから出力される前記バス信号方向切替信号DIRECTIONと、を入力する。

【0047】

前記第1の信号線選択部51における第1スリーステートバッファ回路55は、その入力端子“I”には第1オア回路54の出力信号が入力され、また制御入力端子“T”には、前記信号制御部31における端子31dから出力される前記バス信号方向切替信号DIRECTIONが入力され、当該バス信号方向切替信号DIRECTIONに従って出力端子“I/O”からの出力信号が制御されるようになっている。

10

【0048】

前記第1の信号線選択部51における第1バッファ56の入力端には、第2の信号線42上における前記シリアルクロックSCL用端子3aから入力するスレーブ側シリアルデータSDAが入力され、また、前記第1スリーステートバッファ回路55の出力端子“I/O”が接続される。なお、第1バッファ56の出力端子“O”は、第2オア回路57(後述する)の入力端子に接続されるようになっている。

【0049】

一方、第2の信号線選択部52は、シリアルデータSDAにおける第2の信号線42上に設けられた第2オア回路57および第2スリーステートバッファ回路58と、シリアルデータSDAにおける第1の信号線41上に設けられた第2バッファ53と、信号制御部31における前記端子31dと前記第2オア回路57間に設けられたインバータ回路59と、を有する。

20

【0050】

より具体的に前記第2の信号線選択部52における第2オア回路57の入力端子には、前記第1バッファ56の出力端子“O”が接続されるとともに前記信号制御部31における端子31dが接続され、前記第2の信号線42におけるスレーブ側シリアルデータSDA信号であって前記第1バッファ56の出力信号と、前記信号制御部31における端子31dから出力され前記インバータ回路59により反転された前記バス信号方向切替信号DIRECTIONと、を入力する。

【0051】

30

前記第2の信号線選択部52における第2スリーステートバッファ回路58は、その入力端子“I”には第2オア回路57の出力信号が入力され、また制御入力端子“T”には、前記信号制御部31における端子31dから出力され前記インバータ回路59により反転された前記バス信号方向切替信号DIRECTIONが入力され、当該反転されたバス信号方向切替信号DIRECTIONに従って出力端子“I/O”からの出力信号が制御されるようになっている。

【0052】

前記第2の信号線選択部52における第2バッファ53の入力端には、第1の信号線41上における前記I2Cマスタ30側から入力するマスタ側シリアルデータSDAが入力され、また、前記第2スリーステートバッファ回路58の出力端子“I/O”が接続される。なお、第2バッファ53の出力端子“O”は、第1オア回路54の入力端子に接続され、マスタ側シリアルデータSDAとして入力されるようになっている。

40

【0053】

前記第2の信号線選択部52における前記インバータ回路59は、前記信号制御部31における端子31dから出力された前記バス信号方向切替信号DIRECTIONを入力し、反転出力を第2オア回路57に入力するようになっている。

【0054】

<シリアルデータSDAのバス信号方向切替機構の仕組>

上述したシリアルデータSDAのバス信号の方向切替機構の仕組みについて説明する。

【0055】

50

図2は、第1の信号線選択部51および第2の信号線選択部52における、第1スリーステートバッファ回路55および第2スリーステートバッファ回路58における論理回路の真理値表である。

【0056】

上述したように、第1の信号線選択部51における第1スリーステートバッファ回路55における制御入力端子“T”には、バス信号方向切替信号DIRECTIONが入力され、一方、第2の信号線選択部52における第2スリーステートバッファ回路58における制御入力端子“T”には、インバータ回路59により反転されたバス信号方向切替信号DIRECTIONが入力されるようになっている。

【0057】

また、本第1の実施形態においては、信号制御部31の端子31dから第1の方向選択時(マスタ側スレーブ側)には、“L”信号が、一方、第2の方向選択時(スレーブ側マスタ側)には、“H”信号が出力されるようになっている。

【0058】

ここで、図2における真理値表に示すように、第1スリーステートバッファ回路55または第2スリーステートバッファ回路58の制御入力端子“T”に“H”信号が入力すると、入力信号の状態に拘わらず出力端子“I/O”はハイインピーダンス“Z”となる。このとき、第2バッファ53または第1バッファ56の出力端子“O”は、入力した信号をそのまま出力することとなる。

【0059】

具体的に、例えば今、信号制御部31がバス信号方向切替機構として、前記第1の信号線41を用いる前記第1の方向「マスタ側スレーブ側」を選択したとする。

【0060】

このとき、信号制御部31は、そのDIRECTION端子31dから前記バス信号方向切替信号DIRECTIONとして第1の方向を選択する“L”信号を出力する。

【0061】

そして当該バス信号方向切替信号DIRECTIONは、一方で前記第1スリーステートバッファ回路55の制御入力端子“T”に“L”信号として入力されるとともに、他方でインバータ回路59に入力し、当該インバータ回路59により反転され、これにより第2スリーステートバッファ回路58の制御入力端子“T”には“H”信号が入力される。

【0062】

すると、上述したように、第2スリーステートバッファ回路58における出力端子“I/O”はハイインピーダンス“Z”となり、マスタ側シリアルデータSDAにおけるI2Cマスタ30からの信号は、第2バッファ53側に流れることとなる。そして、第2バッファ53における出力端子“O”には、I2Cマスタ30側から入力されたマスタ側シリアルデータSDAがそのまま現れることとなる。

【0063】

一方、第1スリーステートバッファ回路55の制御入力端子“T”には、上述したように、信号制御部31の端子31dから出力された“L”状態のバス信号方向切替信号DIRECTIONが入力される。

【0064】

このとき第1スリーステートバッファ回路55における出力端子“I/O”には、入力端子“I”に入力した信号、今の場合、第2バッファ53を経由したI2Cマスタ30側から入力されたマスタ側シリアルデータSDAがそのまま出力することとなる。

【0065】

ここで、本実施形態においては、I2Cマスタ30 第2バッファ53 第1オア回路54 第1スリーステートバッファ回路55 シリアルデータSDA用端子3bへの経路を第1の信号線41とする。

【0066】

すなわち、バス信号方向切替機構として、前記第1の方向「マスタ側スレーブ側」へ

10

20

30

40

50

の切替を所望した際は、上述した仕組みにより前記第1の信号線41を選択することができる。

【0067】

他方、例えば今、信号制御部31がバス信号方向切替機構として、前記第2の信号線42を用いる前記第2の方向「スレーブ側 マスタ側」を選択したとする。

【0068】

このとき、信号制御部31は、そのDIRECTION端子31dから前記バス信号方向切替信号DIRECTIONとして第1の方向を選択する“H”信号を出力する。

【0069】

そして当該バス信号方向切替信号DIRECTIONは、一方で第1スリーステートバッファ回路55の制御入力端子“T”に“H”信号として入力されるとともに、他方でインバータ回路59に入力され当該インバータ回路59により反転され、これにより第2スリーステートバッファ回路58の制御入力端子“T”には“L”信号が入力される。

10

【0070】

すると、上記とは逆に、第1スリーステートバッファ回路55における出力端子“I/O”がハイインピーダンス“Z”となり、スレーブ側シリアルデータSDAにおけるI2Cスレーブ10からの信号が、第1バッファ56側に流れることとなる。そして、第1バッファ56における出力端子“O”には、I2Cスレーブ10側から入力されたスレーブ側シリアルデータSDAがそのまま現れることとなる。

【0071】

20

一方で、第2スリーステートバッファ回路58の制御入力端子“T”には、上述したようにインバータ回路59を経由した“L”状態のバス信号方向切替信号DIRECTIONが入力される。

【0072】

このとき第2スリーステートバッファ回路58における出力端子“I/O”には、入力端子“I”に入力した信号、今の場合、第1バッファ56を経由したI2Cスレーブ10側から入力されたスレーブ側シリアルデータSDAがそのまま出力されることとなる。

【0073】

ここで、本実施形態においては、I2Cスレーブ10 シリアルデータSDA用端子3b 第1バッファ56 第2オア回路57 第2スリーステートバッファ回路58 I2Cマスタ30への経路を第2の信号線42とする。

30

【0074】

すなわち、バス信号方向切替機構として、前記第2の方向「スレーブ側 マスタ側」への切替を所望した際は、上述した仕組みにより前記第2の信号線42を選択することができる。

【0075】

<第1の実施形態の作用>

次に、本第1の実施形態の作用について説明する。

【0076】

<シリアルクロックSCLのバス信号方向の固定>

40

本第1の実施形態は、上述したように、プロセッサ3に配設したマスタ側(I2Cマスタ30)と、内視鏡2に配設したスレーブ側(CMOSセンサ11におけるI2Cスレーブ10)との通信制御にI2Cシステムを採用するが、本第1の実施形態においては、まず、シリアルクロックSCLを常時、「マスタ側 スレーブ側」に固定することを特徴とする。

【0077】

<シリアルデータSDAのバス信号方向の切替作用>

本第1の実施形態においては、上述したバス信号方向切替機構により、原則としてシリアルデータSDAにおけるバス信号の方向を前記第1の方向「マスタ側 スレーブ側」に設定し、I2Cマスタ30側が、CMOSセンサ11におけるI2Cスレーブ10からの

50

データを受信する受信 b i t 時 (例えば、A c k または R e a d D a t a ) の際にのみ、シリアルデータ S D A におけるバス信号の方向を前記第 2 の方向「スレーブ側 マスタ側」に設定することを特徴とする。

【 0 0 7 8 】

図 3 は、第 1 の実施形態の内視鏡システムにおいて、通常時の各シリアルバス信号の状態を示したタイミングチャートである。

【 0 0 7 9 】

図 3 は、I 2 C マスタ 3 0 からのマスタシリアルクロック S C L ( MASTER\_SCL ) に従って、マスタシリアルデータ S D A ( MASTER\_SDA ) により I 2 C マスタ 3 0 から C M O S センサ 1 1 における I 2 C スレーブ 1 0 に対して所定のデータが送信されている様子を示している。

10

【 0 0 8 0 】

上述したように、本実施形態においてはシリアルデータ S D A におけるバス信号の方向を前記第 1 の方向「マスタ側 スレーブ側」に設定することから、信号制御部 3 1 は、バス信号方向切替機構として、前記第 1 の信号線 4 1 を用いる前記第 1 の方向「マスタ側 スレーブ側」を選択する。

【 0 0 8 1 】

すなわち、信号制御部 3 1 は、その DIRECTION 端子 3 1 d から前記バス信号方向切替信号 DIRECTION として第 1 の方向を選択する “ L ” 信号を出力する。

【 0 0 8 2 】

20

これにより、第 2 スリーステートバッファ回路 5 8 の制御入力端子 “ T ” には前記インバータ回路 5 9 により反転された “ H ” 信号が入力され、一方、第 1 スリーステートバッファ回路 5 5 の制御入力端子 “ T ” には、“ L ” 信号が入力される。

【 0 0 8 3 】

このとき、上述したように、第 2 スリーステートバッファ回路 5 8 における出力端子 “ I / O ” は ハイインピーダンス “ Z ” となり、マスタ側シリアルデータ S D A における I 2 C マスタ 3 0 からの信号は、第 2 バッファ 5 3 側に流れ、第 2 バッファ 5 3、第 1 スリーステートバッファ回路 5 5 を経由してシリアルデータ S D A 用端子 3 b には、I 2 C マスタ 3 0 側から入力されたマスタ側シリアルデータ S D A がそのまま出力されることとなる。

30

【 0 0 8 4 】

図 3 において、MASTER\_SDA において I 2 C マスタ 3 0 から 8 b i t 分のデータが送信されている際は、上述したように第 1 の信号線 4 1 を用いた第 1 の方向「マスタ側 スレーブ側」が選択されている。

【 0 0 8 5 】

一方、この 8 b i t 分のデータが送信され終わった次 b i t である、I 2 C マスタ 3 0 が C M O S センサ 1 1 の I 2 C スレーブ 1 0 側からのデータを受信する受信 b i t 時、この場合は、A c k の際には、信号制御部 3 1 は、バス信号方向切替機構として、前記第 2 の信号線 4 2 を用いる前記第 2 の方向「スレーブ側 マスタ側」を選択する。

【 0 0 8 6 】

40

すなわち、信号制御部 3 1 は、その DIRECTION 端子 3 1 d から前記バス信号方向切替信号 DIRECTION として第 2 の方向を選択する “ H ” 信号を出力する。

【 0 0 8 7 】

これにより、第 2 スリーステートバッファ回路 5 8 の制御入力端子 “ T ” には前記インバータ回路 5 9 により反転された “ L ” 信号が入力され、一方、第 1 スリーステートバッファ回路 5 5 の制御入力端子 “ T ” には、“ H ” 信号が入力される。

【 0 0 8 8 】

このとき、上述したように、第 1 スリーステートバッファ回路 5 5 における出力端子 “ I / O ” は ハイインピーダンス “ Z ” となり、スレーブ側シリアルデータ S D A における I 2 C スレーブ 1 0 からの信号は、第 1 バッファ 5 6 側に流れ、第 1 バッファ 5 6、第

50

2スリーステートバッファ回路58を経由してI2Cマスタ30に対しては、I2Cスレーブ10側から入力されたスレーブ側シリアルデータSDAがそのまま出力されることとなる。

【0089】

図3において、MASTER\_SDAにおいてI2Cマスタ30がSLAVE\_SDAからのAck信号を受信している際は、上述したように第2の信号線42を用いた第2の方向「スレーブ側マスタ側」が選択されている。

【0090】

次に、上述した本実施形態におけるバス信号方向切替機構を備えないと仮定した際にシリアルクロックSCLバス上に異常信号が印可された際の各シリアルバス信号が如何なる状態になるか説明する。

【0091】

図4は、第1の実施形態の内視鏡システムにおいて、シリアルデータSDAのバス信号方向切替機構を備えないと仮定した場合にシリアルクロックSCLバス上に異常信号が印可された際の各シリアルバス信号の状態を示したタイミングチャートである。

【0092】

本実施形態の如き内視鏡システムは、いわゆる電気メス等のノイズ源の近傍で用いられることも多く、CMOSセンサ11におけるI2Cスレーブ10とプロセッサ3におけるI2Cマスタ30とを接続するシリアルデータSDAおよびシリアルクロックSCLの一部を内設するケーブル20はこの種のノイズに曝されることとなる。

【0093】

そして、上述したように、電気メス等の周辺機器は比較的強力なノイズ源となり得ることから、ケーブル20がたとえ十分なノイズ耐性を備えていたとしても、シリアルクロックSCLにおける特にI2Cスレーブ10(CMOSセンサ)側では、当該外来ノイズをシリアルクロックSCLの立上りエッジと誤認する虞がある。

【0094】

図4は、スレーブ側シリアルクロックSCL(SLAVE\_SCL)において、I2Cシステムが前記外来ノイズをシリアルクロックSCLの立上りエッジと誤認した場合の様子を示している。

【0095】

図4に示すように、前記外来ノイズによりI2Cスレーブ10側ではシリアルクロックSCLが1個多く見え、bitずれが生じることとなる。一方、I2Cマスタ30側では、1b(Read)と0b(Ack)とが衝突しているように見える。

【0096】

ところで、I2Cでは、マルチ・マスタ・バスで衝突検知とバス・アービトレーションでバス調停(バスの所有権の調停)することを前提とするので、I2Cバス上において衝突が生じた場合、それは複数のマスタが同時にアクセスしていると解釈し、また、これら他マスタ同士の衝突は保障されているので問題はない。

【0097】

しかしながら、I2Cシステムにおいて、図4に示す如く、マスタ-スレーブ間においてのbitズレによる衝突は想定外の挙動である。

【0098】

よって本実施形態の如きシリアルデータSDAのバス信号方向切替機構を備えないと仮定すると、外来ノイズをシリアルクロックSCLの立上りエッジと誤認したような場合、マスタであるプロセッサは、他マスタとの同時アクセスと誤解し、シリアルクロックSCLおよびシリアルデータSDAを停止し、すなわちバスをフリー状態にしてしまう。

【0099】

そして、I2Cマスタ30による上記シリアルクロックSCLおよびシリアルデータSDAの停止タイミングが、スレーブ側のLドライブ(例えば、上述したAckによる)と重なった場合、シリアルデータSDAは“L”に引張られたまま停止することになるので

10

20

30

40

50

、バスはビジー状態となり復帰することができない。

【0100】

すなわち、I2Cマスタ30からは、バスがビジー状態のように見え続けるので、I2Cマスタ30は待機したままで復帰しないこととなり、いわゆるシステムフリーズ状態となる。その結果、I2Cマスタ30は、I2Cスレーブ10(CMOSセンサ11)以外のスレーブにアクセスすることが不可能になってしまうという不都合が生じる。

【0101】

図5は、上述の如き構成されたバス信号方向切替機構を備える本第1の実施形態において、シリアルクロックSCLバス上に異常信号が印可された際の各シリアルバス信号の状態について説明する。

【0102】

上述したように、本第1の実施形態においてはバス信号方向切替機構により原則としてシリアルデータSDAにおけるバス信号の方向を前記第1の方向「マスタ側 スレーブ側」に設定する。すなわち、信号制御部31からのバス信号方向切替信号DIRECTIONは“L”状態に設定される。

【0103】

そして、I2Cマスタ30側が、CMOSセンサ11におけるI2Cスレーブ10からのデータを受信する受信bit時(例えば、AckまたはReadData)の際にのみ、シリアルデータSDAにおけるバス信号の方向を前記第2の方向「スレーブ側 マスタ側」に設定する。

【0104】

これにより、図4に示すようなタイミングでSLAVE\_SCLに外来ノイズが混入され、シリアルクロックSCLが1個多く見え擬似クロックが生じたとしても、この擬似クロックが生じるタイミングにおいてバス信号方向切替信号DIRECTIONは未だ“L”状態であるため、この直後にI2Cスレーブ10からI2Cマスタ30に対してAck信号が送信されたとしても、バス信号方向切替信号DIRECTIONが“L”状態である限りI2Cマスタ30はこのAck信号を受信することはない。

【0105】

この後、シリアルデータSDAにおいてI2Cスレーブ10からI2Cマスタ30に対してReadDataが送信されたとしても(このとき、信号制御部31は、第2の方向「スレーブ側 マスタ側」を選択するとしてバス信号方向切替信号DIRECTIONを“H”状態にしている)、I2Cマスタ30はAck信号を受信しない状態でReadDataを受けことからNoAckであるとして処理する。

【0106】

すなわち、I2Cマスタ30は、NoAckであってReadDataを受信したとしてStop bitを発行して双方bitシーケンスはリセットされ、再度Read処理を行う。

【0107】

そして、図5に示すように、受け取ったReadDataが0bであれば、I2Cマスタ30はこれをAckと解釈することになり、1bitずれたDataを読み出すこととなるが、2,3度読みで確認する等、誤ったDataのReadは、I2Cマスタ30のソフトシーケンスを工夫することで上述した図4に示すような不具合は回避することができる。

【0108】

以上説明したように本実施形態によると、撮像素子としてCMOSセンサを搭載する内視鏡を有する内視鏡システムにおける通信システムにおいて、外来ノイズによるシステムフリーズの発生を回避することができる。

【0109】

なお、上述した実施形態においては、FPGA32により構成される、シリアルデータSDAのバス信号方向切替機構をプロセッサ3内に設けたが、当該バス信号方向切替機構

10

20

30

40

50

の配設位置はこれに限らない。すなわち、当該バス信号方向切替機構をI2Cマスタ30とI2Cスレーブ10の間、例えば内視鏡2側におけるコネクタ部21または操作部等に配設しても同等の効果を奏することができる。

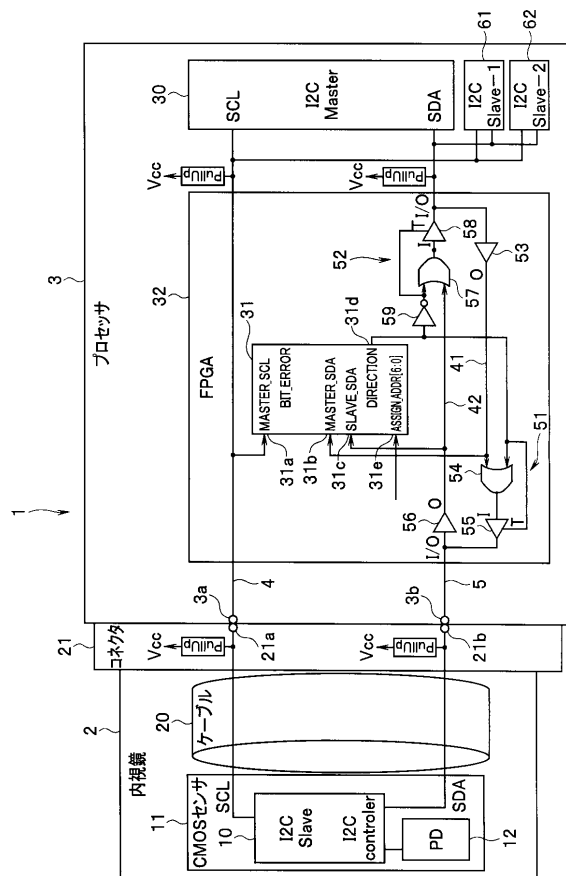
【0110】

また、本発明は、上述した実施形態に限定されるものではなく、本発明の要旨を変えない範囲において、種々の変更、改変等が可能であり、上述した実施形態等を部分的に組み合わせる等して構成される実施形態も本発明に属する。

【0111】

本出願は、2014年12月25日に日本国に出願された特願2014-263188号公報を優先権主張の基礎として出願するものであり、上記の開示内容は、本願明細書、請求の範囲、図面に引用されたものとする。

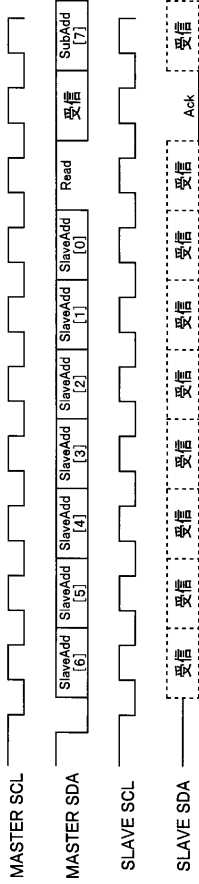
【図1】



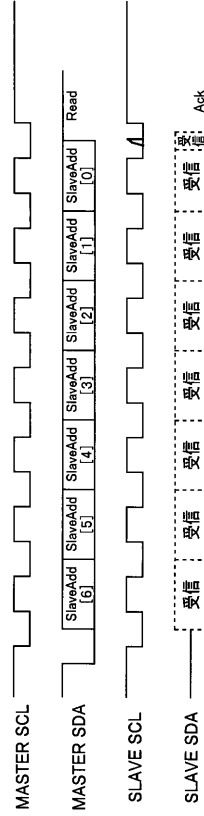
【図2】

T	I	I/O	O
1	X	Z	I/O
0	1	1	1
0	0	0	0

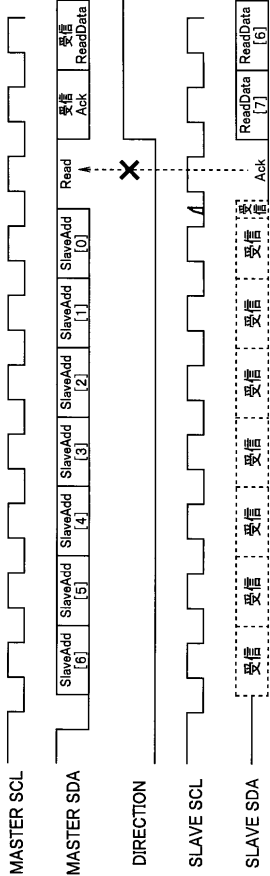
【  3 】



【  4 】



【  5 】



## フロントページの続き

- (72)発明者 石関 学  
東京都八王子市石川町2951番地 オリンパス株式会社内
- (72)発明者 河野 秀太郎  
東京都八王子市石川町2951番地 オリンパス株式会社内

審査官 樋熊 政一

- (56)参考文献 特開平05-048671(JP,A)  
実開平06-005242(JP,U)  
米国特許第6724224(US,B1)  
特開平06-224976(JP,A)  
特開平05-075583(JP,A)  
特開2012-195639(JP,A)  
特開2008-149125(JP,A)

(58)調査した分野(Int.Cl., DB名)

A61B 1/00 - 1/32  
G02B 23/24 - 23/26  
H04L 5/14 - 5/18  
H04L 13/00 - 13/18  
G06F 3/00 - 3/18  
G06F 13/38 - 13/42