

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-28782

(P2010-28782A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 5/135 (2006.01)	H03K 5/135	5B079
G06F 1/10 (2006.01)	G06F 1/04 330A	5J001

審査請求 有 請求項の数 24 O L (全 11 頁)

(21) 出願番号	特願2008-266708 (P2008-266708)	(71) 出願人	598139748 國立交通大學 台灣新竹市大學路1001號
(22) 出願日	平成20年10月15日(2008.10.15)	(74) 代理人	110000154 特許業務法人はるか国際特許事務所
(31) 優先権主張番号	097127581	(72) 発明者	リー チュン-イ 台灣新竹市大學路1001号
(32) 優先日	平成20年7月21日(2008.7.21)	(72) 発明者	ユー ジュイーユアン 台灣新竹市大學路1001号
(33) 優先権主張国	台灣(TW)	(72) 発明者	ユー チエン-イン 台灣新竹市大學路1001号
		(72) 発明者	チェン ジュイン-ティン 台灣新竹市大學路1001号
		Fターム(参考)	5B079 BA04 BC03 CC14 5J001 AA11 BB20 CC03 DD02 DD03 DD08 DD09

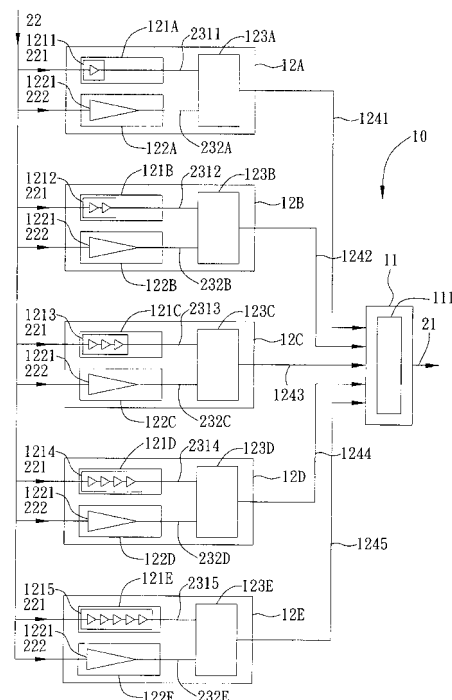
(54) 【発明の名称】 絶対遅延時間発生装置

(57) 【要約】 (修正有)

【課題】外部水晶体を参照信号源とせず、正確な周波数を発生する。

【解決手段】PVT検知装置は複数の遅延モジュールと信号位相/周波数制御モジュールを含む。各遅延モジュールは対照ユニットと参照ユニットを含む。対照ユニットと参照ユニットは互いにPVTに対する異なる感度の遅延特性を有する。各遅延モジュールは入力信号がそれぞれ対照ユニットと参照ユニットを通過してから生じた位相又は周波数の相違を対照し、各遅延モジュールの遅延パラメータを発生する。信号位相/周波数制御モジュールは各遅延パラメータを受けて対照し、絶対遅延時間発生装置の外部環境のPVT状態を検出し、遅延時間発生装置を制御して補正することにより、正確な絶対遅延時間を発生する。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

対照ユニットと参照ユニット及び信号位相 / 周波数検出ユニットを含み、入力信号が対照ユニットと参照ユニットのそれぞれを通して生じる遅延状態を前記信号位相 / 周波数検出ユニットで比較し、遅延パラメータを発生する遅延モジュールと、

前記遅延モジュールから、前記遅延パラメータを受けて比較し、前記遅延パラメータに基づいて絶対遅延時間の遅延状態を検出し、前記遅延状態に応じて絶対遅延時間を発生するための信号位相 / 周波数制御モジュールと、

遅延時間発生器と、

を含むことを特徴とする絶対遅延時間発生装置。

10

【請求項 2】

前記遅延モジュールは複数の直列の遅延モジュール構成、単一のカウンタを基にする遅延モジュール構成、又は単一のフェーズロック回路を基にする遅延モジュール構成のうちのいずれからなるものであり、

前記遅延モジュール構成の遅延モジュールにおける参照ユニットと対照ユニットとの遅延状態は互いに環境に対する変化が異なり、位相相違又は周波数相違である

ことを特徴とする請求項 1 に記載の絶対遅延時間発生装置。

【請求項 3】

前記遅延モジュールにおける対照ユニットと参照ユニットの数は参照ユニットと対照ユニットとの間、参照ユニットと参照ユニットとの間、又は対照ユニットと対照ユニットとの間に環境の変化による遅延状態の相違に応じるものであり、

前記相違は位相相違又は周波数相違である

ことを特徴とする請求項 1 に記載の絶対遅延時間発生装置。

20

【請求項 4】

前記信号位相 / 周波数制御モジュールは、絶対遅延時間発生装置の位相相違又は周波数相違を有する遅延状態に応じてパラメータを発生し、そのパラメータに応じて補正信号を発生するための遅延状態データユニットを含む

ことを特徴とする請求項 1 に記載の絶対遅延時間発生装置。

【請求項 5】

前記遅延時間発生器は、補正信号を受け、この補正信号に基づいて絶対遅延時間発生装置自身の遅延状態を調整することにより、前記遅延時間発生器の出力が周期性発振周波数又は単純の信号遅延になる

ことを特徴とする請求項 1 に記載の絶対遅延時間発生装置。

30

【請求項 6】

前記遅延時間発生器はデジタル回路方式又はアナログ回路方式で前記遅延時間発生装置の遅延状態を調整し、

前記デジタル回路方式は符号化や数字などで制御し、

前記アナログ回路方式は電圧や電流で制御する

ことを特徴とする請求項 1 又は 5 に記載の絶対遅延時間発生装置。

【請求項 7】

前記遅延時間発生器は、補正信号を受けて、補正信号に基づいて発振信号の遅延状態を調整するためのデジタル発振器である

ことを特徴とする請求項 5 に記載の絶対遅延時間発生装置。

40

【請求項 8】

前記デジタル制御発振器は遅延ラインを含み、補正信号を受けて、補正信号に基づいて遅延ラインの長さを調整することで、発振信号の遅延状態を補正する

ことを特徴とする請求項 7 に記載の絶対遅延時間発生装置。

【請求項 9】

前記対照ユニットと参照ユニットはそれぞれ入力信号を受け、それぞれ対照信号と参照信号を発生する

50

ことを特徴とする請求項 1 に記載の絶対遅延時間発生装置。

【請求項 10】

前記対照ユニットが受けた入力信号と前記参照ユニットが受けた入力信号は同位相又は同周波数である

ことを特徴とする請求項 9 に記載の絶対遅延時間発生装置。

【請求項 11】

前記対照信号と参照信号は異なる位相又は周波数である

ことを特徴とする請求項 9 に記載の絶対遅延時間発生装置。

【請求項 12】

前記遅延モジュールは位相又は周波数信号である対照信号と参照信号との遅延状態を対照し、各遅延モジュールの遅延パラメータを発生するための信号位相 / 周波数検知ユニットを含む

10

ことを特徴とする請求項 1 に記載の絶対遅延時間発生装置。

【請求項 13】

前記対照ユニットと参照ユニットは異なる遅延特性を有する遅延素子をそれぞれ含み、前記異なる遅延特性を有する遅延素子は対照信号と参照信号との遅延状態を発生することを特徴とする請求項 3 に記載の絶対遅延時間発生装置。

【請求項 14】

前記対照ユニットと参照ユニットは異なる遅延特性を有する遅延素子をそれぞれ含み、前記対照ユニットと参照ユニットは材料による異なる遅延特性を有する遅延素子を含む

20

ことを特徴とする請求項 3 に記載の絶対遅延時間発生装置。

【請求項 15】

前記対照ユニットと参照ユニットは異なる遅延特性を提供するように、直列の数が異なる遅延素子をそれぞれ含む

ことを特徴とする請求項 3 に記載の絶対遅延時間発生装置。

【請求項 16】

前記対照ユニットと参照ユニットは異なる遅延特性を提供するように、異なる回路構成を有する遅延素子をそれぞれ含む

ことを特徴とする請求項 3 に記載の絶対遅延時間発生装置。

【請求項 17】

30

前記遅延モジュールを複数備え、各対照ユニットは異なる遅延特性を有する遅延素子をそれぞれ含む

ことを特徴とする請求項 1 に記載の絶対遅延時間発生装置。

【請求項 18】

前記遅延モジュールを複数備え、異なる遅延特性を有する各遅延素子は各対照信号の間に遅延状態を発生する

ことを特徴とする請求項 17 に記載の絶対遅延時間発生装置。

【請求項 19】

前記遅延モジュールを複数備え、各対照ユニットは材料による異なる遅延特性を有する遅延素子をそれぞれ含む

40

ことを特徴とする請求項 17 に記載の絶対遅延時間発生装置。

【請求項 20】

前記遅延モジュールを複数備え、各対照ユニットは直列数による異なる遅延特性を有する遅延素子をそれぞれ含む

ことを特徴とする請求項 17 に記載の絶対遅延時間発生装置。

【請求項 21】

前記遅延モジュールを複数備え、各対照ユニットは回路構成による異なる遅延特性を有する遅延素子をそれぞれ含む

ことを特徴とする請求項 17 に記載の絶対遅延時間発生装置。

【請求項 22】

50

前記遅延パラメータは位相及び／又は周波数の比較値であることを特徴とする請求項１に記載の絶対遅延時間発生装置。

【請求項２３】

前記比較値は

$$\tau(P, V, T) = d_{VAR}(P, V, T) / d_{REF}(P, V, T)$$

であり、

$d_{VAR}(P, V, T)$ は可変の対照ユニットの遅延であり、

$d_{REF}(P, V, T)$ は参照ユニットの遅延である

ことを特徴とする請求項２２に記載の絶対遅延時間発生装置。

【請求項２４】

前記信号位相／周波数制御モジュールは前記比較値を比較し、比較した比較値が遅延モジュールにおける対照ユニットの遅延状態を対応させることで、絶対遅延時間発生装置の遅延状態を検出する

ことを特徴とする請求項２３に記載の絶対遅延時間発生装置。

10

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、遅延時間発生装置に関し、特に、遅延時間を補正するための絶対遅延時間発生装置に関するものである。

20

【背景技術】

【０００２】

クロック発生器チップはデジタル電子装置の心臓と言える。例えば、パソコンには、各システムにおいて、少なくとも一つ又は二つのクロック発生器を用いて十数個の参照クロック信号を発生して、システムの処理速度、メモリへのアクセス、リアルタイムのマルチメディア、インターネットサービス、及び無線ネットワークの接続を制御／調節する。

【０００３】

クロック発生器の使用／発展はコンピュータ分野に限定されず、実際には様々な電子設備の部品、制御室の電信交換設備、家庭用テレビゲームのシステム、及びデジタルカメラなどにもクロック発生器が使用される。

30

【０００４】

クロック発生器は独立で正確な基礎周波数を発生することができず、一組の安定した参照信号によって正確な基礎周波数を検出しなければならない。この安定した参照信号は、通常、外部電圧を水晶発振体（以下、水晶体と称する）に印加し、水晶体が外部電圧を受けた後安定し、且つ外部環境の影響を受けにくい発振信号を発生するという特性を利用し、参照信号を安定させるためのクロック発生器の信号発生源（参照信号源）とされている。

【０００５】

しかしながら、現代化したＩＣ回路は極微小化される一方、従来の水晶体をクロック発生器の参照信号の発生源とする方式は、水晶体が体積を小さくすることができない物理的な条件に制限され、ＩＣ回路の微小化の障害となっている。

40

【０００６】

水晶体を使用しない場合、一般にはマイクロプロセッサ又はアナログ回路方式で参照信号を提供する。しかしながら、微小化されたＩＣ回路において、マイクロプロセッサ又はアナログ回路も微小化されるので、その性能は外部のプロセス／電圧／温度（process-voltage-temperature； PVT ）等の環境に影響されやすい。例えば、プロセスのトラブル、電圧のノイズ、又は温度変化などの影響で参照信号の安定性が悪くなる。

【０００７】

従って、如何に外部水晶体をクロック発生器の参照信号源とせず、外部の PVT の変

50

化により生じた出力周波数のずれの欠点を克服できる回路構成を提供するかは、微小発振器のデザインにおいて、重要な課題になっている。

【発明の開示】

【発明が解決しようとする課題】

【0008】

本発明は、上述した従来技術の欠点に鑑みてなされたものであり、本発明の主な目的は、外部水晶体を参照信号源とせず、正確な周波数を発生することができ、さらに外部のPVTの変化により周波数のずれの欠点が克服できる絶対遅延時間発生装置を提供することにある。

【0009】

上記の目的を達成するために、本発明に係る絶対遅延時間発生装置はPVT検知装置と遅延時間発生器を含む。PVT検知装置は一つ又は複数の遅延モジュールと信号位相/周波数制御モジュールとを含む。各遅延モジュールは対照ユニットと参照ユニット及び信号位相/周波数検出ユニットを含む。

【0010】

前記遅延モジュールは補正の対象である入力信号をそれぞれ遅延素子(delay cell)を含む対照ユニットと参照ユニットを通して遅延を発生させ、それぞれの遅延状態を信号位相/周波数検出ユニットで比較し、遅延パラメータを発生する。遅延モジュールが一つである場合、遅延パラメータは信号位相/周波数制御モジュールに入力され、補正信号が発生される。遅延モジュールが複数ある場合、信号位相/周波数制御モジュールは各遅延パラメータを受けてこれらの遅延パラメータを比較し、遅延状態を特定し、この遅延状態に応じて補正信号を発生する。また、遅延モジュールの数は特に限定されなく、使用状態と必要に応じて遅延モジュールの数を選べば良い。また、遅延モジュールにおける参照ユニットと対照ユニットとの遅延状態はそれぞれPVTに対して異なる変化特性を有し、変化特性は例えば信号の位相又は周波数の差異を含む。

【0011】

好ましい実施例において、上記信号位相/周波数制御モジュールは遅延状態データユニットを含み、上記各遅延パラメータを比較して特定した遅延状態に応じて信号補正パラメータを提供し、この信号補正パラメータによって補正信号を発生する。

【0012】

他の好ましい実施例において、本発明に係る絶対遅延時間発生装置は発振信号を発生するためのデジタル制御発振器(digital control oscillator)を含む。該デジタル制御発振器は補正信号を受け、補正信号に基づいて発振信号の遅延状態を調整するための可制御な遅延ライン(delay line)を含む。詳しく言えば、デジタル制御発振器は補正信号を受けて、補正信号に基づいて可制御な遅延ラインの長さを調整することで、発振信号の遅延状態を補正する。

【0013】

前記各遅延モジュールにおける対照ユニットと参照ユニットは入力信号を受け、それぞれ対照信号と参照信号を発生する。

【0014】

前記対照ユニットが受けた入力信号と参照ユニットが受けた入力信号は同位相又は同周波数である。言い換えれば、対照ユニットに入力される入力信号と参照ユニットに入力される入力信号間の遅延位相差はゼロである。

【0015】

また、対照ユニットと参照ユニットは互いに異なる遅延特性を有する遅延素子をそれぞれ含み、それぞれ対照信号と参照信号との遅延状態を発生する。ここで、異なる遅延特性を有する遅延素子とは、対照ユニットと参照ユニットに含まれる遅延素子の材料及び/又は直列に接続された遅延素子の数及び/又は回路デザインが異なることにより、異なる遅延特性を有することである。

【0016】

前記対照ユニットに入力された入力信号と参照ユニットに入力された入力信号は、それぞれ対照ユニットと参照ユニットに含まれる異なる遅延特性を有する遅延素子を通り、それぞれ対照ユニットから出力した対照信号と参照ユニットから出力した参照信号の遅延状態を発生する。対照ユニットから出力された対照信号と参照ユニットから出力された参照信号は互いに異なる位相又は異なる周波数を有する。

【0017】

また、複数の遅延モジュールの各遅延モジュールの対照ユニットは、同一遅延特性を有する遅延素子を複数個直列に接続して構成してもよく、異なる遅延特性を有する遅延素子を一つ、又は複数直列に接続して構成しても良い。ここで、異なる遅延特性を有する遅延素子とは、遅延素子の材料及び／又は回路デザインの異なることにより、異なる遅延特性を有することである。

10

【0018】

注意すべきなのは、それぞれの遅延モジュールの対照ユニットに入力される入力信号は同位相である。言い換えれば、それぞれの対照ユニットに入力される入力信号の間の遅延位相差はゼロである。それぞれ複数の対照ユニットに入力された入力信号が、異なる遅延特性を有する遅延素子を通ることにより、各対照ユニットから出力される出力信号である対照信号の間に遅延状態を発生する。つまり、複数の対照信号の間に異なる位相又は異なる周波数が発生する。

【0019】

遅延モジュールに含まれる信号／周波数検出ユニットはそれぞれの遅延モジュールの対照ユニットの出力である対照信号と参照ユニットの出力である参照信号との遅延状態を比較し、各遅延モジュールの出力とする遅延パラメータを発生する。

20

【0020】

好ましい実施例において、遅延パラメータは比較値である。この比較値は可変の対照ユニットの遅延を参照ユニットの遅延に割る。つまり、比較値 τ を以下の式により算出する。

$$\tau(P, V, T) = d_{VAR}(P, V, T) / d_{REF}(P, V, T)$$

【0021】

ここで、 $d_{VAR}(P, V, T)$ は可変の対照ユニットの遅延であり、 $d_{REF}(P, V, T)$ は参照ユニットの遅延である。また、上述の分析によれば、各遅延モジュールの参照ユニットの遅延 $d_{REF}(P, V, T)$ が同一である一方、各遅延モジュールの可変の対照ユニットの遅延 $d_{VAR}(P, V, T)$ は異なる。

30

【0022】

P, V, T の条件が異なると、各遅延モジュールは異なる遅延状態を発生する。複数の遅延モジュールは複数種の位相／周波数の前進 (advance) 又は遅延の組み合わせを発生する。上記の位相又は周波数の組み合わせから、 P, V, T 条件での比較値が求められ、この比較値に対応する遅延モジュールとその遅延状態を P, V, T 条件での遅延補正パラメータとして、遅延状態を特定する。

【0023】

上述のように、本発明に開示された絶対遅延時間発生装置及び外部の P, V, T が参照ユニットの安定性に影響を及ぼすことに対して考案された本発明の動的な補正方式によれば、異なる P, V, T 条件のものと各遅延モジュールの遅延パラメータを分析し、現在の P, V, T 条件による絶対遅延時間発生装置に生じた遅延状態を検出し補正信号を発生し、 P, V, T 条件が変わっても、発振器が安定した状態で正確に作動するようにしたのである。

40

【0024】

上述のように、本発明に係る絶対遅延時間発生装置によれば、外部の水晶体をクロック発生器の参照信号の発生源とすることなく、現在の P, V, T 条件を動的に検知し、直ちにシステムの補正を行い、微小サイズの IC 回路において P, V, T 変化による生じる出力周波数のずれの欠点を克服することができる。

【発明を実施するための最良の形態】

50

【 0 0 2 5 】

以下、具体的な実施例によって本発明の実施態様を説明する。当業者は本明細書に記載の内容から本発明のその他の利点や効果を容易に理解することができる。また、本発明は本発明の要旨を逸脱しない範囲において、他の異なる具体的な実施例によって実施することもできる。本明細書に記載の実施形態に種々の修飾と変更が可能であることは言うまでもない。またそうした修飾や変更も本発明の範囲に含まれる。

【 0 0 2 6 】

以下の実施例は本発明の要旨を詳述するためのものであるが、本発明の範囲を限定するものではない。

【 0 0 2 7 】

図 1 に、本発明に係る絶対遅延時間発生装置の基本構成のブロックを示す。図 1 に示すように、本発明に係る絶対遅延時間発生装置 1 0 は一つ又は複数の遅延モジュール 1 2 A、1 2 B、... と信号位相 / 周波数制御モジュール 1 1 を含む。図には便宜上五つの遅延モジュールを示したが、その数は自由に決めることができる。各遅延モジュール 1 2 A、1 2 B、... は対照ユニット 1 2 1 A、1 2 1 B、...、参照ユニット 1 2 2 A、1 2 2 B、...、及び位相 / 周波数検知ユニット 1 2 3 A、1 2 3 B ... を含む。対照ユニットと参照ユニットは異なる遅延特性を有する遅延素子 1 2 1 1、1 2 1 2、... と 1 2 2 1、1 2 2 2、... をそれぞれ含む。

【 0 0 2 8 】

次に第 1 の遅延モジュール 1 2 A を例にして、遅延モジュールの動作を説明する。

【 0 0 2 9 】

遅延モジュール 1 2 A は入力信号 2 2 が対照ユニット 1 2 1 A と参照ユニット 1 2 2 A のそれぞれを個別に通ってそれぞれ遅延された対照信号 2 3 1 1 と参照信号 2 3 2 が出力され、この対照信号 2 3 1 1 と参照信号 2 3 2 が位相 / 周波数検知ユニット 1 2 3 A に入力され、位相 / 周波数検知ユニット 1 2 3 A で対照信号 2 3 1 1 と参照信号 2 3 2 A が比較され、遅延モジュール 1 2 A より遅延パラメータが出力され、この出力が信号位相 / 周波数制御モジュール 1 1 に入力される。同様に、第 2 遅延モジュール 1 2 B 及び以降の各遅延モジュール 1 2 C、1 2 D、1 2 E、1 2 F よりそれぞれ異なる遅延パラメータが出力され、上述の信号位相 / 周波数制御モジュール 1 1 に入力される。この遅延状態データは位相又は周波数差である。次に遅延状態データが位相差である場合を例にして説明する。

【 0 0 3 0 】

信号位相 / 周波数制御モジュール 1 1 は遅延モジュール 1 2 A から遅延パラメータを受けて、P V T 環境中にある遅延状態を検出し、この遅延状態に応じて補正信号を出力する。遅延モジュール 1 2 A における対照ユニット 1 2 1 A と参照ユニット 1 2 2 A が入力信号 2 2 を受け、入力信号 2 2 が、異なる遅延特性を有する遅延素子 1 2 1 1 と 1 2 1 1 をそれぞれ通り、対照ユニット 1 2 1 A が対照信号 2 3 1 1 を、参照ユニット 1 2 2 が参照信号 2 3 2 A を出力する。対照信号 2 3 1 1 と参照信号 2 3 2 A は異なる遅延状態になっている。

【 0 0 3 1 】

対照ユニット 1 2 1 が受けた入力信号 2 2 1 と参照ユニット 1 2 2 が受けた入力信号 2 2 2 は同一入力信号であり、同位相である。言い換えれば、対照ユニット 1 2 1 に入力される入力信号 2 2 1 と参照ユニット 1 2 2 に入力される入力信号 2 2 2 との遅延位相差はゼロである。

【 0 0 3 2 】

遅延モジュールが複数ある場合、複数の遅延モジュール 1 2 A、1 2 B、... から出力される遅延パラメータ 1 2 4 1、1 2 4 2、... は信号位相 / 周波数制御モジュール 1 1 に入力されて、比較される。

【 0 0 3 3 】

ここで、上述の異なる遅延特性を有する遅延素子とは、対照ユニット 1 2 1 と参照ユニ

10

20

30

40

50

ット 1 2 2 に含まれる遅延素子は材料及び / 又は直列の数が異なることにより、異なる遅延特性を有することである。即ち、図 1 に示す並列接続された各遅延モジュール 1 2 A、1 2 A、... の他に、遅延モジュールの構造を実現する方式は単一のカウンター又は単一のフェーズロック回路 (Phase Locked Loop) に基づくものであっても良い。また、遅延モジュールのデザインの趣旨は、一つの参照ユニットと一つの対照ユニットとの遅延状態 (即ち時間遅延) が P V T の変化に対する相違である一方、参照ユニット 1 2 2 と対照ユニット 1 2 1 との相違が位相差又は周波数差であっても良い。なお、一つの遅延モジュールに含まれる対照ユニットと参照ユニットの数は特に制限されない。また、参照ユニットと対照ユニットとの間、参照ユニットと参照ユニットとの間、及び対照ユニットと対照ユニットとの間には、P V T の変化に対して遅延状態の相違を有する。

10

【 0 0 3 4 】

なお、便宜上のために、本発明の図示には遅延素子 1 2 1 1 と 1 2 2 1 の大きさに区別を付けて、遅延素子 1 2 1 1 と 1 2 2 1 が異なる素子であり、異なる遅延特性を有することを表した。遅延素子 1 2 1 1 と 1 2 2 1 は遅延特性が異なればよく、その大きさは限定されない。

【 0 0 3 5 】

詳しく言えば、遅延モジュール 1 2 A、1 2 B、... は、対照ユニット 1 2 1 A と参照ユニット 1 2 2 A を介して同位相の入力信号 2 2 1 と 2 2 2 をそれぞれ受け、それらの入力信号が、異なる遅延特性を有する遅延素子 1 2 1 1 と 1 2 2 1 をそれぞれ通ることにより、対照ユニット 1 2 1 A、1 2 1 B から出力された対照信号 2 3 1 1 と参照ユニット 1 2 2 A から出力された参照信号 2 3 2 A には互いに異なる位相を有する遅延状態を生じる。

20

【 0 0 3 6 】

また、遅延モジュール 1 2 A、1 2 B、... は対照信号 2 3 1 1 と参照信号 2 3 2 A、2 3 2 B、... を受けてそれらの信号の遅延状態を比較し、遅延モジュール 1 2 A、1 2 B、... の遅延パラメータを検出するための信号位相 / 周波数検知ユニット 1 2 3 A、1 2 3 B、... を含む。上述したように、遅延モジュール 1 2 A、1 2 B、... と位相 / 周波数検知ユニット 1 2 3 を組み合わせることで、P V T を検出する装置を構成することができる。

【 0 0 3 7 】

また、図 1 に示すように、五組の遅延モジュール 1 2 A、1 2 B、... は何れも対照ユニット 1 2 1 A、1 2 1 B、... を含む。なお、五組の対照ユニット 1 2 1 A、1 2 1 B、... は異なる遅延特性を有する遅延素子 1 2 1 1、1 2 1 2、1 2 1 3、1 2 1 4、1 2 1 5 をそれぞれ含む。

30

【 0 0 3 8 】

異なる遅延特性を有する遅延素子 1 2 1 1、1 2 1 2、1 2 1 3、1 2 1 4、1 2 1 5 は含まれた遅延素子の材料及び / 又は直列に接続された遅延素子の数が異なることで、五組の遅延素子 1 2 1 1、1 2 1 2、1 2 1 3、1 2 1 4、1 2 1 5 が互いに異なる遅延特性を有する。

【 0 0 3 9 】

便宜上のために、本発明の図式は五組の遅延素子 1 2 1 1、1 2 1 2、1 2 1 3、1 2 1 4、1 2 1 5 における遅延素子の数の異なりにより、異なる遅延特性を有することを表す。しかしながら、当該五組の遅延素子 1 2 1 1、1 2 1 2、1 2 1 3、1 2 1 4、1 2 1 5 が異なる遅延特性を有するようにする実施方式はこれに限定されない。

40

【 0 0 4 0 】

また、それぞれの五組の対照ユニット 1 2 1 A、1 2 1 B、... 入力される各入力信号 2 2 1 は同位相である。言い換えれば、それぞれ五組の対照ユニット 1 2 1 を通った各入力信号 2 2 1 の間の遅延位相差はゼロである。それらの入力信号 2 2 1 がそれぞれ対照ユニット 1 2 1 A、1 2 1 B、... に供給され、異なる遅延特性を有する五組の遅延素子 1 2 1 1、1 2 1 2、1 2 1 3、1 2 1 4、1 2 1 5 を通ることにより、五組の対照信号 2 3 1 1、2 3 1 2、2 3 1 3、2 3 1 4、2 3 1 5 に互いに異なる位相を有する遅延状態を生じる。

50

【 0 0 4 1 】

即ち、各入力信号 2 2 1 がそれぞれ対照ユニット 1 2 1 A、1 2 1 B、... に供給され、異なる遅延特性を有する五組の遅延素子 1 2 1 1、1 2 1 2、1 2 1 3、1 2 1 4、1 2 1 5 を通ることにより、五組の対照信号 2 3 1 1、2 3 1 2、2 3 1 3、2 3 1 4、2 3 1 5 が互いに異なる位相を有する遅延状態を生じ、位相 / 周波数検知ユニット 1 2 3 により該当の五組の対照信号 2 3 1 1、2 3 1 2、2 3 1 3、2 3 1 4、2 3 1 5 を受け、参照信号 2 3 2 との遅延状態を比較して、五組の遅延モジュール 1 2 A、1 2 B、... に対応する五組の遅延パラメータを生じる。

【 0 0 4 2 】

好ましい実施例において、遅延パラメータは特定の比較値を選ぶ。この特定の比較値は対照ユニットの遅延を参照ユニットの遅延で割る。つまり、比較値 τ を以下の式により算出する。

$$\tau(P, V, T) = d_{VAR}(P, V, T) / d_{REF}(P, V, T)$$

【 0 0 4 3 】

ここで、 $d_{VAR}(P, V, T)$ は対照ユニットの遅延であり、 $d_{REF}(P, V, T)$ は参照ユニットの遅延である。また、各遅延モジュールの参照ユニットの遅延 $d_{REF}(P, V, T)$ は同一である一方、各遅延モジュールの可変の対照ユニットの遅延 $d_{VAR}(P, V, T)$ は異なる。

【 0 0 4 4 】

信号位相 / 周波数制御モジュール 1 1 は五組の遅延モジュール 1 2 A、1 2 B、... からの位相 / 周波数の前進又は遅延の信号を受け、この信号により現在の特定の比較値を検知し、この特定の比較値に対応する遅延モジュール及びその遅延状態により絶対遅延時間発生装置 1 0 の遅延状態を検出することで、絶対遅延時間発生装置 1 0 が P V T 条件にある遅延補正信号を求めることができる。

【 0 0 4 5 】

図 2 に本発明に係る絶対遅延時間発生装置のより詳しい構成を示す。図 2 に示すように、本発明に係る絶対遅延時間発生装置 1 0 における信号位相 / 周波数制御モジュール 1 1 は補正信号発生パラメータを有する遅延状態データユニット 1 1 1 を含む。遅延状態データユニット 1 1 1 は補正信号発生パラメータと絶対遅延時間発生装置 1 0 が P V T 環境での遅延状態を比較し、補正信号 2 1 を発生する。

【 0 0 4 6 】

本発明に係る絶対遅延時間発生装置 1 0 はさらに遅延時間発生器 (delay-timing generator) 1 3 を含む。遅延時間発生器 1 3 は信号位相 / 周波数制御モジュール 1 1 に含まれる遅延状態データユニット 1 1 1 から補正信号を受け、この補正信号に基づいて遅延時間発生器自身の遅延状態を調整する。遅延時間発生器 1 3 の出力は周期性発振周波数又は単純の信号遅延である。信号遅延の変更や調整はデジタル回路方式又はアナログ回路方式で制御することができる。デジタル回路方式は符号化や数字などで制御する。アナログ回路方式は電圧や電流で制御する。本実施例には、遅延時間発生器 1 3 はデジタル発振信号を発生するデジタル制御発振器を例にして説明する。好ましい実施例において、デジタル制御発振器 1 3 は可制御な遅延ライン 1 3 1 を含む。

【 0 0 4 7 】

デジタル制御発振器 1 3 は補正信号 2 1 を受けて、この補正信号 2 1 に基づいて発振信号の遅延状態を調整する。詳しく言えば、デジタル制御発振器 1 3 は補正信号 2 1 を受けて、補正信号 2 1 に基づいて可制御な遅延ラインの長さを調整し、信号が可制御な遅延ライン 1 3 1 を通っている際に生じる遅延状態を制御することで、絶対遅延時間発生装置 1 0 の遅延状態を補正する。

【 0 0 4 8 】

上述のように、本発明に係る絶対遅延時間発生装置及び外部の P V T が参照ユニットの安定性に影響を及ぼすことに対して考案された本発明の動的な補正方式によれば、異なる P V T 条件のもとで各遅延モジュールの遅延パラメータを分析し、現在の P V T 条件による絶対遅延時間発生装置に生じた遅延状態を検出し補正信号を発生し、P V T 条件が変わ

10

20

30

40

50

ても、発振器が安定した状態で正確に動作するようにした。

【 0 0 4 9 】

上述のように、本発明に係る絶対遅延時間発生装置によれば、外部水晶体をクロック発生器の参照信号の発生源とすることなく、現在の P V T 条件を動的に検知し直ちにシステム補正を行い、微小サイズの I C 回路において P V T 変化による生じる出力周波数のずれの欠点を克服することができる。

【 0 0 5 0 】

また、上述した実施態様は本発明の利点や効果を説明するための例示に過ぎず、本発明を限定するものではない。本発明の要旨を逸脱しない範囲において、当業者は本明細書に記載の実施形態に種々の修飾と変更を加えることが可能であることは言うまでもない。またそうした修飾や変更も本発明の範囲に含まれる。本発明の保護範囲は請求の範囲に記載の内容によるものである。

【 図面の簡単な説明 】

【 0 0 5 1 】

【 図 1 】 本発明に係る絶対遅延時間発生装置の基本ブロックの図である。

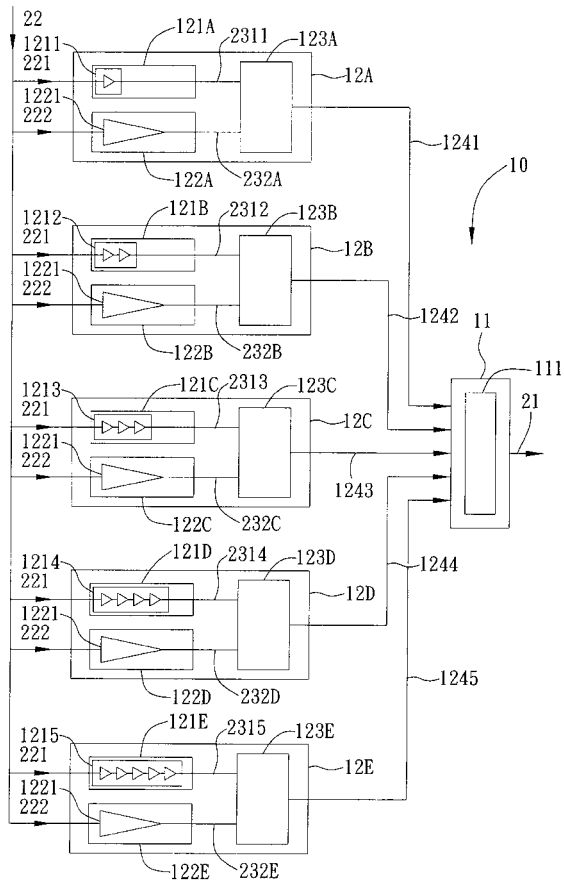
【 図 2 】 本発明に係る絶対遅延時間発生装置のより詳しい図である。

【 符号の説明 】

【 0 0 5 2 】

1 0	絶対遅延時間発生装置	
1 1	信号位相 / 周波数制御モジュール	20
1 2 A、1 2 B、1 2 C、1 2 D、1 2 E	遅延モジュール	
1 3	遅延時間発生器 (デジタル制御発振器)	
2 1	補正信号	
2 2	入力信号	
1 1 1	遅延状態データユニット	
1 2 1 A、1 2 1 B、1 2 1 C、1 2 1 D、1 2 1 E	対照ユニット	
1 2 2 A、1 2 2 B、1 2 2 C、1 2 2 D、1 2 2 E	参照ユニット	
1 2 3 A、1 2 3 B、1 2 3 C、1 2 3 D、1 2 3 E	信号位相 / 周波数検知ユニット	
1 3 1	可制御な遅延ライン	
2 2 1	対照ユニットに入力される入力信号	30
2 2 2	参照ユニットに入力される入力信号	
2 3 2	参照信号	
1 2 1 1、1 2 1 2、1 2 1 3、1 2 1 4、1 2 1 5、1 2 2 1	遅延素子	
2 3 1 1、2 3 1 2、2 3 1 3、2 3 1 4、2 3 1 5	対照信号	

【図 1】



【図 2】

