

公告本

402816

申請日期	87.10.28
案 號	8711 7860
類 別	H01L 21/00, G11C 11/34

A4
C4

402876

(以上各欄由本局填註)

發明專利說明書

402816

一、發明 名稱	中 文	記憶體單胞配置及其製造和操作方法
	英 文	Memory-cell arrangement, method for its production and method for its operation
二、發明 創作人	姓 名	1. 法蘭茲荷夫曼 (Hofmann, Franz) 2. 渥夫甘克勞屈奈德 (Krautschneider, Wolfgang) 3. 渥夫甘羅斯納 (Rosner, Wolfgang) 4. 羅什瑞屈 (Risch, Lothar) 5. 堤爾屈羅什 (Schlosser, Till) 6. 保羅 - 華納凡貝斯 (von Basse, Paul-Werner)
	國 籍	1. 德國 2. - 6. 皆屬德國
	住、居所	1. 德國慕尼黑黑80995荷伯格街25b號 2. 德國荷漢山83104安歐伯費爾德50號 3. 德國慕尼黑黑81739漢什曼陳街2號 4. 德國努比堡85579堤山街27號 5. 德國慕尼黑黑80339公園街28號 6. 德國渥夫拉赫森82515海格街60號
三、申請人	姓 名 (名稱)	西門斯股份有限公司 (SIEMENS AKTIENGESELLSCHAFT)
	國 籍	德國
	住、居所 (事務所)	德國慕尼黑D-80333威田巴契廣場2號
	代 表 人 姓 名	貝斯納 (Basner) 雷哈特 (Reinhardt)

裝

訂

線

402816

(由本局填寫)

承辦人代碼：

A6

大類：

B6

I P C分類：

本案已向：

德國(地區) 申請專利，申請日期： 案號： ☒有 ☐無主張優先權

1997年12月17日 19756183.7(主張優先權)

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

-2a-

五、發明說明()

記憶體單胞配置，特別是 DRAM 配置，ROM 配置，EPROM 配置及 EEPROM 配置，具有許多記憶體單胞，這些單胞大部份是以矩陣方式配置。各別之記憶體單胞可分別經由位元線和字線而受到控制。記憶體單胞分別具有可儲存資訊之記憶體元件。資訊之儲存例如是藉由下述方式來達成：記憶體電容器中所儲存之電荷或浮動閘極中所儲存之電荷，或電晶體之特性（例如，導通電壓）或至位元線之導電性連接之存在或不存在。

為了讀出資訊，須對各記憶體單胞依序經由相關之字線和位元線來進行控制且經由電壓計算器或電流計算器而讀出資訊（例如，請參閱 Y. Nakagome et al, IEEE Journal of Solid-State Circuits, Vol. 26, Nr. 4, 1991, 第 465 至 470 頁）。就讀出速率而言，電流計算器優於電壓計算器，但卻需要較高之電路費用。為了加快此種讀出過程，則須組合多個（例如，256 個）記憶體單胞於單胞方塊中。各別之單胞方塊然後同時讀出。但在各單胞方塊中之讀出過程仍然是依序進行。

在可寫入之之記憶體單胞配置（例如，DRAM 配置或 EEPROM 配置）中為了寫入資訊，則同樣須經由相關之位元線和字線來控制各別之記憶體單胞。同時位元線須施加一種與即將寫入之資訊相對應之電壓位準。資訊之寫入依序在所有記憶體單胞中進行。於是位元線必須每次由一個電壓狀態充電至另一電壓狀態。這和所消耗之電功率有關，此種電功率特別是在使用行動式裝置（例如，

五、發明說明(>)

行動電話，筆記型電腦，資料處理用之電腦或 PDA (Personal Digital Assistant)) 中之記憶體單胞配置時會被感受到有干擾現象。

此外，在 DRAM 配置中所產生之問題是：所儲存之資訊必須以規則之時距進行更新 (refresch)。於是資訊首先依序由記憶體單胞讀出，然後再寫入。此時亦發生不期望之功率損耗。

DRAM 配置中另一問題是由一個記憶體時代至另一個記憶體時代逐漸增加之記憶體密度。與此相關的是需要較高之封裝密度，即，每一記憶體單胞之空間需求較小。由 DE 19 519 160 C1 中已知有一種 DRAM 單胞配置，其是以 $4F^2$ 之記憶體單胞面積製成，其中 F 是以當時技術所可製成之最小結構大小。每一記憶體單胞於是設有一種垂直式 MOS 電晶體，其第一源極 - / 汲極區是與記憶體電容器之節點相連接，其通道區是由閘極電極以環形方式圍繞著且其第二源極 - / 汲極區是與已埋置之位元線相連接。沿著字線而相鄰之垂直式 MOS 電晶體之閘極電極於是互相鄰接且共同形成一條字線。

本發明之目的是提供一種記憶體單胞配置，其能以較佳之方式受到控制。特別是此種記憶體單胞配置能以 10^9 (Giga) 位元時代時所需求之記憶體密度來製成。此外，本發明亦提供此種記憶體單胞配置用之製造方法和操作方法。

上述目的是由申請專利範圍第 1 項之記憶體單胞配置

五、發明說明()

，申請專利範圍第12項之製造方法以及申請專利範圍第19和20項之操作方法來達成。本發明之其它形式則敘述在申請專利範圍各附屬項中。

半導體基體設有許記憶體單胞。各記憶體單胞分別具有至少一個垂直於半導體基體主面之選擇電晶體，其是與儲存元件相連接。選擇電晶體最好是連接在位元線和儲存元件之間。但位元線亦能以其它方式進行連接。可分別經由第一字線和第二字線來控制記憶體單胞，其中第一字線和第二字線相交。記憶體單胞之控制只藉由第一字線和第二字線來完成。位元線於是可同時被讀出。

在能以電性方式寫入之記憶體單胞配置中，同樣是藉由第一字線和第二字線來控制記憶體單胞。位元線只用來施加一種與資訊相對應之電壓位準而不是用來控制。因此，為了寫入一種與一預定之電壓位準相對應之資訊，則所有位元線須施加此一預定之電壓位準。藉由第一字線和第二字線可控制一些可儲存相關資訊之記憶體單胞。資訊藉由時脈(clock)而寫入所有相對應之記憶體單胞中。為了寫入數位式資訊，二個過程是足夠的：第一，平行地寫入"1"，第二，平行地寫入"0"。於是和先前技術比較時寫入過程可大大地加快。此外，位元線充電之次數只需對應於不同資訊之數目來進行即可。在數位式資訊時，則位元線只需充電二次。這樣即可降低功率之損耗。

在DRAM配置中，上述方式亦用來更新資訊。所儲存之

五、發明說明(4)

資訊最好是經由移位暫存器而讀出。移位暫存器中所儲存之資料字然後用來控制第一字線和第二字線，其中位元線是處於各自之電壓位準中。

由於和先前技藝比較時位元線所需之充電次數少很多，則在資訊寫入及更新時所消耗之功率會少很多。

單晶之矽晶圓或SOI-基體之單晶之矽層特別適合作為半導體基體。

所有通常使用在記憶體單胞配置中之記憶元件都適合作為記憶元件。特別是具有MOS電晶體(其具有各種不同之電性)之此種記憶元件是適合的，其例如可多次地使用在ROM-配置中；線路中斷元件(其例如可使用在ROM-配置中)，熔絲(fuses)，具有浮動閘極之MOS電晶體，記憶體電容器等都是適合的。

本發明之目的是提供一種記憶體單胞配置以作為DRAM配置。在此種情況中在讀出及寫入資訊時可達到快速存取資料之優點，亦可在資訊寫入及更新時具有功率消耗較少之優點。在此種DRAM配置中，記憶元件最好是以電容器構成，此種電容器不但可在半導體基體中特別是以溝渠式電容器構成，而且亦可在半導體基體之主面上或半導體基體之主面上方特別是以堆疊(stack)電容器構成。一般之電容器介電質都適合作為電容器介電質，特別是氧化矽，由氧化矽和氮化矽所構成之組合物，或高 ϵ (epsilon)之介電質，例如BST(鋇-鋁-鈦酸鹽)， Ta_2O_5 或SBT(鋁-鋇-鉍酸鹽)。

五、發明說明(5)

依據本發明之構造方式，多個記憶體單胞組合成一個單胞方塊。每一單胞方塊之記憶體單胞是與一條共同之位元線相連接。這樣所具有之優點是：可使位元線之電阻降低。此外，這樣會在讀取放大器設計時產生新的自由度。

本發明之範圍包括：各記憶體單胞分別具有第一選擇電晶體及第二選擇電晶體，此二個電晶體串聯在位元線和記憶元件之間。於是第一選擇電晶體可由第一字線來控制以及第二選擇電晶體可由第二字線來控制。於是就較高之封裝密度而言，相鄰之記憶體單胞可具有一個共同之第一選擇電晶體和一個共同之第一字線。相鄰之記憶體單胞具有不同之第二選擇電晶體和不同之第二字線，其分別可由共同之第一字線和不同之第二字線來控制。

依據本發明之構造方式，二個相鄰之記憶體單胞（其具有一個共同之第一選擇電晶體和不同之第二選擇電晶體）是配置在半導體圓柱中。此種半導體圓柱鄰接於半導體基體之主面且具有一些邊緣，這些邊緣是與半導體基體之主面相交。此種邊緣特別是藉由基本上平行而延伸之第一溝渠和基本上平行而延伸之第二溝渠（此二個溝渠互相相交）來界定。共同之第一選擇電晶體是以垂直式 MOS 電晶體構成，其閘極電極是配置在半導體圓柱之至少一個邊緣上。在主面之區域中配置該二個相鄰之記憶體單胞之第二選擇電晶體（其是一種平面式 MOS 電晶體）。第二選擇電晶體之閘極電極位於半導體圓柱主面之上方。這

五、發明說明(b)

些開極電極是各種不同之第二字線之成份。共同之第一選擇電晶體之開極電極是第一字線之成份。相鄰之記憶體單胞是配置在半導體圓柱中。

在本發明之此種構造中，共同之第一選擇電晶體之第一開極電極以環形方式構成因此而圍繞半導體圓柱是有利的。若沿著第一條字線中之一條而相鄰之記憶體單胞對(pair)之各個半導體圓柱配置成使其間距小於第一開極電極(平行於主面)之厚度，則相鄰之半導體圓柱之第一開極電極互相鄰接且以此種方式構成第一字線。在垂直於第一字線之方向中，相鄰之半導體圓柱之間距較第一開極電極(平行於主面)之二倍厚度還大。第一字線在此情況中是藉由自動對準之步驟(即，不需使用可對準之遮罩)來製成。

此外，本發明之範圍亦包括：分別沿著半導體圓柱之至少一個邊緣而配置第一選擇電晶體及第二選擇電晶體，半導體圓柱鄰接於半導體基體之主面且具有一些與主面相交之邊緣。第一選擇電晶體和第二選擇電晶體因此是上下重疊地配置著。第一選擇電晶體之第一開極電極和第二選擇電晶體之第二開極電極於是鄰接於半導體圓柱之各自之邊緣。

本發之範圍包括：在此種構造中第一開極電極和第二開極電極分別以環形方式圍繞半導體圓柱。此種構造最好是以下述方式製成：在半導體基體之主面中對一溝渠和第二溝渠進行蝕刻。這些第一溝渠基本上是互相平行

五、發明說明(7)

而延伸。第二溝渠基本上同樣是互相平行而延伸。第一溝渠和第二溝渠互相相交。每二個相鄰之第一溝渠和第二溝渠於是界定了一個半導體圓柱。在製造第一開極電極之前，半導體圓柱之橫切面藉由至少一個輔助結構而增大，使相鄰半導體圓柱在第一字線之方向中之間距小於第二字線之方向中者。在第二字線之區域中藉助於至少一個第二輔助結構而使半導體圓柱之橫切面增大，使得在第二字線之區域中相鄰半導體圓柱之間在第二字線方向中之間距小於第一字線之方向中者。第一字線和第二字線然後以自動對準之方式例如藉由一個層之沈積和此層之非等向性回蝕刻而以形成間隔層(spacer)之概念來製成。由於相鄰之半導體圓柱在其中一方向中之間距較在另一方向中者還小，則相鄰開極電極在上述具有較小間距之方向中是互相鄰接的，而在具有較大間距之方向中則互相隔開。以此種方式可產生鏈(chain)式互相平行延伸之導線。在此種構造中每一個半導體圓柱都具有一個記憶體單胞。

本發明之範圍亦包括：記憶體單胞只具有一個選擇電晶體，其可經由第一字線和第二字線而受到控制。選擇電晶體特別是以MOS電晶體製成，其在源極區和汲極區之間具有二個開極電極，其是第一字線之一部份或第二字線之一部份。於是可利用之事實是：第一字線之雜散磁場(field)和第二字線之雜散磁場(field)互相重疊，使得藉由控制第一字線和第二字線即可使連續性之導電性

五、發明說明(8)

通道導通。就可達成之封裝密度而言，則有利的是使選擇電晶體配置在半導體圓柱之邊緣上，此半導體圓柱是以相鄰之第一溝渠和第二溝渠為邊界，第一溝渠是和第二溝渠相交的，第一字線和第二字線則互相重疊地配置在半導體圓柱之邊緣上。若第一溝渠及第二溝渠之寬度及相互間之距離分別等於可製造之最小結構大小 F ，則此種記憶體單胞配置能以每記憶體單胞之面積需求是 $4F^2$ 之方式製成。

半導體圓柱可藉由半導體基體中溝渠之蝕刻或藉由柵格形隔離結構之開口內部之選擇性磊晶生長而形成。在第二種情況中柵格形隔離結構界定了溝渠之走向。

由於每一記憶體單胞可經由第一字線和第二字線來控制，則記憶體單胞配置可藉由第一字線和第二字線之適當控制而以折疊式位元線結構之概念來驅動。

以下將詳述本發明中顯示在各圖式中之實施例。圖式簡單說明如下：

第 1 圖係具有第一溝渠遮罩之半導體基體之切面圖。

第 2 圖係在第一溝渠被蝕刻之後半體基體之切面圖。

第 3 圖係在形成第二溝渠遮罩之後半體基體之切面圖。

第 4 圖係在第 3 圖中以 IV - IV 表示之切面圖。第 3 圖中所示之切面圖在第 4 圖中是以 III - III 表示。

第 5 圖係在第二溝渠被蝕刻之後第 4 圖中所示之切面圖。

第 6 圖係在形成第一介電層和第一導電層之後第 3 圖

五、發明說明(9)

中所示之切面圖。

第7圖係在第6圖中以VII - VII表示之切面圖。第6圖中所示之切面圖在第7圖中是以VI - VI表示。

第8圖係在形成第一字線，第二介電層和第二字線之後在第6圖中所示之經由半導體基體之切面圖。

第9圖係在第8圖中以IX - IX表示之切面圖。在第8圖中所示之切面圖在第9圖是以VIII - VIII表示。

第10圖係在形成第一 n^+ -摻雜區和第二 n^+ -摻雜區之後以及沈積一層中間氧化層，接觸區形成開口之後，電容器介電質及電容器板形成之後第8圖中所示之切面圖。

第11圖係在第10圖中以XI - XI表示之切面圖。第10圖中所示之切面在第11圖中是以X - X表示。

第12圖係在第10和第11圖中以XII - XII表示之切面。第10和第11圖中所示之切面是以X - X或XI - XI表示。

第13圖係在形成第一溝渠之後半導體基體之切面圖。

第14圖係在第一溝渠之邊緣上形成氮化物間隔層(spacer)以及 SiO_2 -結構填入第一溝渠之後第13圖中所示之半導體基體之切面圖。

第15圖係在形成第二溝渠之後第14圖中以XV - XV表示之半導體基體之切面圖。第14圖中所示之切面是以XIV - XIV表示。

第16圖係在形成第一閘極介電質和第一字線(其是以第二隔離結構覆蓋)之後第14圖所示之半導體基體之切面圖。

五、發明說明(一〇)

第17圖係在第16圖中以X V II - X V II表示之經由半導體基體之切面圖。在第16圖中所表示之半導體基體之切面圖在第17圖中是X V I - X V I表示。

第18圖係在選擇性磊晶生長以形成第二輔助結構之後第16圖中之切面圖。

第19圖係在第18圖中以X I X - X I X表示之切面圖。第18圖中所示之切面圖在第19圖中是以X V III - X V III表示。

第20圖係在對第一輔助結構進行回蝕刻，形成第二開極介電質，第二字線和第三隔離結構之後以及在植入過程之後第18圖中所示之切面圖。

第21圖係在第20圖中以X X I - X X I表示之切面圖。第20圖中所示之切面圖在第21圖中是以X X - X X表示。

第22圖係在形成電容器介電質和電容器板之後第20圖中所示之切面圖。

第23圖係在第22圖中以X X III - X X III表示之切面圖。

第24圖係在第22圖中以X I V - X I V表示之切面圖。

第25圖係在以第一字線和第二字線使資訊寫入記憶體單胞配置所用之電路。

第26圖係在以第一字線，第二字線和條形埋入式位元線來讀出記憶體單胞配置所用之電路。

圖式中之各圖未依比例繪出。

半導體基體(其至少在主面11之區域中具有單晶矽)包

五、發明說明()

括一個 p-摻雜之基體本體 12，一層配置於其上之 n^+ -摻雜之矽層 13，一層位在矽層 13 上之第一 p-摻雜層 14 和一層位在摻雜層 14 上之第二 p-摻雜層 15 (請參閱第 1 圖)。
p-摻雜之基體本體 12 所具有之摻雜物質濃度是 10^{16} cm^{-3} 。
 n^+ -摻雜之矽層 13 是由磊晶生長而產生，厚度是 500 nm ，其摻雜物質濃度是 10^{20} cm^{-3} 。第一 p-摻雜之矽層 14 和第二 p-摻雜之矽層 15 是以磊晶方式生長且總共具有之厚度是 500 nm 。第一 p-摻雜之矽層 14 具有之厚度是 200 nm 且摻雜物質濃度是 10^{17} cm^{-3} 。第二 p-摻雜之矽層 15 具有之厚度是 300 nm 且摻雜物質濃度是 10^{16} cm^{-3} 。

然後在主面 11 上藉由 SiO_2 -層之沈積和結構化而形成第一溝渠-遮罩 16。 SiO_2 -層是以 TEOS-方法沈積成 150 nm 之厚度且藉助於光漆遮罩而以 CHF_3 ， O_2 藉由乾蝕刻而被結構化。第一溝渠遮罩 16 具有條形之開口，開口之寬度是 250 nm 且相互間之距離是 250 nm 。此種寬度和距離分別等於以所使用之技術所可製成之最小結構大小 F。

在去除光漆遮罩 (其被用來形成第一溝渠遮罩 16) 之後須對第一溝渠 17 進行蝕刻，其中在以 HBr ， He ， O_2 ， NF_3 來進行之乾蝕刻過程中使用第一溝渠遮罩 16 作為蝕刻遮罩。然後例如以 HF 來進行之濕式化學蝕刻來去除第一溝渠遮罩 16 (請參閱第 2 圖)。第一溝渠 17 之深度是 1100 nm 。因此，第一溝渠 17 可向內抵達 p-摻雜之基體本體 12。於是可由 n^+ -摻雜之矽層 13 來形成條形之位元線 13'。

然後沈積一層 SiO_2 -層 18，其完全填滿第一溝渠 17。

五、發明說明(12)

以 TEOS- 方法沈積 SiO_2 - 層 18 成為 200nm 之厚度 (請參閱第 3 圖)。在 SiO_2 - 層 18 之表面上形成一個光漆遮罩 19, 其具條形之開口。光漆遮罩 19 之條形的開口垂直於第一溝渠 17 而延伸 (請參閱第 3 和第 4 圖)。光漆遮罩 19 中之條形開口之寬度是 250nm 且相互間之距離是 1250nm。

以 Ar , CF_4 , CHF_3 , N_2 , He 來進行乾蝕刻而由 SiO_2 - 層 18 形成第二溝渠遮罩 18'。然後去除光漆遮罩 19。在第二溝渠罩 18' 被結構化時第一溝渠 17 仍然是以 SiO_2 填入。以 TEOS- 方法沈積 - 層厚度 80nm 之 SiO_2 - 層且以 CHF_3 , O_2 來進行非等向性之蝕刻, 則可在第二溝渠遮罩 18' 之垂直於主面 11 之邊緣上形成 SiO_2 間隔層 190 (第 5 圖)。

在使用第二溝渠遮罩 18' 和 SiO_2 - 間隔層 190 之情況下, 藉由非等向性之乾蝕刻而形成第二溝渠 110 (第 5 圖)。第二溝渠 110 被蝕刻至 500nm 之深度, 其可向內抵達位元線 13', 但不會切斷位元線 13'。第二溝渠 110 之深度須使第一 p- 摻雜之矽層 14 可確實被切割。第二溝渠 110 之寬度是 90nm, 其和第二溝渠遮罩 18' 中條形之開口之寬度比較時所減少之值是 SiO_2 - 間隔層 190 之寬度。

然後以 CHF_3 , O_2 來進行非等向性之蝕刻, 則可選擇性地對矽之方式來對 SiO_2 - 間隔層 190 和第二溝渠遮罩 18' 之上部區域進行蝕刻。第二溝渠遮罩 18' 之存在於第一溝渠 17 中之部份會被蝕刻至一種程度, 使得在第一溝渠 17 中可由第二溝渠遮罩 18' 形成第一隔離結構 18" (第 6 圖和第 7 圖)。第一隔離結構 18" 覆蓋第一溝渠之底部且抵達

五、發明說明(13)

位元線 13' 之上部區域。第一 p-摻雜之矽層 14 邊緣，第二 p-摻雜之矽層 15 邊緣以及位元線 13' 之上部區域中之邊緣於是可裸露出來。第一隔離結構 18 之高度大約是 500nm。

藉由熱氧化作用而由 SiO_2 形成一層厚度 5 nm 之第一介電層 111，在第一介電層 111 上沈積一層導電層 112，導電層 112 是由原處 (in situ) 摻雜之多晶矽所形成，其厚度是 80nm。使用磷 (p) 作為摻雜物質。摻雜物質濃度是 10^{21} cm^{-3} 。導電層 112 完全填滿第二溝渠 110。第一溝渠 17 中未完全填滿該導電層 112 (第 6 圖及第 7 圖)。

以 $\text{He}, \text{HBr}, \text{Cl}_2, \text{C}_2\text{F}_6$ 來進行非等向性蝕刻，此時以選擇性地對第一介電層 111 之方式來對導電層 112 進行蝕刻，於是可去除導電層 112 直至主面 11 下方 200nm 之深度處，此時可由導電層 112 形成第一字線 112'。須測量第一字線 112' 之高度，使其能可靠地覆覆第一 p-摻雜之矽層 14 之邊緣已被第一介電層 111 所覆蓋之此種區域。字線 112' 是由環形之元件所形成，這些環形元件分別圍繞著半導體圓柱。在第一溝渠 17 之方向中相鄰之環形元件因此互相鄰接 (第 8 圖及第 9 圖)。藉由 SiO_2 層之沈積和回蝕刻而以第二隔離結構 113 填入第一溝渠 17 和第二溝渠 110 中。以 TEOS- 方法沈積一層厚度為 200nm 之 SiO_2 層。回蝕刻是以 CHF_3, O_2 來進行。在形成第二隔離結構 113 時，在第一溝渠 17 和第二溝渠 110 外部之主面 11 會裸露出來。

藉由熱氧化作用而由 SiO_2 形成一層厚度是 5 nm 之第二

五、發明說明(14)

介電層 114。在第二介電層 114 上產生條形之第二字線 115 及位於其上之條形之氮化矽結構 116 (第 8 圖及第 9 圖)。第二字線 115 平行於第二溝渠 110 而延伸。為了形成第二字線，則須沈積第二導電層及一層氮化矽層且藉助於光漆遮罩而以條形方式進行結構化。此時須使用下述之蝕刻程序： CF_4 ， O_2 ， N_2 / He ， HBr ， Cl_2 ， C_2F_6 。所形成之第二字線 115 之寬度是 250nm ，間距是 250nm ，長度是 $200\mu\text{m}$ 且厚度是 150nm 。第二字線 115 例如是由原處 (in situ) 摻雜之多晶矽所形成。磷適合作為摻雜物質，其摻雜物質濃度是 10^{21}cm^{-3} 。條形之氮化矽結構 116 所具有之尺寸和第二字線 115 相同且厚度是 50nm 。

藉由氮化矽層之沈積和氮化矽層之非等向性蝕刻而在第二字線 115 之邊緣上形成氮化矽間隔層 (spacer)。此種氮化矽層是 CVD 方法沈積而成，其厚度是 30nm 。此種蝕刻是以 CF_4 ， O_2 ， N_2 來進行。此種蝕刻是選擇性地對 SiO_2 來進行。

然後在使用光漆遮罩 (未顯示) 作為植入用遮罩之情況下形成第一 n^+ -摻雜區 118。第一 n^+ -摻雜區 118 是配置在相鄰之第一溝渠 17 之間且鄰接於第一主面 11 且是與至第一 p-摻雜之矽層 14 之邊界面相鄰接。在每一個半導體圓柱 (其是由相鄰之第一溝渠 17 和第二溝渠 110 所界定) 中設置一個第一 n^+ -摻雜區 118，其大約是在相鄰之二個溝渠 110 之間的中央 (第 10 圖和第 11 圖)。第一 n^+ -摻雜區 118 所具有之摻雜物質濃度是 10^{20}cm^{-3} 且深度是 300nm 。植

五、發明說明(14)

介電層 114。在第二介電層 114 上產生條形之第二字線 115 及位於其上之條形之氮化矽結構 116 (第 8 圖及第 9 圖)。第二字線 115 平行於第二溝渠 110 而延伸。為了形成第二字線，則須沈積第二導電層及一層氮化矽層且藉助於光漆遮罩而以條形方式進行結構化。此時須使用下述之蝕刻程序： CF_4 ， O_2 ， N_2/He ， HBr ， Cl_2 ， C_2F_6 。所形成之第二字線 115 之寬度是 $250nm$ ，間距是 $250nm$ ，長度是 $200\mu m$ 且厚度是 $150nm$ 。第二字線 115 例如是由原處 (in situ) 摻雜之多晶矽所形成。磷適合作為摻雜物質，其摻雜物質濃度是 $10^{21} cm^{-3}$ 。條形之氮化矽結構 116 所具有之尺寸和第二字線 115 相同且厚度是 $50nm$ 。

藉由氮化矽層之沈積和氮化矽層之非等向性蝕刻而在第二字線 115 之邊緣上形成氮化矽間隔層 (spacer)。此種氮化矽層是 CVD 方法沈積而成，其厚度是 $30nm$ 。此種蝕刻是以 CF_4 ， O_2 ， N_2 來進行。此種蝕刻是選擇性地對 SiO_2 來進行。

然後在使用光漆遮罩 (未顯示) 作為植入用遮罩之情況下形成第一 n^+ -摻雜區 118。第一 n^+ -摻雜區 118 是配置在相鄰之第一溝渠 17 之間且鄰接於第一主面 11 且是與至第一 p -摻雜之矽層 14 之邊界面相鄰接。在每一個半導體圓柱 (其是由相鄰之第一溝渠 17 和第二溝渠 110 所界定) 中設置一個第一 n^+ -摻雜區 118，其大約是在相鄰之二個溝渠 110 之間的中央 (第 10 圖和第 11 圖)。第一 n^+ -摻雜區 118 所具有之摻雜物質濃度是 $10^{20} cm^{-3}$ 且深度是 $300nm$ 。植

五、發明說明 (16)

然後沈積一種由 SiO_2 所構成之電容器介電質 122，一種由 SiO_2 ， Si_3N_4 和 SiO_2 所構成之三疊層或一種由 BST (鋇 - 鋁 - 鈦酸鹽) 或 SBT (鋇 - 鋁 - 鉬酸鹽) 所構成之鐵電層。電容器介電質 122 所沈積之厚度是 4 nm。在電容器介電質 122 上塗佈一個由摻雜之多晶矽所構成之電容器板 123。電容器板 123 是藉由多晶矽之原處 (in situ) 摻雜式之沈積而以磷作為摻雜物質 (摻雜物質濃度為 10^{21} cm^{-3}) 來形成。

在本實施例中，每一個半導體圓柱 (其是由二個相鄰之第一溝渠 17 和第二溝渠 110 所界定) 含有二個記憶體單胞。此二個記憶體單胞具有一個共同之第一選擇電晶體，其是由位元線 13'，第一 n^+ - 摻雜區 118 (作為源極 - / 汲極區)，第一 p-摻雜之矽層 14 之配置於摻雜區 118 之間的此一部份 (其是作為通道區)，第一閘極介電質 11' 和第一字線 112' 所構成。此外，每一個記憶體單胞都具有一個第二選擇電晶體，其是由第一 n^+ - 摻雜區 118 和第二 n^+ - 摻雜區 119 之一 (作為源極 - / 汲極區)，第二 p-摻雜區之矽層 15 之配置於摻雜區之間的此一部份 (其是作為通道區)，第二介電層 14 (其是作為閘極介電質) 以及配置於通道區上方字線 115 所形成。在第一 n^+ - 摻雜區 118 上方此二個第二選擇電晶體是與共同之第一選擇電晶體串聯。配置於第二溝渠 110 上方之第二字線 115 在此種記憶體單胞配置中不具備電性功能，其功能是使記憶體節點 121 所用之接觸孔可選擇性地對氮化矽進行蝕刻。

五、發明說明(17)

共同之第一選擇電晶體之導通電壓是藉由第一 p-摻雜之矽層 14 之摻雜度來調整。第二選擇電晶體之導通電壓是藉由第二 p-摻雜之矽層 15 之摻雜度來調整。另一方式是，第二選擇電晶體之導通電壓是藉由特殊之通道植入來調整。

第一字線 112' 垂直於第二字線 115 而延伸且具有環形之元件，這些環形元件分別圍繞半導體圓柱之一（第 12 圖）。

若所形成之第一溝渠 17 所具有之寬度是可製成之最小之結構大小 F 且相互之間的間距是 F ，且第二溝渠 110 扣除 SiO_2 - 間隔層 190 之寬度之後的寬度為 F 以及加上 SiO_2 - 間隔層 190 之寬度之後相鄰之第二溝渠 110 之間的距離是 $5F$ 時，則每二個記憶體單胞所需之空間需求是 $12F^2$ ，即，此種記憶體單胞配置能以每記憶體單胞所需之面積需求是 $6F^2$ 此種方式來製成。

在第二實施例中須使用一種含有 SOI-基體 21 之半導體基體，在 SOI-基體 21 上磊晶生長第一 n^+ - 摻雜之矽層 22，第一 p-摻雜之矽層 23，第二 n^+ - 摻雜之矽層 24，第二 p-摻雜之矽層 25 以及第三 n^+ - 摻雜之層 26。第三 n^+ - 摻雜之層 26 鄰接於主面 27（第 13 圖）。第一 n^+ - 摻雜之矽層 22 是以摻雜物質 As（其摻雜濃度為 $1 \times 10^{20} \text{ cm}^{-3}$ ）來形成，其層厚度是 300 nm 。第一 p-摻雜之矽層 23 是以摻雜物質濃度為 $1 \times 10^{18} \text{ cm}^{-3}$ 之硼（B）來形成，其層厚度為 200 nm 。第二 n^+ - 摻雜之層 24 是以摻雜物質濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ 之 As 來形成，其層厚度是 100 nm 。第二 p-摻雜之矽層 25 是

五、發明說明(18)

以摻雜物質濃度為 $1 \times 10^{18} \text{ cm}^{-3}$ 之硼來形成，其層厚度是 200 nm 。第三 n^+ -摻雜之層 26 是以摻雜物質濃度為 $1 \times 10^{19} \text{ cm}^{-3}$ 之 As 來形成，其層厚度是 200 nm 。

在主面 27 上藉由 SiO_2 -層之沈積和結構化而形成第一溝渠遮罩 28。 SiO_2 -層是以 TEOS-方法沈積而成，其厚度是 150 nm 。在使用光漆遮罩之情況下， SiO_2 -層以 CHF_3, O_2 來進行之非等向性蝕刻而被結構化。在去除光漆遮罩之後須對第一溝渠 29 進行蝕刻。第一溝渠 29 是藉由以 $\text{HBr}, \text{He}, \text{O}_2, \text{NF}_3$ 來進行之非等向性蝕刻而產生。第一溝渠 29 向內抵達第一 n^+ -摻雜之矽層 22。第一溝渠 29 是條形的且寬度是 200 nm ，相鄰之第一溝渠 29 之間的距離是 200 nm 。第一溝渠 29 之長度是 $5 \mu \text{ m}$ 且深度是 800 nm 。

在藉由以 HF 來進行之濕式化學蝕刻來去除第一溝渠遮罩 28 之後，在第一溝渠 29 之基本上垂直於主面 27 之邊緣上形成氮化矽間隔層 210。

此時沈積一層厚度是 70 nm 之氮化矽層且利用 $\text{CF}_4, \text{O}_2, \text{N}_2$ 以選擇性地對矽之方式來進行非等向性之蝕刻。氮化矽層之厚度等於第一溝渠 29 之寬度之三分之一。

保留在矽間隔層 210 之間的中間空間然後以第一隔離結構 211 填入。此時以 TEOS-方法沈積一層 SiO_2 -層且以 CHF_3, O_2 來進行非等向性之回蝕刻，直至主面 27 裸露為止(第 14 圖)。

在主要 27 上藉由沈積一層 SiO_2 -層和氮化矽層而形成第二溝渠遮罩。此 SiO_2 -層是以 TEOS-方法沈積而成，

五、發明說明 (19)

其厚度是150nm。氮化矽層之厚度是70nm。在使用光漆遮罩之情況下，藉由 CHF_3 ， O_2 來進行之非等向性之蝕刻來對氮化層和 SiO_2 -層進行結構化。在去除光漆遮罩之後產生第二溝渠212。於是首先以 HBr ， He ， O_2 ， NF_3 來對矽進行非等向性之蝕刻。然後利用 C_2F_6 ， C_3F_8 以選擇性地對氮化物之方式而對 SiO_2 進行蝕刻，其中第二溝渠遮罩之氮化矽層是作為硬遮罩用。然後利用 H_3PO_4 以濕式化學法去除氮化矽間隔層且同時去除氮化矽-硬遮罩。

第二溝渠212基本上垂直於第一溝渠29而延伸（請參閱第15圖，其中顯示第14圖中以XV-XV所示之切面）。第二溝渠212具有條形之橫切面且寬度是200nm，相鄰之第二溝渠212之間的距離是200nm，第二溝渠212之長度是5 μm 且深度是800nm。第二溝渠212因此同樣可向內抵達第一 n^+ -摻雜之矽層22。

然後去除第一隔離結構211，這是利用 HF 以選擇性地對氮化矽和矽之方式對氧化矽進行濕式化學蝕刻而達成。

藉由熱氧化作用而形成厚度為5nm之第一開極氧化物213。然後藉由原處(in situ)摻雜之多晶矽層之沈積以及對此摻雜之多晶矽層進行非等向性之蝕刻而形成第一字線214。以磷作為摻雜物質而沈積該摻雜之多晶矽層，其厚度是70nm，這等於第一溝渠29或第二溝渠212之寬度的三分之一。於是配置在第一溝渠29之相面對之各邊緣上之氮化矽間隔層210之間的中間空間被填滿，但第二溝渠212(其基本上垂直於主面27而延伸之邊緣只以薄的的第一開極氧化物213來覆蓋)並未填滿。摻雜之多晶矽層之蝕刻是利

五、發明說明(之)

用 He , HBr , Cl_2 , C_2F_6 以非等向性(anisotropic)方式來達成。此種非等向性之蝕刻繼續進行一段時間,直至字線位於第二 n^+ -摻雜之矽層 24 之區域所在之高度處為止。第一字線 214 在此高度處完全覆蓋第一 p -摻雜之矽層 23 (第 16 和 17 圖)。

第一字線 214 之一部份各別以環形方式圍繞一個半導體圓柱,此圓柱是由二個相鄰之第一溝渠 29 和第二溝渠 212 所界定。在第一溝渠 29 中在氮化矽間隔層 210 之間所剩餘之自由空間因此完全以第一字線 214 填滿。在第一溝渠 29 中第一字線 214 之環形元件因此互相鄰接。第一字線 214 因此是由互相鄰接之環形元件所形成。

然後藉由 SiO_2 -層之沈積及非等向性之回蝕刻而形成第二隔離結構 215,其在第二溝渠 212 中係填入相鄰之第一字線 214 之間剩餘的自由空間中。第二隔離結構 215 之高度較第一字線 214 之高度還大。第二隔離結構 215 最多可到達此種介於第二 n^+ -摻雜之矽層 24 和第二 p -摻雜之矽層 25 之間的邊界面。 SiO_2 -層之沈積是以 TEOS-方法來進行,其是利用 Ar , CF_4 , CHF_3 來進行非等向性之蝕刻。在此種非等向性之蝕刻中,在主面 27 上以及在第二溝渠 212 之上部區域中之第一開極氧化物同樣都須去除。

然後藉由選擇性之磊晶生長而在裸露之矽表面上生長矽結構 216。選擇性之磊晶生長是在溫度範圍 700°C 至 900°C 中使用一種含有矽烷(Silan)之程序氣體來進行。此種矽結構 216 覆蓋第二隔離結構 215 上方之第二溝渠 212

五、發明說明(ㄨ)

區域中之裸露的邊緣，此外，其亦覆蓋第三 n^+ - 摻雜之矽層 26 之表面。矽結構 216 在垂直於矽表面(矽結構生長於此表面上)之方向中所具有之大小是 70nm ，這等於第二溝渠 212 寬度之三分之一。第二溝渠 212 因此未被填滿。第一溝渠 29 之邊緣是被氮化矽間隔層 210 所覆蓋，使得在第一溝渠 29 之邊緣上不會生長矽(第 18 和 19 圖)。

由於以 H_3PO_4 來進行之濕式化學蝕刻，則會以選擇性地對矽之方式而對氮化矽進行侵蝕作用。藉由此種蝕刻，則第三 n^+ - 摻雜之矽層 26 和第二 p -摻雜之矽層 25 之邊緣的至少一部份就會裸露出來。這樣氮化矽間隔層 210 在第一溝渠 29 中就可降低至所裸露之高度處(第 20 圖)。

藉由熱氧化作用而在裸露之矽平面上形成第二閘極氧化物 217。特別是在第一溝渠 29 中在第二 p -摻雜之矽層 25 之裸露的表面上產生第二閘極氧化物 217(第 20 圖和第 21 圖)。第二閘極氧化物 217 所形成之層厚度是 5nm 。

藉由原處(in situ)摻雜之多晶矽層之沈積以及此種摻雜之多晶矽層之非等向性回蝕刻而形成第二字線 218。原處摻雜之多晶矽層是以磷來進行摻雜且摻雜物質濃度是 10^{21}cm^{-3} 。此種摻雜之多晶矽層所沈積之厚度是 70nm ，這等於第一溝渠 29 或第二溝渠 212 之寬度的三分之一。此種非等向性之蝕刻繼續進行一段時間直至第三 n^+ - 摻雜之矽層 26 之邊緣的一部份裸露在第一溝渠 29 之區域中為止(第 20 圖)。由於主面區域中之第二溝渠 212 之寬度由於矽結構 216 而降低至大約三分之一，因此該摻雜之多晶矽

五、發明說明 (22)

層可填滿第二溝渠 212。相對應地，第二字線 218 可填滿此種寬度之第二溝渠。第二字線 218 包括環形之元件，這些元件分別圍繞各矽柱之一。在第二溝渠 212 中相鄰之環形元件互相碰觸，使第二字線 218 形成一種互相鄰接之環形元件所構成之鏈 (chain)。

第一溝渠 29 是以第三隔離結構 219 填入。此時以 TEOS 方法沈積一層 SiO_2 - 層且利用 CHF_3, O_2 來進行非等向性之蝕刻。第三隔離結構 219 是在主面 27 之高度處中止。

藉由能量是 20keV 和劑量是 10^{14} cm^{-2} 之硼來進行植入過程來形成一些配置於主面 27 上之記憶體節點 220。這些記憶體節點 220 是由矽結構 216 之位於主面 27 上之部份所形成。記憶體節點 220 是與第三 n^+ - 摻雜之矽層 26 電性相連接。

然後在整面上沈積電容器介電質 221。電容器介電質 221 是由 SiO_2 - 由 $\text{SiO}_2, \text{Si}_3\text{N}_4$ 和 SiO_2 所構成之三疊層或高 ϵ (epsilon) 之介電質，例如 BST (鉍 - 鋇 - 鈦酸鹽) 或 SBT (鋇 - 鋇 - 鈦酸鹽) 等所構成。

在電容器介電質 221 上塗佈一個電容器板 222。電容器板 222 是由原處摻雜之多晶矽沈積層 (其厚度為 200nm) 以及對此種摻雜之多晶矽層進行整平而形成。此種摻雜之多晶矽層是以摻雜物質濃度為 10^{21} cm^{-3} 之磷來進行摻雜 (第 22 圖)。

第 23 圖顯示此種在第 22 圖中以 X X III - X X III 表示之切面。第 24 圖顯示此種在第 22 圖中以 X X I V - X X I V

五、發明說明 (2)

表示之切面。第一字線 214 和第二字線 218 分別以環形元件之鏈所構成且相同之字線互相平行而延伸。但第一字線 214 和第二字線 218 則互相垂直而延伸。

在此種記憶單胞配置之實施例中，每一個半導體圓柱（其是藉由二個相鄰之第一溝渠 29 和第二溝渠 212 所界定）含有一個記憶體單胞。此記憶體單胞具有一個第一選擇電晶體，此一選擇電晶體是由第一 n^+ -摻雜之矽層 22 及第二 n^+ -摻雜之矽層 24（作為源極 - / 汲極區），第一 p -摻雜之矽層 23（作為通道區），第一閘極氧化物 213 和第一字線 214（作為閘極電極）所構成。記憶體單胞之第二選擇電晶體是由第二 n^+ -摻雜之矽層 24 及第三 n^+ -摻雜之矽層 26（作為源極 - / 汲極區），第二 p -摻雜之矽層 25（作為通道區），第二閘極氧化物 217 和第二字線 218（作為閘極電極）所構成。第一選擇電晶體和第二選擇電晶體經由第二 n^+ -摻雜之矽層 24（其作為共同之源極 - / 汲極區）而互相串聯。第一 n^+ -摻雜之矽層 22 作為共同之位元線。

在此種實施例之變型中，第二 n^+ -摻雜之矽層 24 是由 p -摻雜之矽層所取代。在此種情況中每一記憶體單胞只包含一個選擇電晶體，但此電晶體是由二個閘極電極來控制，此二個閘極電極重疊地配置著且其雜散場 (field) 須夠大而互相重疊。此種重疊之雜散場在導通狀態中因此會使一個導電性通道形成，此通道是由第一 n^+ -摻雜之矽層 22 開始而穿越所有 p -摻雜之矽層直至第三 n^+ -摻雜之矽層 26。選擇電晶體之作用就像二個串聯之選擇

五、發明說明 (4)

電晶體一樣，這是因為導電性通道只有在控制二個閘極電極時才會形成。

為了以第一字線 $WLXi, i=1$ 至 n ，第二字線 $WLYi, i=1$ 至 n 以及共同之位元線板 BLP 將資訊寫入記憶體單胞配置中，則資料字須經由資料線 DL 而讀入第一移位暫存器 $SR1$ 。與此同時須使資料字經由反相器 I 而反相且讀入第二移位暫存器 $SR2$ 中。第一移位暫存器 $SR1$ 之輸出端經由開關 $S1$ 而與第一字線 $WLXi, i=1$ 至 n ，相連接。第二移位暫存器之輸出端經由開關 $S0$ 而與第一字線 $WLXi, i=1$ 至 n ，相連接。

為了將邏輯值 1 之資訊寫入，則須對開關 $S1$ 進行控制，使第一移位暫存器 $SR1$ 之輸出端可與第一字線 $WLXi, i=1$ 至 n ，相連接。位元線板 BLP 須施加邏輯值為 1 之電壓值。各別之記憶體單胞是經由第一字線 $WLXi, i=1$ 至 n ，以及第二字線 $WLYi, i=1$ 來控制，記憶體單胞中儲存邏輯 1。以此種方式，則不須對位元線板 BLP 充電即可使將沿著第二字線 $WLYi, i=1$ ，之所有記憶體單胞寫入邏輯值 1，即，1 是儲存於各記憶體單胞中。

然後藉由開關 $S1$ 之適當控制而使第一字線 $WLXi, i=1$ 至 n ，和第一移位暫存器 $SR1$ 之間的連接被斷開且以邏輯值為 0 之電壓位準施加至位元線板 BLP 。然後對開關 $S0$ 進行控制，使第二移位暫存器能與第一字線 $WLXi, i=1$ 至 n ，相連接。然後藉由第一字線 $WLXi, i=1$ 至 n ，以及第二字線 $WLYi, i=1$ ，來控制各別之記憶體單胞（其中應儲存邏

五、發明說明 (5)

輯值 0)。須相對應地讀入下一個資料字，其中第二字線 $WLY_i, i=2$ ，目前是接通的。為了讀入隨後之各個資料字，則第二字線 WLY_i 之目前指標 (index) i 須增加 (第 25 圖)。

為了以第一字線 $WLX_i, i=1$ 至 n ，第二字線 $WLY_i, i=1$ 至 n 以及條形之位元線 $BL_i, i=1$ 至 n 讀記憶體單胞出配置之內容，則須依序藉由相關之第一字線 WLX_i 和相關之第二字線 $WLY_i, i=1$ 至 n ，來對各別之記憶體單胞 (其是沿著條形之位元線 BL_i 而配置著) 進行控制 (第 26 圖)。資料之讀出對所有位元線 $BL_i, i=1$ 至 n ，而言是同時進行的。此種平行式之讀出過程是在單胞方塊 ZB 內部進行。除此之外，亦可定義多個單胞方塊，這些方塊可另外被同時讀出。這樣就可縮短存取資料所需之時間。

為了更新 DRAM 單胞配置中之資料，則所儲存之資訊 (如第 26 圖中所述) 首先須讀出至一個移位暫存器中，然後如第 25 圖所述再讀入。此種操作方法之優點是：所儲存之資訊 (其須被讀出) 只用來控制字線而不是用來提高記憶體單胞中相關之位準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (ㄅ)

參考符號說明

- 11.....主面
- 12.....p-摻雜之基體本體
- 13.....n⁺-摻雜之矽層
- 13'.....位元線
- 14.....第一 p-摻雜之矽層
- 15.....第二 p-摻雜之矽層
- 16.....第一溝渠遮罩
- 17.....第一溝渠
- 18.....SiO₂-層
- 18'.....第二溝渠遮罩
- 18".....第一隔離結構
- 19.....光漆遮罩
- 190.....SiO₂-間隔層
- 110.....第二溝渠
- 111.....第一介電層
- 111'.....第一開極介電質
- 112.....導電層
- 112'.....第一字線
- 112.....第二隔離結構
- 114.....第二介電層
- 115.....第二字線
- 116.....條形之氮化矽結構
- 117.....氮化矽間隔層

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

- 118.....第一 n^+ - 摻雜區
- 119.....第二 n^+ - 摻雜區
- 120..... SiO_2 -層
- 121.....記憶體節點
- 122.....電容器介電質
- 123.....電容器板
- 21.....SOI-基板
- 22.....第一 n^+ - 摻雜之矽層
- 23.....第一 p^- - 摻雜之矽層
- 24.....第二 n^+ - 摻雜之矽層
- 25.....第二 p^- - 摻雜之矽層
- 26.....第三 n^+ - 摻雜之矽層
- 27.....主面
- 28.....第一溝渠遮罩
- 29.....第一溝渠
- 210.....氮化矽
- 211.....第一隔離結構
- 212.....第一溝渠
- 213.....第一閘極氧化物
- 214.....第一字線
- 215.....第二隔離結構
- 216.....矽結構
- 217.....第二閘極氧化物
- 218.....第二字線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

219.....第三隔離結構
220.....記憶體節點
221.....電容器介電質
222.....電容器板
WLXi.....第一字線
WLYi.....第二字線
BLi.....位元線
S1, S2.....開關
SR1, SR1.....移位暫存器
BLP.....位元線板
ZB.....單胞方塊

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

記憶體單胞配置及其製造和操作方法)

一種記憶體單胞配置在半導體基體中含有許多記憶體單胞，記憶體單胞具有至少一個選擇電晶體，選擇電晶體連接在位元線和記憶元件之間。記憶體單胞可藉由第一字線和第二字線來控制，其中第一字線和第二字線相交。此種記憶體單胞配置特別是一種DRAM配置。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要(發明之名稱：Memory-cell arrangement, method for its production and method for its operation)

A memory-cell arrangement has many memory-cells in a semiconductor substrate, said memory-cell has at least one selection-transistor, which is connected between a bit-line and a memory-element. Said memory-cells can be controlled through a first word-line and a second word-line, where said first word-line crosses said second word-line. Said memory-cell arrangement is especially a DRAM-arrangement.

六、申請專利範圍

修正 88.2.5
本 年 月 日
備 查

1. 一種記憶體單胞配置，其特徵為：
 - 半導體基體設置複數個記憶體單胞，
 - 這些記憶體單胞各具有至少一個垂直於半導體基體主面之選擇電晶體，此選擇電晶體是與記憶元件 (121, 122, 123) 相連接，
 - 可分別經由第一字線 (112') 和第二字線 (115) 來控制記憶體單胞，其中第一字線 (112') 和第二字線 (115) 是相交的。
2. 如申請專利範圍第 1 項之記憶體單胞配置，其中
 - 複數個記憶體單胞組合成一個單胞方塊，
 - 每個單胞方塊之記憶體單胞是與一條共同之位元線 (22) 相連接。
3. 如申請專利範圍第 1 項之記憶體單胞配置，其中記憶體單胞具有一個第一選擇電晶體及一個第二選擇電晶體，此二個選擇電晶體互相串聯且第一選擇電晶體可由第一字線控制，而第二選擇電晶體可由第二字線控制。
4. 如申請專利範圍第 3 項之記憶體單胞配置，其中
 - 第一選擇電晶體構成一種垂直於半導體基體主面 (11) 之電晶體，
 - 第一選擇電晶體和第二選擇電晶體互相重疊地配置著。
5. 如申請專利範圍第 4 項之記憶體單胞配置，其中第二選擇電晶體構成一種垂直於半導體基體主面 (27) 之電

六、申請專利範圍

修正 88.2.5
本 年 月 日
備 查

1. 一種記憶體單胞配置，其特徵為：
 - 半導體基體設置複數個記憶體單胞，
 - 這些記憶體單胞各具有至少一個垂直於半導體基體主面之選擇電晶體，此選擇電晶體是與記憶元件 (121, 122, 123) 相連接，
 - 可分別經由第一字線 (112') 和第二字線 (115) 來控制記憶體單胞，其中第一字線 (112') 和第二字線 (115) 是相交的。
2. 如申請專利範圍第 1 項之記憶體單胞配置，其中
 - 複數個記憶體單胞組合成一個單胞方塊，
 - 每個單胞方塊之記憶體單胞是與一條共同之位元線 (22) 相連接。
3. 如申請專利範圍第 1 項之記憶體單胞配置，其中記憶體單胞具有一個第一選擇電晶體及一個第二選擇電晶體，此二個選擇電晶體互相串聯且第一選擇電晶體可由第一字線控制，而第二選擇電晶體可由第二字線控制。
4. 如申請專利範圍第 3 項之記憶體單胞配置，其中
 - 第一選擇電晶體構成一種垂直於半導體基體主面 (11) 之電晶體，
 - 第一選擇電晶體和第二選擇電晶體互相重疊地配置著。
5. 如申請專利範圍第 4 項之記憶體單胞配置，其中第二選擇電晶體構成一種垂直於半導體基體主面 (27) 之電

六、申請專利範圍

晶體。

6. 如申請專利範圍第4或5項之記憶體單胞配置，其中
 - 半導體基體具有一些半導體圓柱，這些圓柱鄰接於主面(11)且其邊緣與主面(11)相交，
 - 記憶體單胞之選擇電晶體中之一是以MOS電晶體構成且是配置在半導體圓柱之一之至少一個邊緣上。
7. 如申請專利範圍第5項之記憶體單胞配置，其中
 - 半導體基體具有一些半導體圓柱，這些圓柱鄰接於主面且其邊緣是與主面相交且以網目形式配置著，
 - 記憶體單胞之第一選擇電晶體和第二選擇電晶體分別沿著半導體圓柱之一之至少一個邊緣而配置著，
 - 第一字線(214)具有環形之元件，這些元件圍繞相鄰之半導體圓柱且互相連接，
 - 第二字線(218)(其垂直於第一字線(214)而延伸)具有環形之元件，這些元件圍繞相鄰之半導體圓柱且互相連接。
8. 如申請專利範圍第1或第2項之記憶體單胞配置，其中記憶體單胞分別只有一個選擇電晶體，其可經由第一字線和第二字線來控制。
9. 如申請專利範圍第8項之記憶體單胞配置，其中
 - 半導體基體具有半導體圓柱，這些圓柱具有與主面(27)相交之邊緣且以網目形式配置著，
 - 記憶體單胞之選擇電晶體沿著半導體圓柱之一之至少一個邊緣而配置且具有一個源極區，一個汲極區

六、申請專利範圍

- ，一個第一開極電極以及一個第二開極電極，此二個開極電極重疊地配置在源極區和汲極區之間，
- 第一字線(214)具有環形之元件，這些元件圍繞相鄰之半導體圓柱且互相連接，
 - 第二字線(218)(其垂直於第一字線(214)而延伸)具有環形之元件，這些元件圍繞相鄰之半導體圓柱且互相連接，
 - 第一字線(214)是與第一開極電極相連接且第二字線(218)是與第二開極電極相連接。
10. 如申請專利範圍第1或第2項之記憶體單胞配置，其中設置記憶體電容器以作為記憶元件。
11. 如申請專利範圍第10項之記憶體單胞配置，其中
- 位元線埋置於半導體基體中，
 - 記憶體電容器配置於半導體基體主面處及/或主面上。
12. 一種記憶體單胞配置之製造方法，其特徵為：須形成一些記憶體單胞，這些記憶體單胞分別具有至少一個垂直式選擇電晶體，此電晶體是與記憶元件相連接，這些電晶體可分別經由第一字線和第二字線來控制，其中第一字線和第二字線是相交的。
13. 如申請專利範圍第12項之方法，其中
- 在半導體基體之主面中對第一溝渠和第二溝渠進行蝕刻(其中第一溝渠和第二溝渠相交)而產生半導體圓柱，這些圓柱分別以相鄰之第一溝渠和相鄰之第

六、申請專利範圍

- 二溝渠為邊界且具有垂直於主面而延伸之邊緣，
- 記憶體單胞之選擇電晶體分別沿著半導體圓柱之一之至少一個邊緣而形成，使源極區及 / 或汲極區之至少一部份是鄰接於半導體圓柱之邊緣且在源極區和汲極區之間在邊緣上配置第一閘極電極和第二閘極電極，其中第一閘極電極是與第一字線相連接且第二閘極電極是與第二字線相連接。

14. 如申請專利範圍第12項之方法，其中

- 各記憶體單胞分別具有一個第一選擇電晶體及一個第二選擇電晶體，此二個電晶體串聯相接，
- 在半導體基體之主面中對第一溝渠和第二溝渠進行蝕刻（其中第一溝渠和第二溝渠相交）而產生半導體圓柱，這些圓柱具有與主面相交之邊緣，
- 記憶體單胞之第一選擇電晶體和第二選擇電晶體重疊地形成在半導體圓柱之一之至少一個邊緣上，其中第一選擇電晶體設有第一閘極電極且第二選擇電晶體設有第二閘極電極，第一閘極電極是與第一字線相連接且第二閘極電極是與第二字線相連接。

15. 如申請專利範圍第13或14項之方法，其中

- 在第一閘極電極之區域中分別在半導體圓柱之至少一個邊緣上產生一個第一輔助結構，使相鄰之半導體圓柱在第一溝渠方向中之間距較第二溝渠方向中者還大，
- 第一閘極電極以環形方式構成，其中第一閘極電極

六、申請專利範圍

圍繞各自之半導體圓柱，在第二溝渠方向中相鄰之各別記憶體單胞之第一開極電極互相鄰接且形成第一字線之一部份，

- 在第二開極電極之區域中分別在半導體圓柱之至少一個邊緣上產生一個第二輔助結構，使相鄰之半導體圓柱在第二溝渠方向中之間距較第一溝渠方向中者還大，

- 第二開極電極以環形方式形成，其中第二開極電極圍繞各自之半導體圓柱，在第一溝渠方向中相鄰之各記憶體單胞之第二開極電極互相鄰接且形成第二字線之一部份。

16. 如申請專利範圍第15項之方法，其中第一輔助結構及 / 或第二輔助結構是藉由保形 (conform) 之沈積和非等向性之蝕刻及 / 或藉由選擇性之磊晶生長而形成。

17. 如申請專利範圍第12項之方法，其中

- 各記憶體單胞分別具有一個第一選擇電晶體及一個第二選擇電晶體，此二個電晶體串聯相接，
- 在半導體基體之主面中對第一溝渠和 second 溝渠進行蝕刻 (其中第一溝渠和 second 溝渠相交) 而產生半導體圓柱，這些圓柱具有與主面相交之邊緣，
- 記憶體單胞之第一選擇電晶體形成在半導體圓柱之一之至少一個邊緣上且記憶體單胞之第二選擇電晶體是形成在主面之區域中。

18. 如申請專利範圍第12, 13, 14或17項之方法，其中

六、申請專利範圍

- 在半導體基體中形成一層埋入式之摻雜層，
- 須測量第一溝渠之深度，使由埋入式摻雜層所埋入之位元線是以條形摻雜區之形式所構成，
- 第二溝渠之深度較第一溝渠之深度還小。

19. 一種記憶體單胞配置之操作方法，此種記憶體單胞配置具有複數個記憶體單胞，這些單胞各具有至少一個選擇電晶體，選擇電晶體連接在位元線和記憶元件之間且可經由第一字線和第二字線來控制，第一字線和第二字線相交，其特徵為：

經由第一字線和第二字線來控制記憶體單胞以便讀出資訊且各條位元線須同時讀出。

20. 一種記憶體單胞配置之操作方法，此種記憶體單胞配置具有複數個記憶體單胞，這些單胞各具有至少一個選擇電晶體，選擇電晶體連接在位元線和記憶元件之間且可經由第一字線和第二字線來控制，第一字線和第二字線相交，其特徵為：

- 為了寫入資訊，須將多個記憶體單胞組合成一個單胞方塊，
- 為了將資訊寫入單胞方塊中，則單胞方塊之所有位元線須施加一種對應於此資訊之電壓位準且經由第一字線和第二字線來控制記憶體單胞。

21. 如申請專利範圍第20項之方法，其中

- 資料字須載入第一移位暫存器中，第一移位暫存器之輸出端經由第一開關而與第一字線相連，

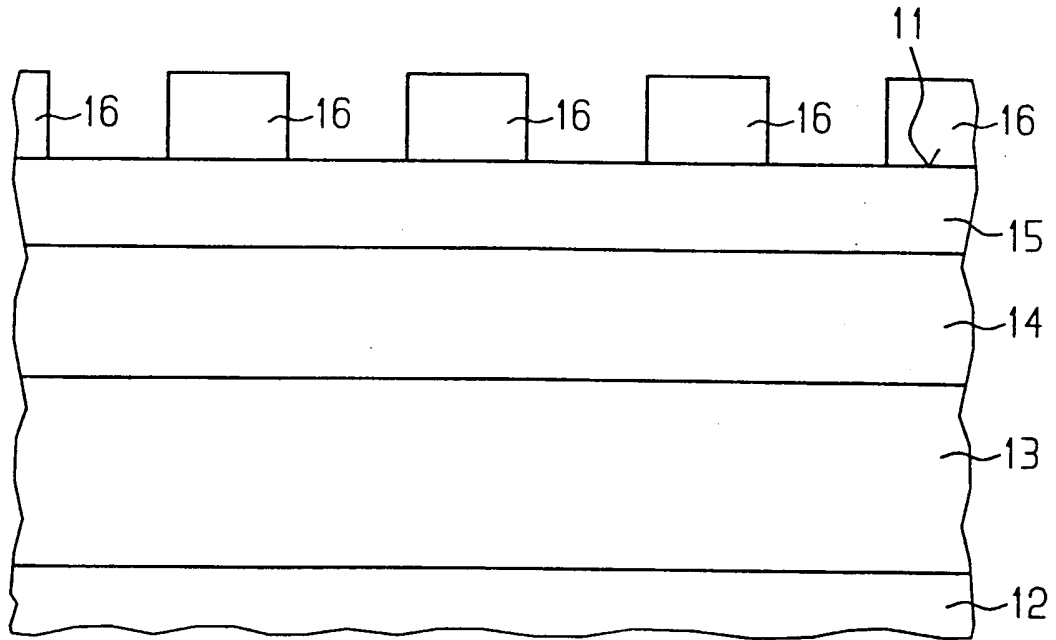
六、申請專利範圍

- 資料字經由反相器而反相且載入第二移位暫存器中，第二移位暫存器之輸出端經由第二開關而與第一字線相連，
- 位元線須施加第一電壓位準，須對第一開關進行控制，使第一移位暫存器能與第一字線相連接；
- 位元線須施加第二電壓位準，須對第二開關進行控制，使第二移位暫存器能與第一字線相連接。

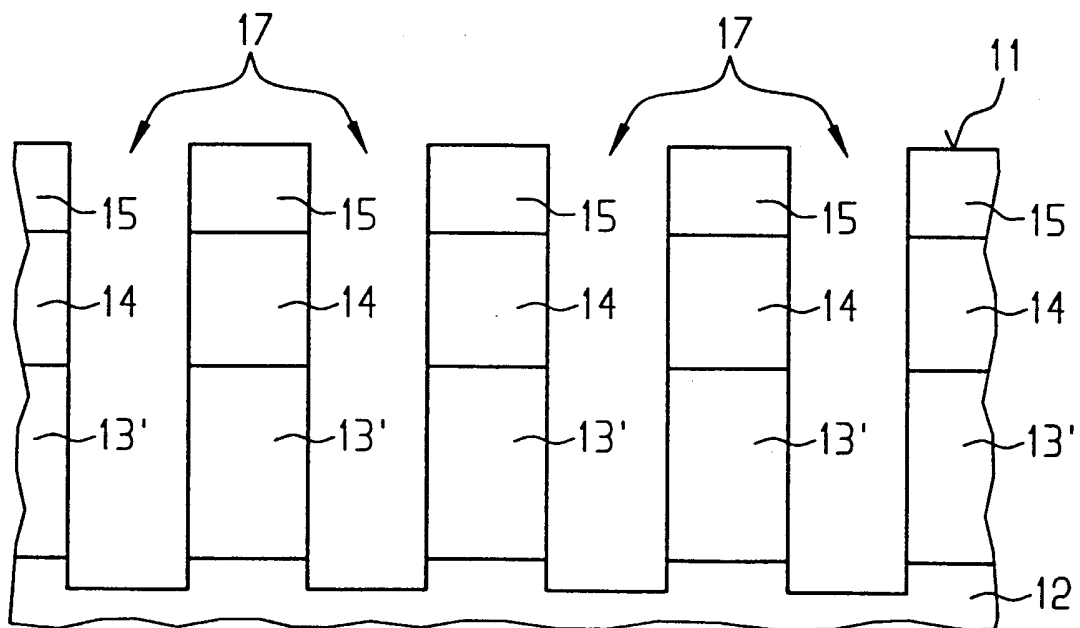
(請先閱讀背面之注意事項再填寫本頁)

訂

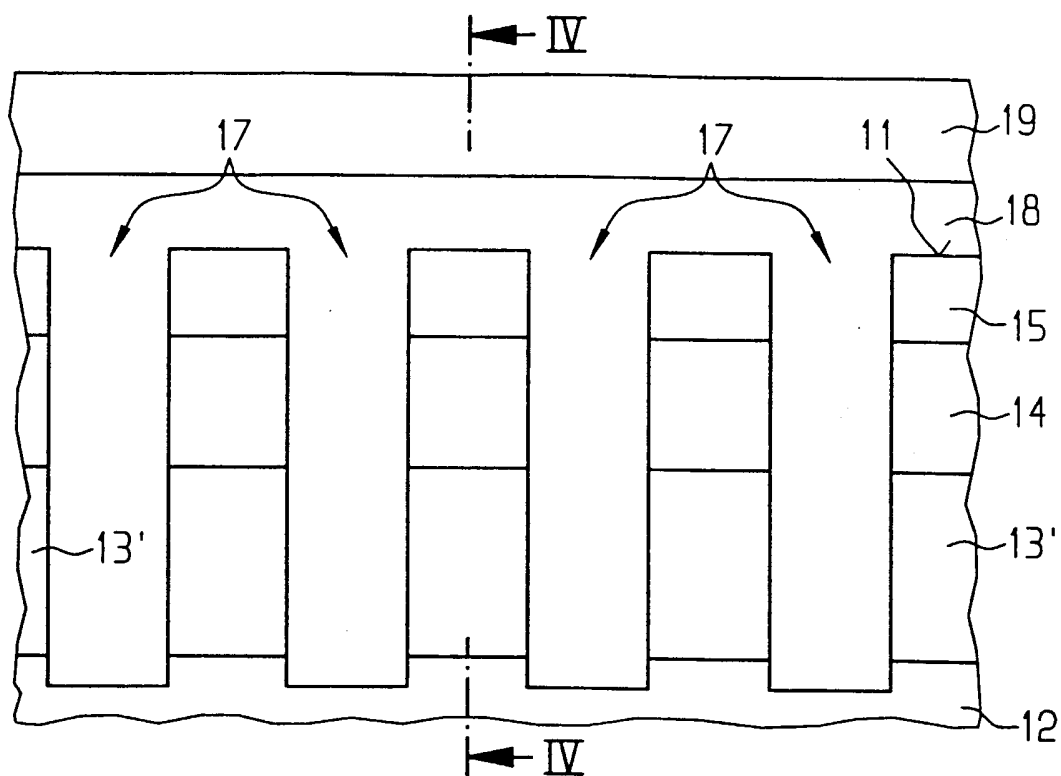
泉



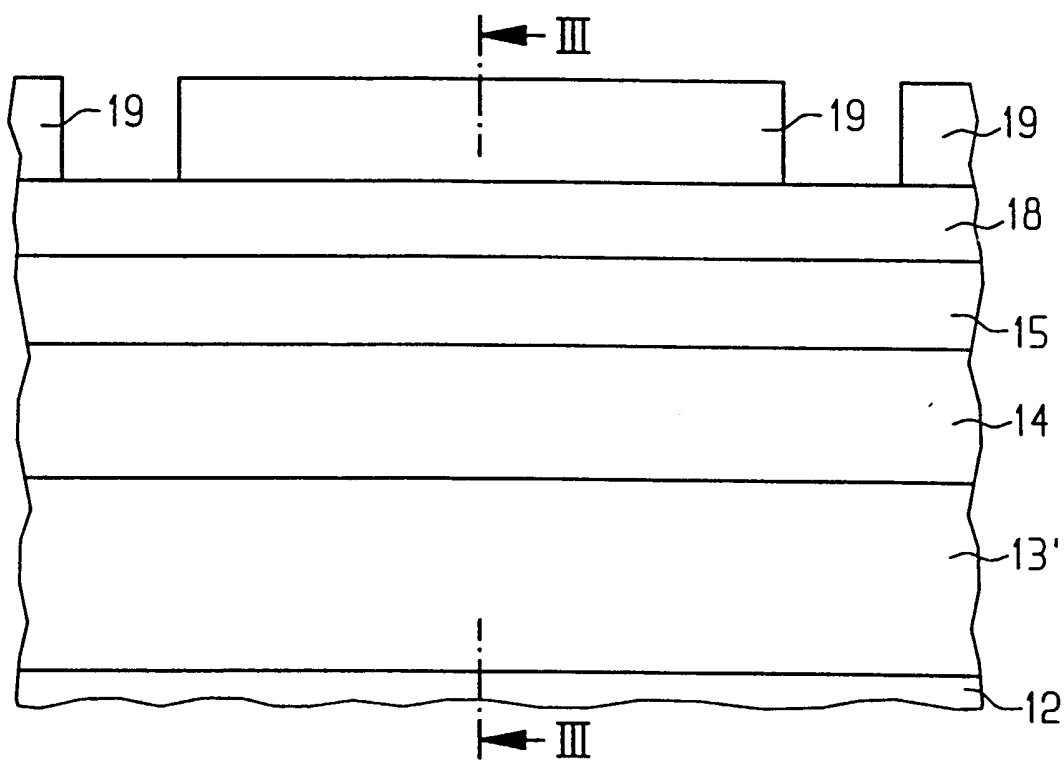
第 1 圖



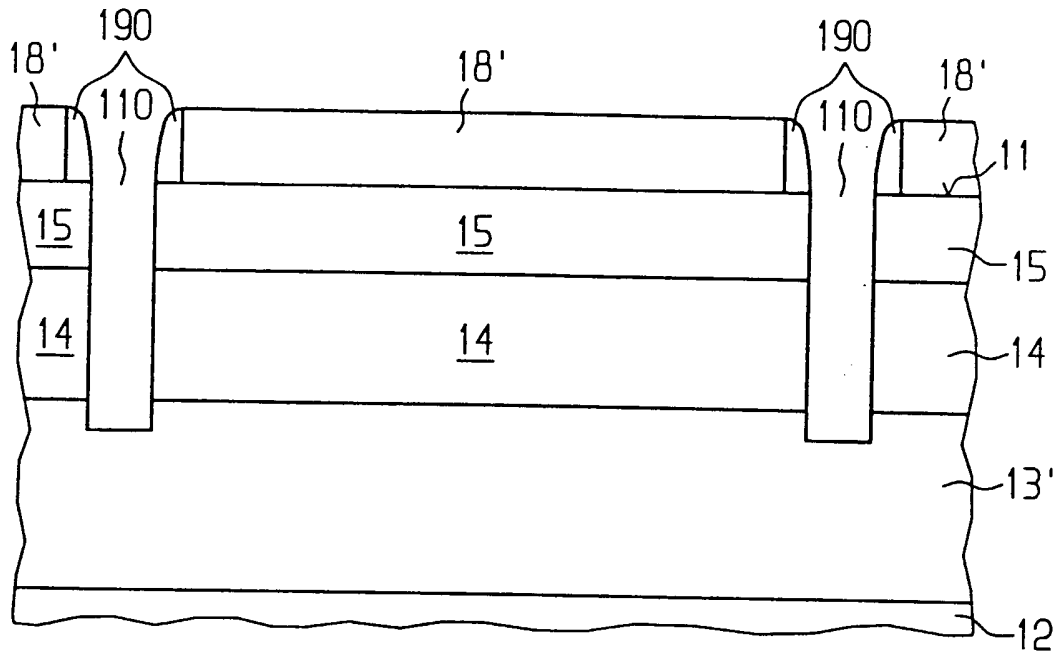
第 2 圖



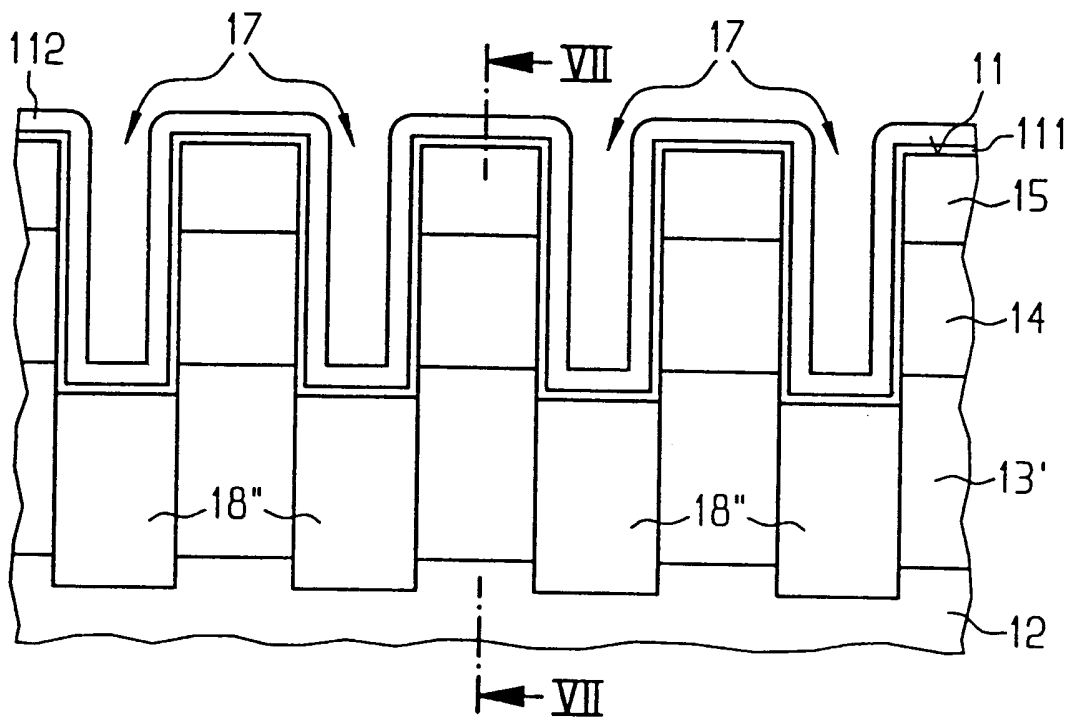
第 3 圖



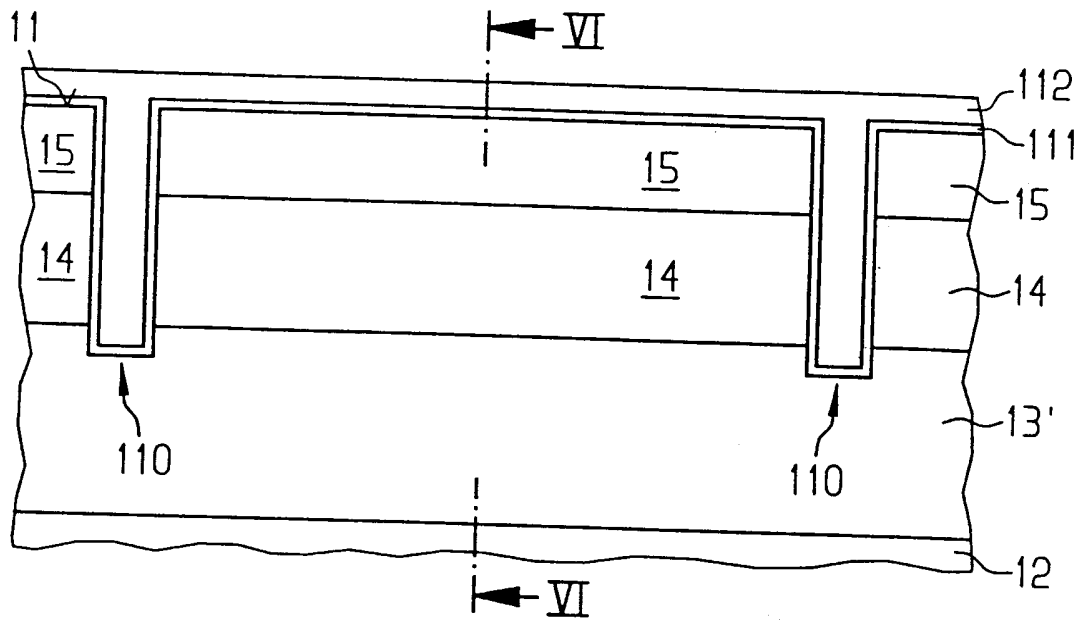
第 4 圖



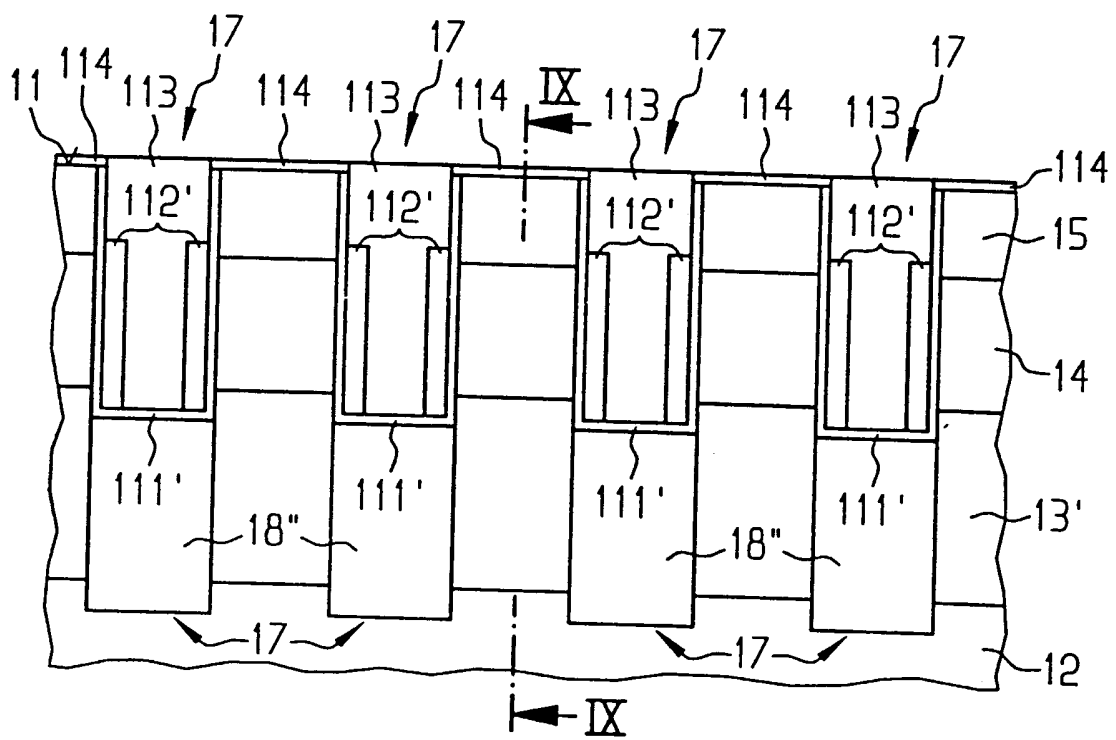
第 5 圖



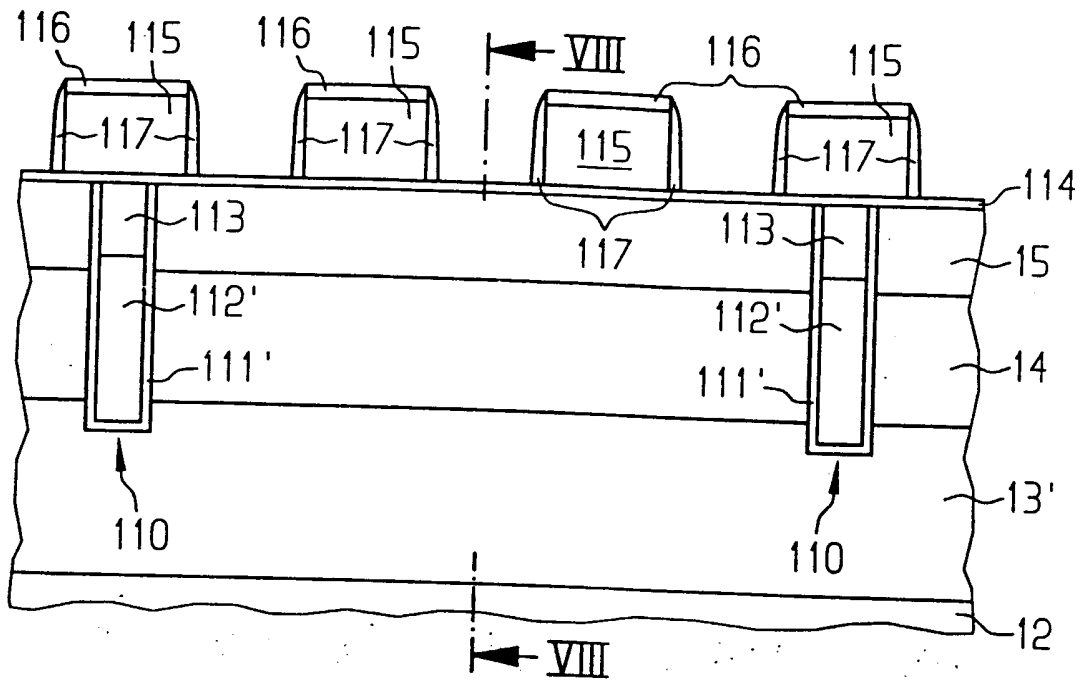
第 6 圖



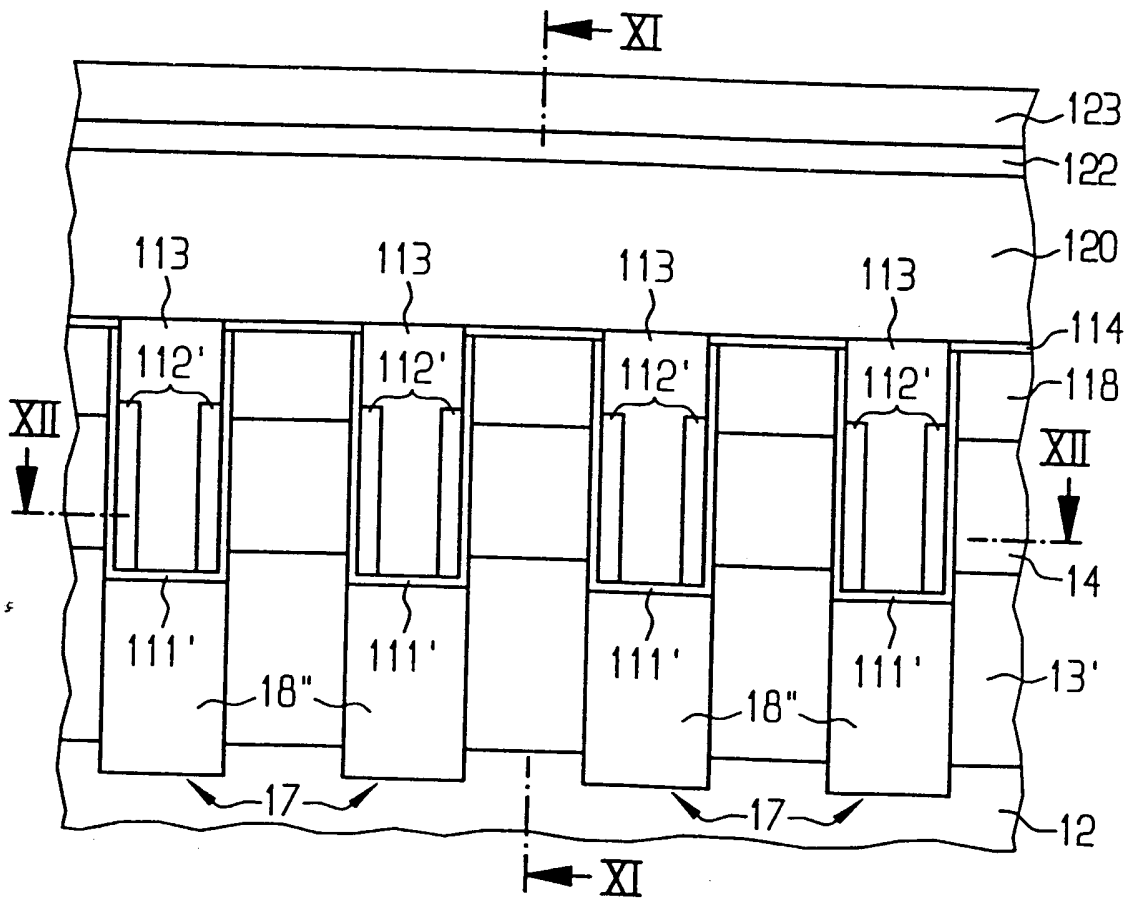
第 7 圖



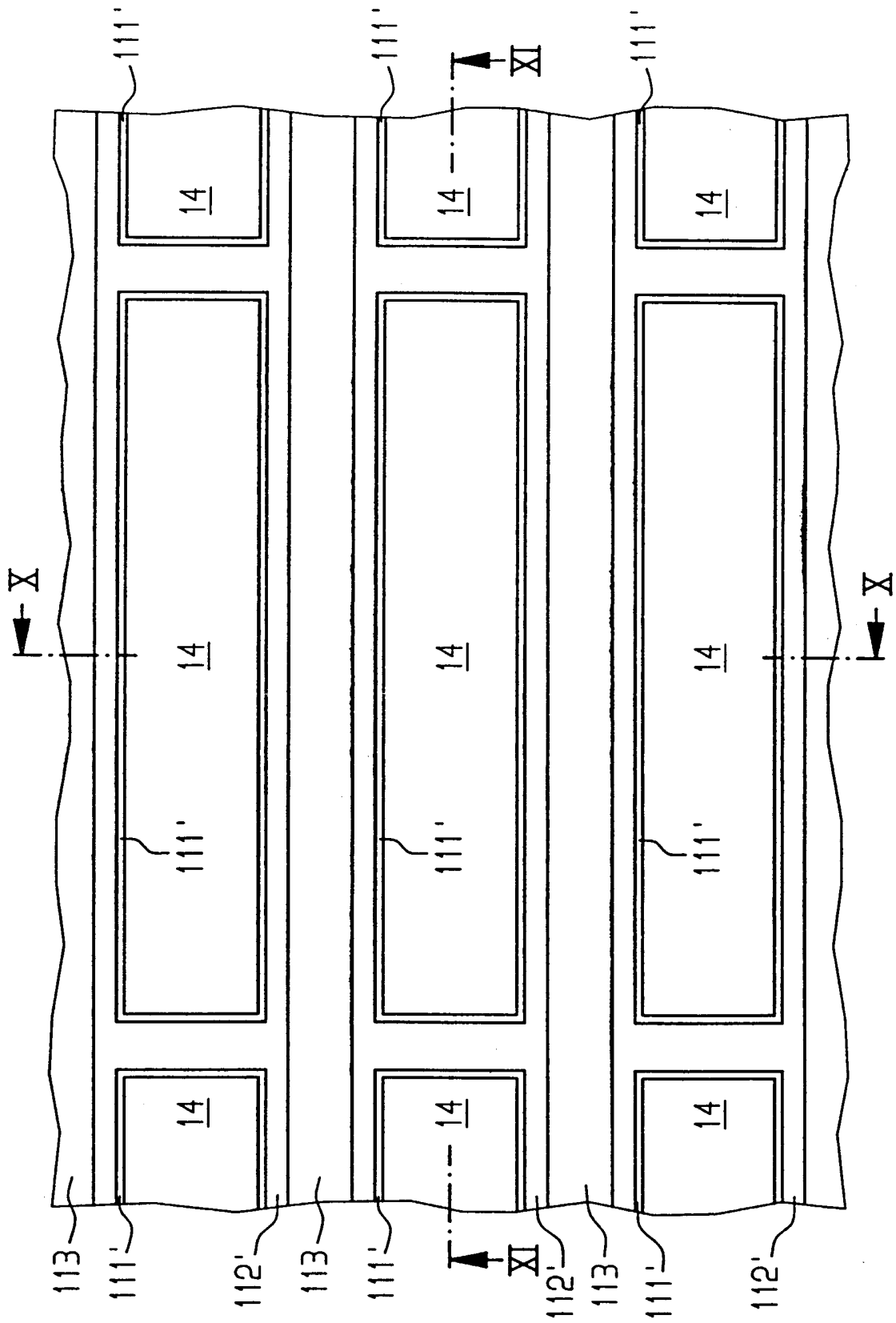
第 8 圖



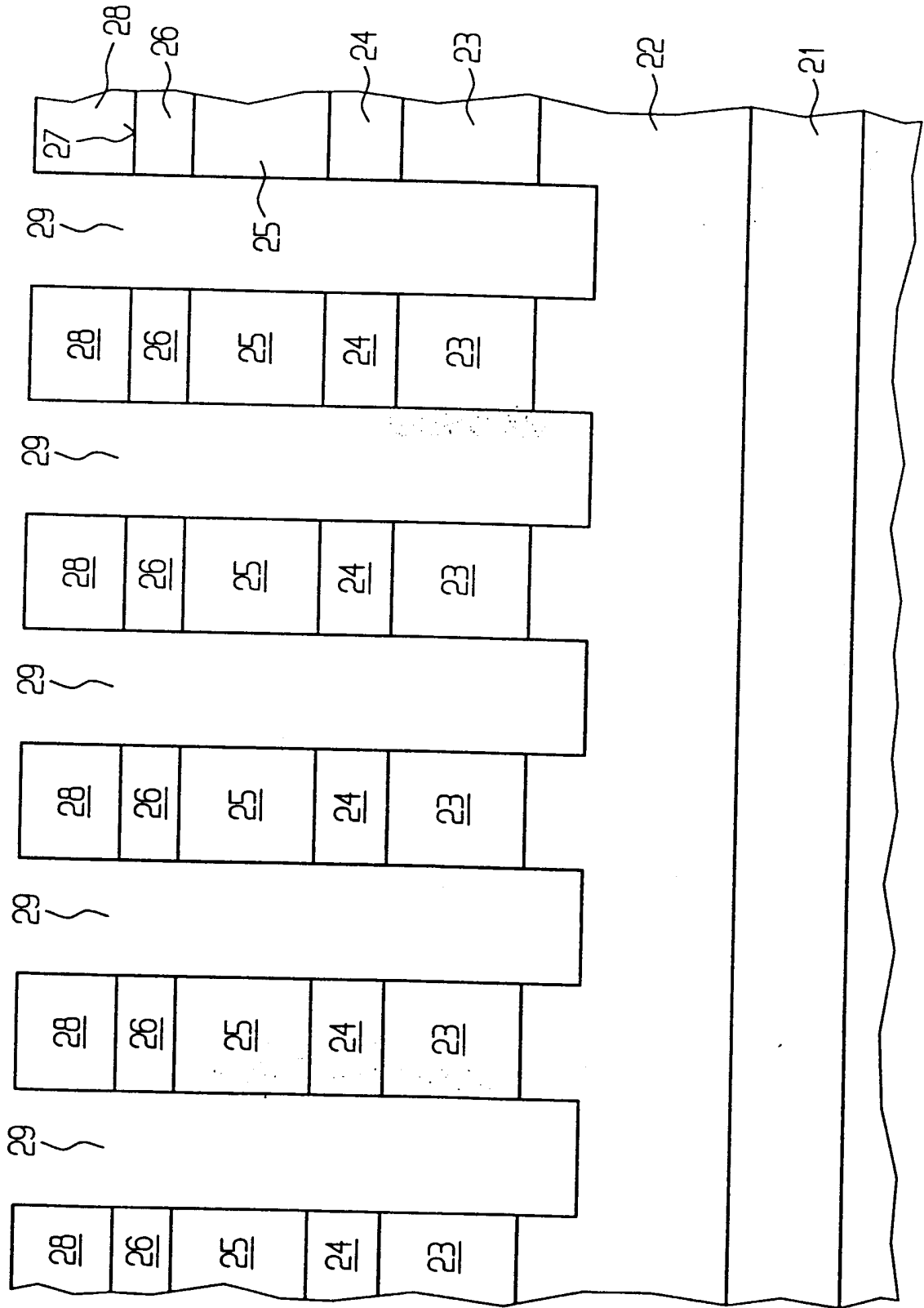
第 9 圖



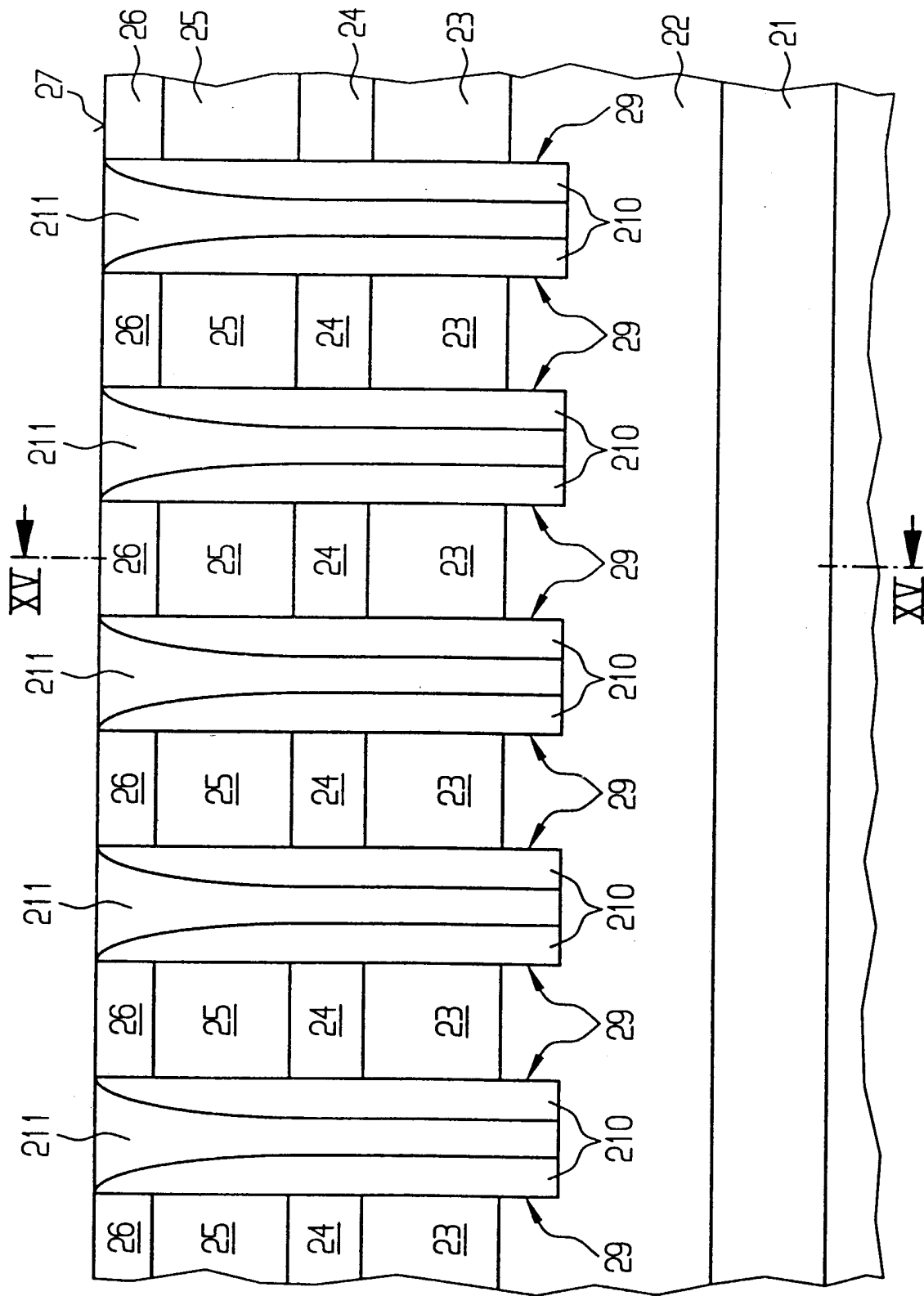
第 10 圖



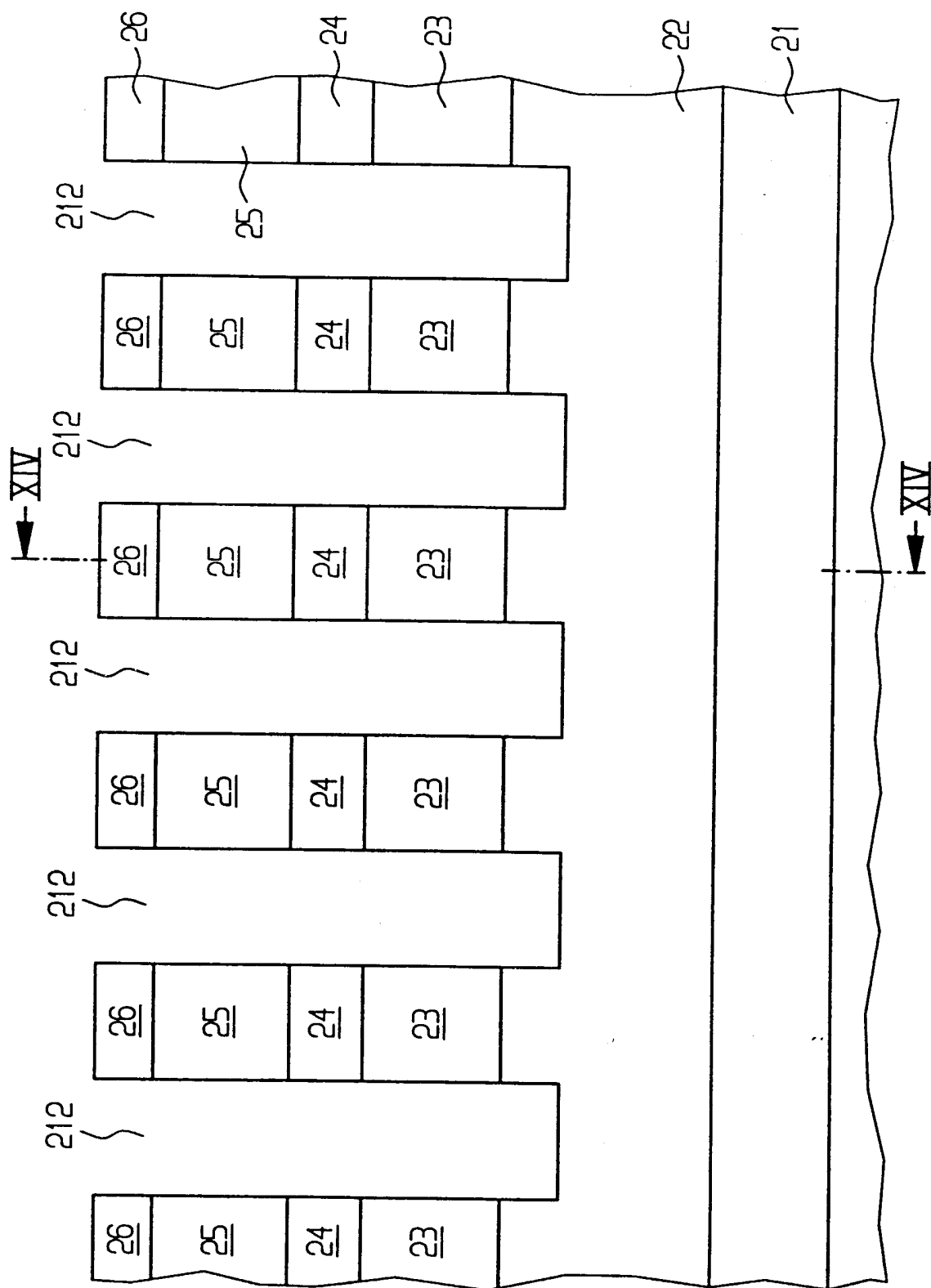
第12圖



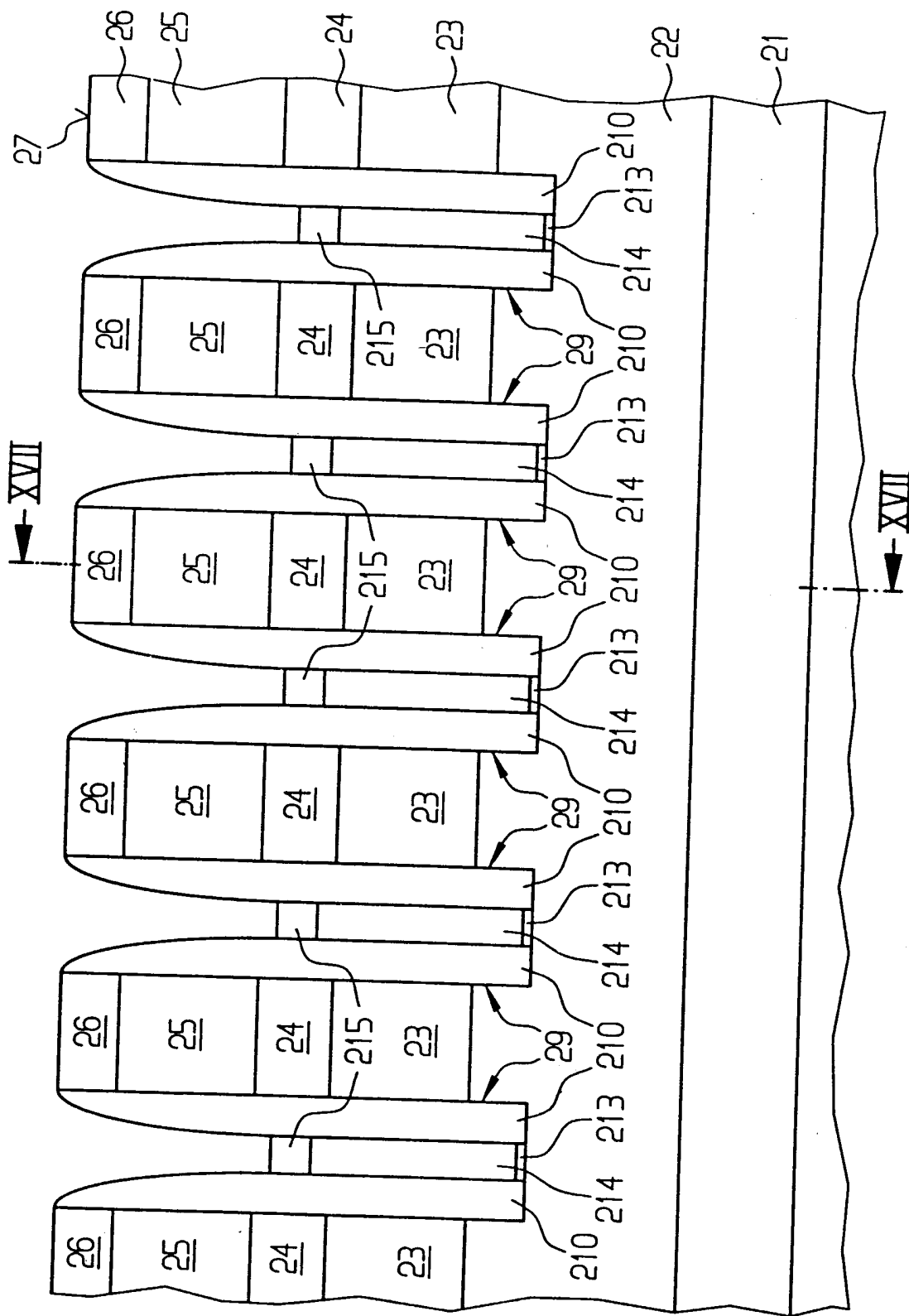
第13圖



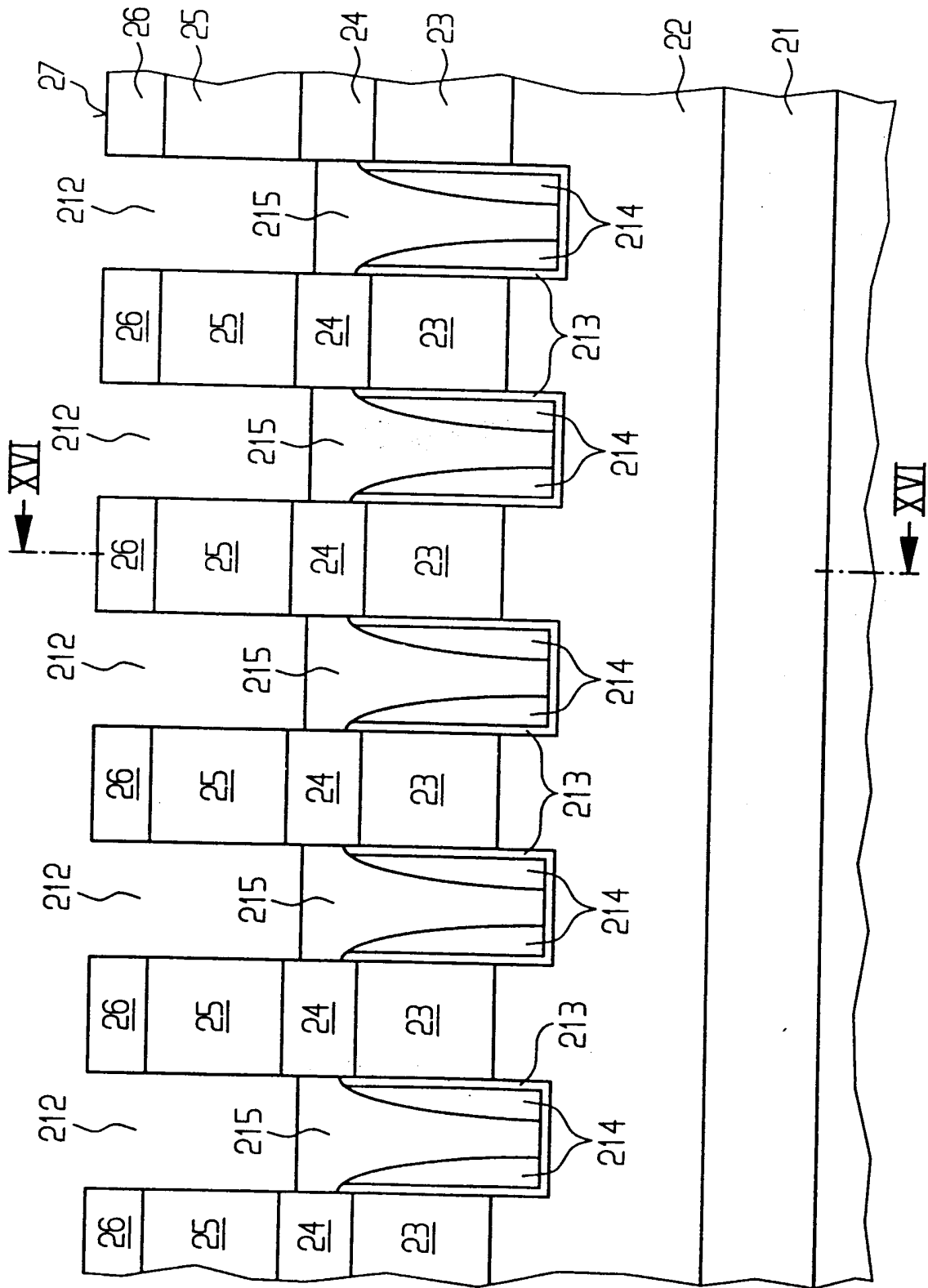
第14圖



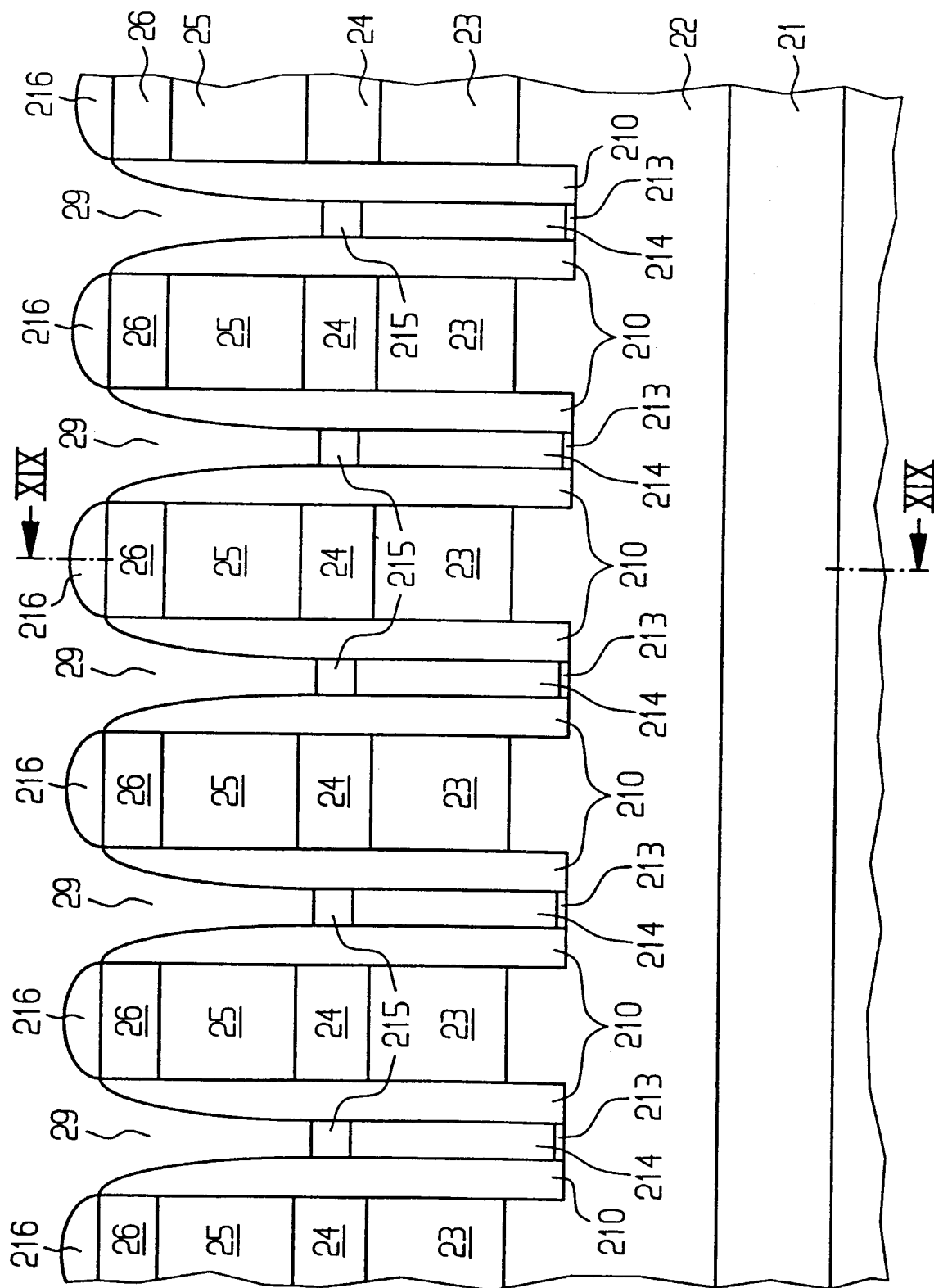
第15圖



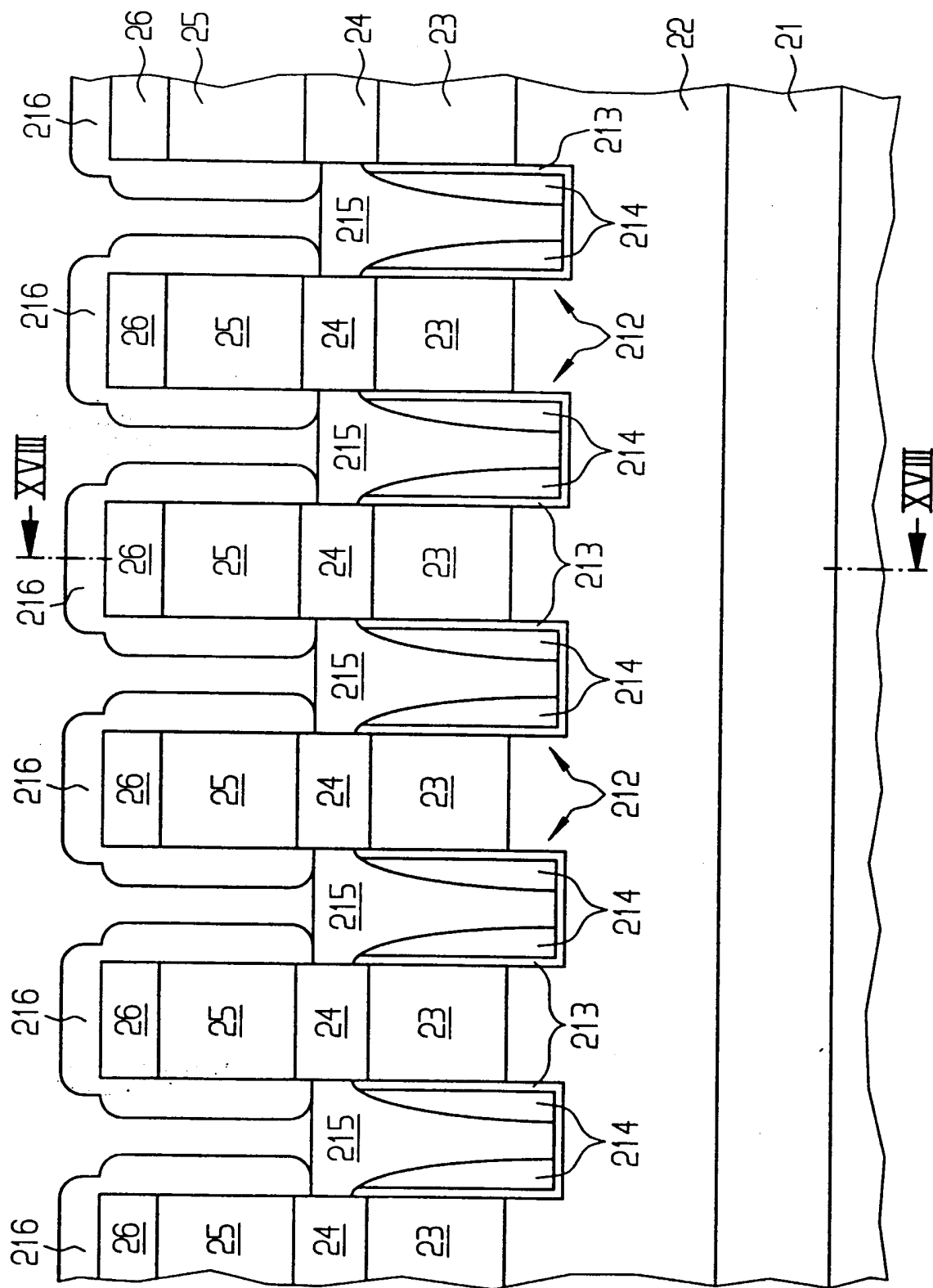
第16圖



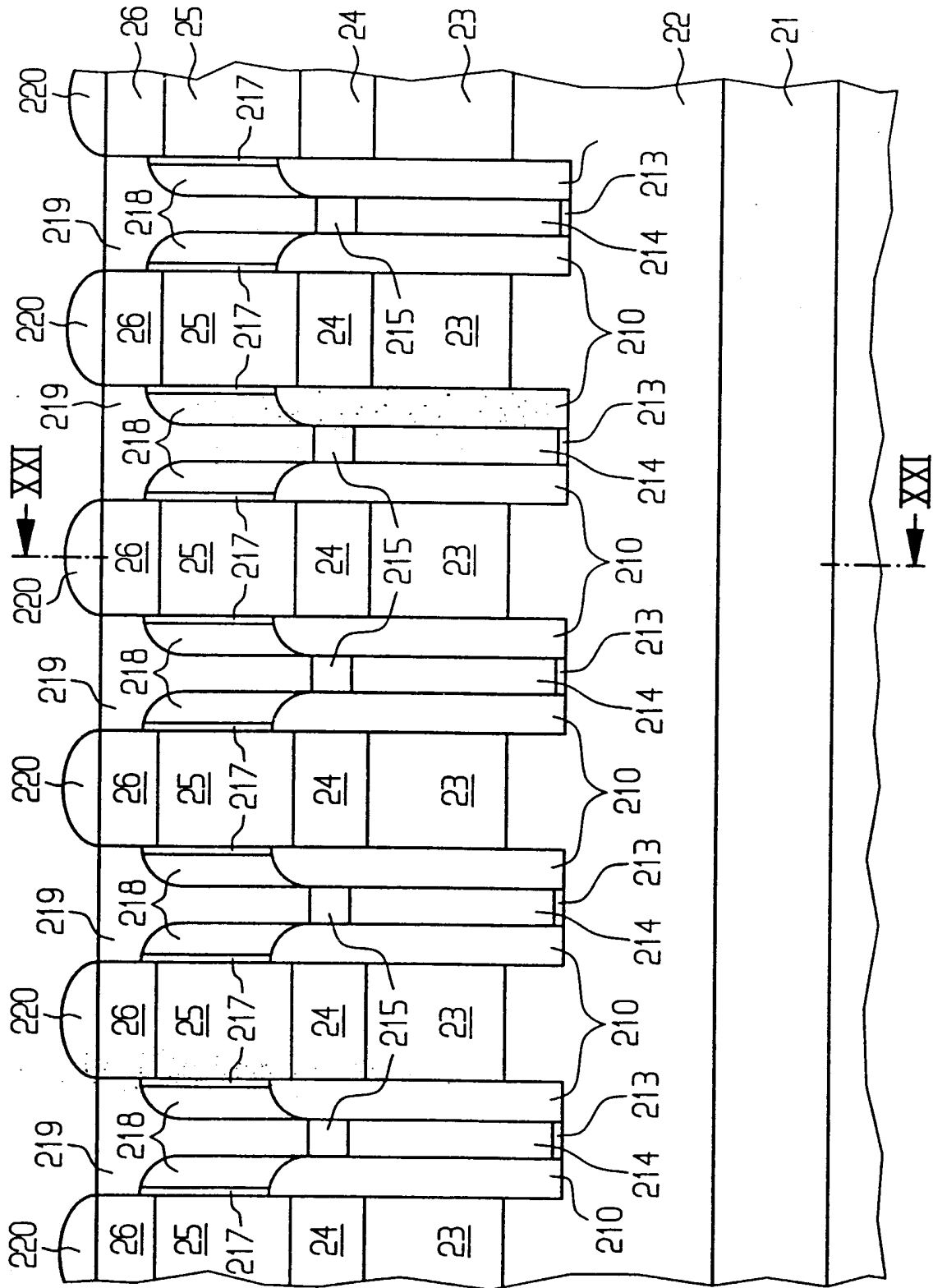
第17圖



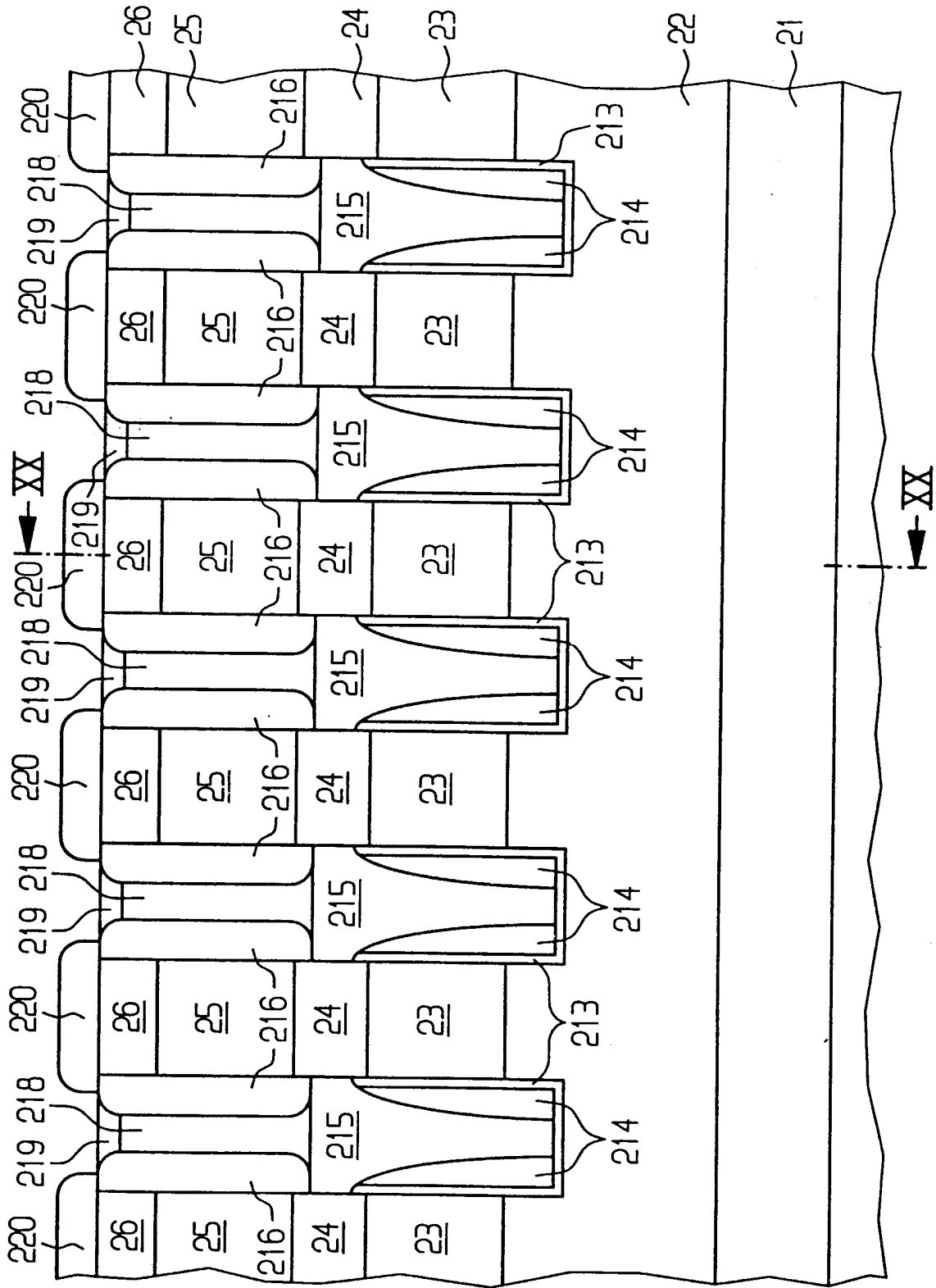
第18圖



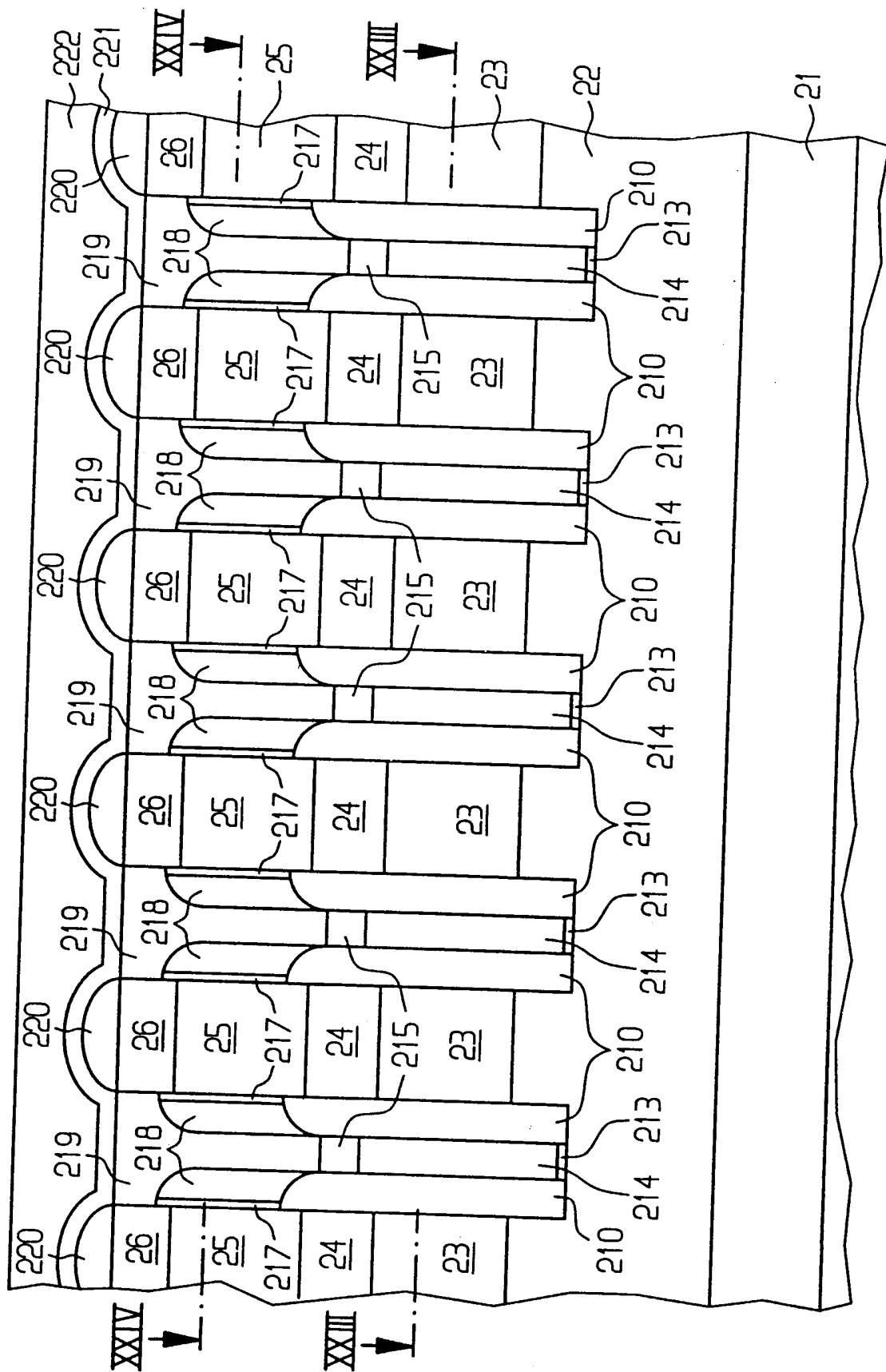
第19圖



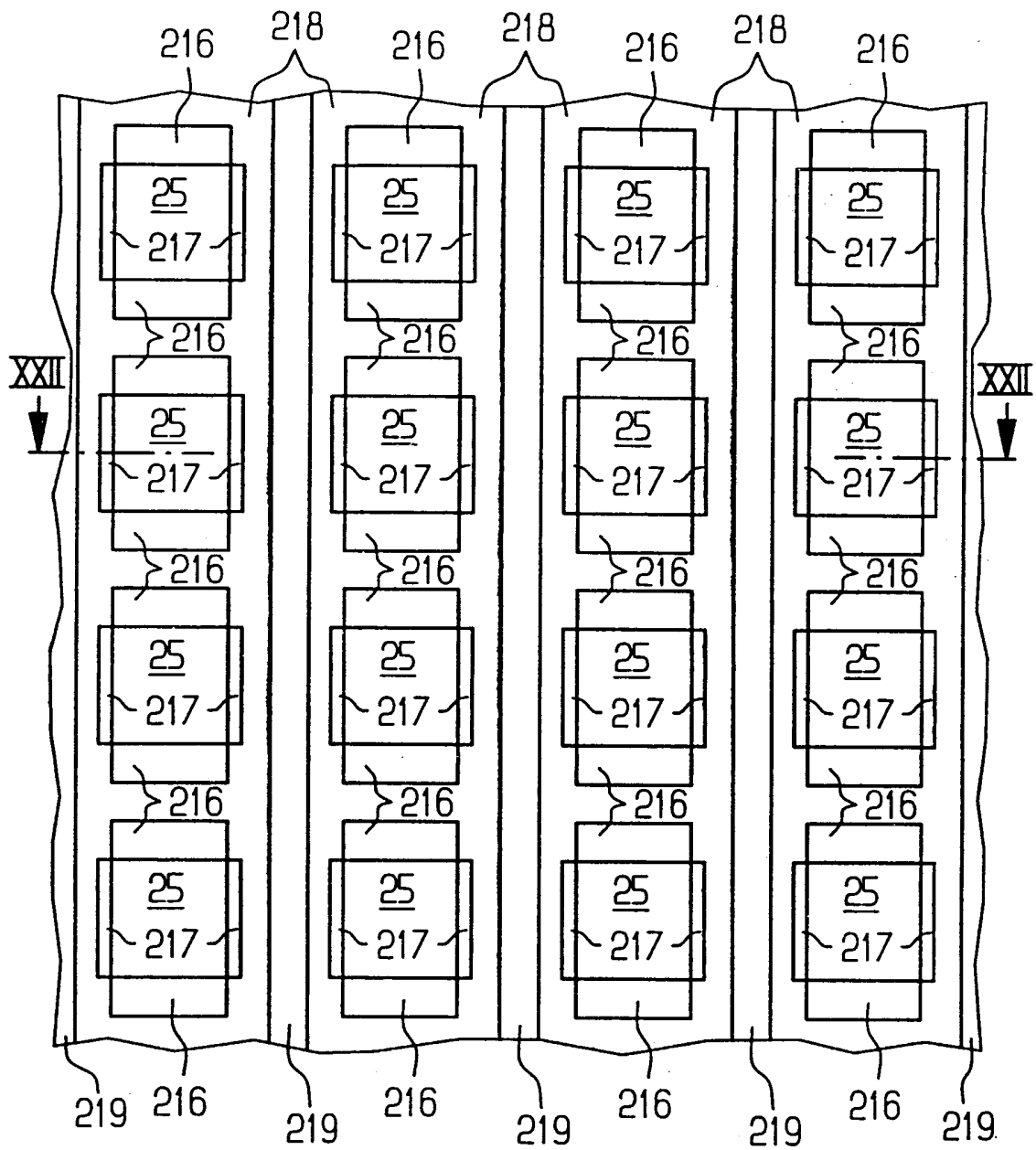
第20圖



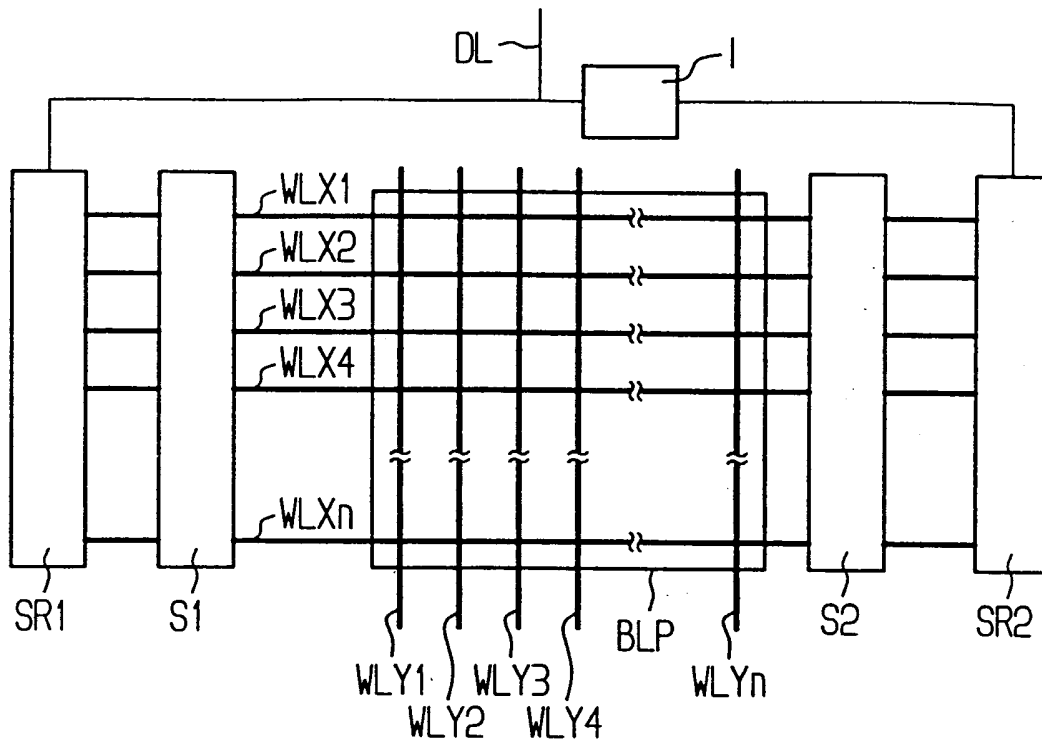
第21圖



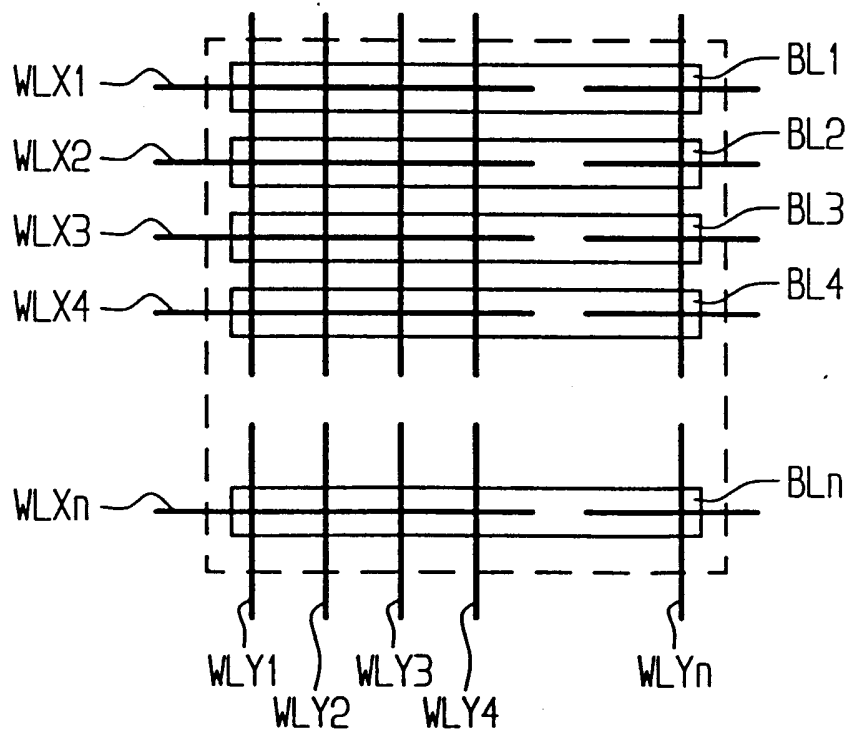
第22圖



第24圖



第25圖



第26圖