

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2009-238871
(P2009-238871A)

(43) 公開日 平成21年10月15日(2009. 10. 15)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 27/10 4 3 4	5 F 0 8 3
HO 1 L 27/115 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)		
HO 1 L 29/792 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号	特願2008-80526 (P2008-80526)	(71) 出願人	000003078
(22) 出願日	平成20年3月26日 (2008. 3. 26)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100108062
			弁理士 日向寺 雅彦
		(72) 発明者	前田 高志
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		(72) 発明者	岩田 佳久
			東京都港区芝浦一丁目1番1号 株式会社東芝内
		Fターム(参考)	5F083 EP18 EP22 EP33 EP34 ER22
			GA02 GA10 JA04 JA33 JA36
			JA37 JA39 KA01
			5F101 BA45 BB02 BB08 BD16 BD22
			BD30 BE07

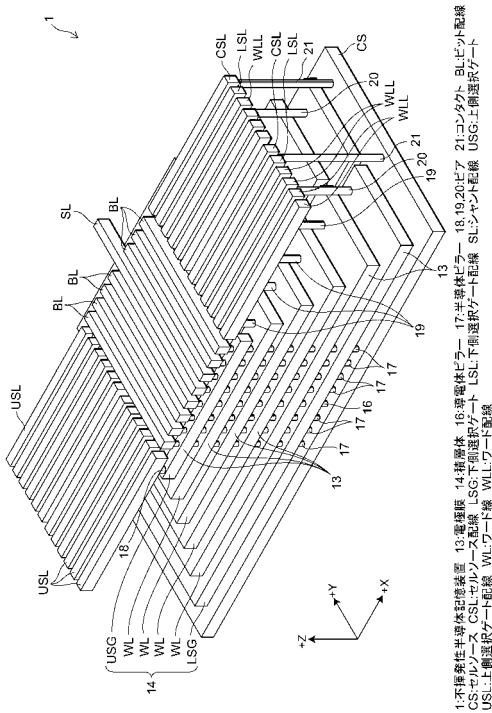
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】動作の所要時間が短い不揮発性半導体記憶装置を提供する。

【解決手段】不揮発性半導体記憶装置1において、シリコン基板上に絶縁膜と導電膜13とを交互に積層させて積層体14を形成し、この積層体14に、積層方向に延びる複数の貫通ホールをマトリクス状に形成する。また、積層体14の上方には、ビット線BLと共に、シャント配線SLを設ける。そして、これらの複数の貫通ホールのうち、シャント配線SLの直下域に一列に配列された貫通ホールの内部には導電体ピラー16を埋設し、残りの貫通ホールの内部には半導体ピラー17を埋設する。導電体ピラー16は、金属又は低抵抗のシリコンによって形成し、その上端部をシャント配線SLに接続し、下端部をシリコン基板の上層部分に形成されたセルソースCSに接続する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、

前記基板の上層部分に形成された半導体領域と、

前記基板上に交互に積層され、積層方向に延びる複数の貫通ホールが前記積層方向から見てマトリクス状に形成されたそれぞれ複数の絶縁膜及び電極膜と、

前記複数の貫通ホールのうちの一部であって第 1 の方向に配列された貫通ホールの内部に埋設された導電体ピラーと、

残りの前記貫通ホールの内部に埋設され前記半導体領域に接続された半導体ピラーと、

前記それぞれ複数の絶縁膜及び電極膜よりも上層に設けられ、前記導電体ピラーに接続されたシャント配線と、

前記それぞれ複数の絶縁膜及び電極膜よりも上層に設けられ、前記半導体ピラーに接続されたビット配線と、

少なくとも前記半導体ピラーと一部の前記電極膜との間に設けられた電荷蓄積層と、
を備え、

前記導電体ピラーの抵抗率は、前記半導体ピラーの抵抗率よりも低いことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記シャント配線及び前記ビット配線よりも上方に設けられ、前記第 1 の方向に交差する第 2 の方向に延び、前記シャント配線に接続された上部配線をさらに備えたことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記導電体ピラーは前記半導体領域に接続されており、前記電極膜には接続されていないことを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 4】

前記導電体ピラーは 1 つの前記電極膜に接続されており、他の前記電極膜及び前記半導体領域には接続されていないことを特徴とする請求項 1 または 2 に記載の不揮発性半導体記憶装置。

【請求項 5】

前記導電体ピラーは前記半導体領域に接続されており、前記電極膜には接続されておらず、

前記半導体領域は、前記第 1 の方向に沿って配列され相互に分離された複数の部分に分断されており、

前記シャント配線及び前記上部配線は前記部分ごとに設けられている

ことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性半導体記憶装置に関し、特に、基板上に複数の絶縁膜及び電極膜が交互に積層された不揮発性半導体記憶装置に関する。

【背景技術】

【0002】

近年、フラッシュメモリの高密度化を図るために、セルを多層化する技術が開発されている。この技術は、基板上に絶縁膜と電極膜とを交互に積層した後、一括で貫通ホールを形成し、この貫通ホールの内面上に電荷を保持する電荷蓄積層を形成し、貫通ホールの内部に柱状の半導体ピラーを埋め込むというものである。これにより、各半導体ピラーと電極膜との交差部分にメモリセルが形成される。そして、最上層の電極膜を分断して一方方向に延びる複数本の選択ゲート線とし、電極膜の上方に他方向に延びる複数本のビット線を設けて半導体ピラーの上端部に接続することにより、任意の半導体ピラーを選択できるようにする。一方、基板の上層部分に拡散領域を形成することにより、半導体ピラーの下端

10

20

30

40

50

に接続されたソース電極を形成する。これにより、メモリセルを３次元的に積層したフラッシュメモリを作製することができる（例えば、特許文献１参照。）。

【０００３】

しかしながら、このような積層型のフラッシュメモリにおいては、各導電部分が３次元的に配置されているため、最上層配線層以外の部分に配置された導電部分、すなわち、ソース電極を構成する拡散領域及び選択ゲート線やワード線を構成する電極膜には、それぞれの端部からしか電位を印加できない。このため、積層型フラッシュメモリにおいて、容量を大きくするために面積を大きくすると、これらの導電部分も大型化し、抵抗が大きくなるという問題がある。この結果、各導電部分を速やかに所定の電位とすることが困難になり、データの書き込み、読み出し、消去の各動作の所要時間が長くなったり、誤動作が生じたりする。また、導電部分の大型化を避けるために、メモリセルアレイを複数に分割する方法が考えられるが、この場合は、メモリセルアレイごとにロウデコーダ等の回路が必要になり、チップ面積が大きくなってしまう。

10

【０００４】

【特許文献１】特開２００７－２６６１４３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

本発明の目的は、動作の所要時間が短い不揮発性半導体記憶装置を提供することである。

20

【課題を解決するための手段】

【０００６】

本発明の一態様によれば、基板と、前記基板の上層部分に形成された半導体領域と、前記基板上に交互に積層され、積層方向に延びる複数の貫通ホールが前記積層方向から見てマトリクス状に形成されたそれぞれ複数の絶縁膜及び電極膜と、前記複数の貫通ホールのうちの一部であって第１の方向に配列された貫通ホールの内部に埋設された導電体ピラーと、残りの前記貫通ホールの内部に埋設され前記半導体領域に接続された半導体ピラーと、前記それぞれ複数の絶縁膜及び電極膜よりも上層に設けられ、前記導電体ピラーに接続されたシャント配線と、前記それぞれ複数の絶縁膜及び電極膜よりも上層に設けられ、前記半導体ピラーに接続されたビット配線と、少なくとも前記半導体ピラーと一部の前記電極膜との間に設けられた電荷蓄積層と、を備え、前記導電体ピラーの抵抗率は、前記半導体ピラーの抵抗率よりも低いことを特徴とする不揮発性半導体記憶装置が提供される。

30

【発明の効果】

【０００７】

本発明によれば、動作の所要時間が短い不揮発性半導体記憶装置を実現することができる。

【発明を実施するための最良の形態】

【０００８】

以下、図面を参照しつつ、本発明の実施形態について説明する。

先ず、本発明の第１の実施形態について説明する。

40

図１は、本実施形態に係る不揮発性半導体記憶装置を例示する斜視図であり、

図２は、本実施形態に係る不揮発性半導体記憶装置を例示する平面図であり、

図３は、本実施形態に係る不揮発性半導体記憶装置を例示する断面図であり、

図４は、本実施形態に係る不揮発性半導体記憶装置の１本のメモリストリングを例示する斜視図であり、

図５は、本実施形態に係る不揮発性半導体記憶装置の１つのメモリセルを例示する断面図である。

【０００９】

なお、図１乃至図４においては、図を見易くするために、導電部分のみを示し、絶縁部分は図示を省略している。また、図１及び図２においては、シリコン基板１１も図示を省

50

略している。後述する他の実施形態においても同様に、図を適宜簡略化している。

【0010】

図1乃至図3に示すように、本実施形態に係る不揮発性半導体記憶装置1（以下、単に「装置1」ともいう）においては、例えば単結晶シリコンからなるシリコン基板11が設けられている。そして、このシリコン基板11の上層部分及びその上方に、1つのメモリセルアレイが設けられている。シリコン基板11の上層部分における矩形の領域には、不純物が導入されて半導体領域が形成されており、セルソースCSとなっている。シリコン基板11上におけるセルソースCSの直上域には、例えば酸化シリコン（ SiO_2 ）からなる複数の絶縁膜12（図5参照）と、例えば多結晶シリコンからなる複数の電極膜13とが、交互に積層されて、積層体14が形成されている。電極膜13の膜厚は、例えば50ナノメートル（nm）以上であり、積層数は例えば6層である。

10

【0011】

以下、本明細書においては、説明の便宜上、XYZ直交座標系を導入する。この座標系においては、シリコン基板11の上面に平行な方向であって相互に直交する2方向をX方向及びY方向とし、X方向及びY方向の双方に対して直交する方向をZ方向とする。

【0012】

電極膜13は、上層に配置された電極膜13ほどX方向における長さが短くなっており、上方（+Z方向）から見て、各電極膜13は、それより下方に配置された電極膜13及びセルソースCSの内側に配置されている。一方、電極膜13におけるY方向の長さは同一である。なお、電極膜13から見て±X方向及び±Y方向の領域には、絶縁膜（図示せず）が設けられている。そして、最下層に配置された電極膜13は、下側選択ゲートLSGとなっており、最上層に配置された電極膜13は、上側選択ゲートUSGとなっており、それ以外の電極膜13は、ワード線WLとなっている。上述の如く、電極膜13の積層数は例えば6層であるため、上側の電極膜13から順に、上側選択ゲートUSG、4層のワード線WL、下側選択ゲートLSGとなっている。積層体14は、Y方向に沿って複数個設けられている。

20

【0013】

上側選択ゲートUSGは、Y方向に沿って分断されており、X方向に延びる複数本の配線状の導電部材となっている。これに対して、ワード線WL及び下側選択ゲートLSGは、単一の積層体14内では分断されておらず、それぞれがXY平面に平行な1枚の板状の導電部材となっている。なお、本実施形態においては、セルソースCSも分断されておらず、複数の積層体14の直下域をつなぐように、XY平面を構成する1枚の板状の導電部材となっている。

30

【0014】

各絶縁膜12及び各電極膜13には、積層方向（Z方向）に延びる複数本の貫通ホール15が形成されている。貫通ホール15は、X方向及びY方向に沿ってマトリクス状に配列されており、X方向及びY方向のそれぞれにおいて、貫通ホール15の配列周期は一定である。また、各貫通ホール15は積層体14全体を貫いている。なお、各上側選択ゲートUSGにおいては、複数の貫通ホール15がX方向に沿って一列に配列されている。

【0015】

複数の貫通ホール15のうちの一部であって、Y方向に一列に配列された貫通ホール15内には、導電体ピラー16が埋設されている。導電体ピラー16は、例えばタングステン（W）若しくはアルミニウム（Al）等の金属、又は、不純物が高濃度にドーピングされた半導体、例えば、多結晶シリコン若しくは非晶質シリコンによって形成されている。なお、本明細書において「金属」というときは、純金属の他に合金も含むものとする。

40

【0016】

一方、残りの貫通ホール15内には、半導体ピラー17が埋設されている。半導体ピラー17は、不純物がドーピングされた半導体、例えば、多結晶シリコン又は非晶質シリコンによって形成されている。導電体ピラー16及び半導体ピラー17の形状は、共にZ方向に延びる同形状の円柱形である。また、本実施形態においては、導電体ピラー16及び半導

50

体ピラー１７の下端部は、いずれもセルソースＣＳに接続されている。

【００１７】

一例では、導電体ピラー１６は、導電体ピラー１６及び半導体ピラー１７からなるマトリクスにおいて、Ｘ方向中央部付近に配置されている。但し、本発明はこれには限定されず、例えば、導電体ピラー１６は、導電体ピラー１６及び半導体ピラー１７からなるマトリクスの－Ｘ方向側の端部に配置されていてもよい。

【００１８】

そして、上側選択ゲートＵＳＧが配置されている領域の直上域には、Ｙ方向に延びる複数本のビット配線ＢＬが設けられている。また、ビット配線ＢＬに混じって、例えば１本のシャント配線ＳＬが設けられている。ビット配線ＢＬ及びシャント配線ＳＬは、同じ高さに配置されており、金属、例えば、タングステン、アルミニウム又は銅（Ｃｕ）によって形成されている。シャント配線ＳＬは、導電体ピラー１６の直上域に設けられており、各導電体ピラー１６の上端部に接続されている。一方、ビット配線ＢＬは、半導体ピラー１７の直上域に設けられており、各ビット配線ＢＬは、Ｙ方向に沿って配列された各列の半導体ピラー１７の上端部に接続されている。すなわち、半導体ピラー１７は、Ｙ方向に延びる列ごとに、異なるビット配線ＢＬに接続されている。本実施形態においては、ビット配線ＢＬ及びシャント配線ＳＬは、Ｙ方向に配列された複数の積層体１４の直上域を通過するように連続的に配設されており、各積層体１４の半導体ピラー１７及び導電体ピラー１６に共通接続されている。

【００１９】

上述の如く、導電体ピラー１６及び半導体ピラー１７は、形状が同じであり、いずれも下端部はセルソースＣＳに接続されている。しかし、両ピラーはその機能が異なっている。導電体ピラー１６は、シャント配線ＳＬをセルソースＣＳに接続するための接続部材として機能する。一方、半導体ピラー１７は、ワード線ＷＬを貫通する部分において、メモリセルとなるトランジスタを構成するために、このトランジスタの半導体領域として機能する。従って、導電体ピラー１６の抵抗率は、半導体ピラー１７の抵抗率よりも低い。

【００２０】

また、ビット配線ＢＬ及びシャント配線ＳＬが配置されている領域の－Ｘ方向側には、Ｘ方向に延びる複数本の上側選択ゲート配線ＵＳＬが設けられている。上側選択ゲート配線ＵＳＬは、金属、例えば、タングステン、アルミニウム又は銅によって形成されている。上側選択ゲート配線ＵＳＬの本数は、上側選択ゲートＵＳＧの本数と同じであり、各上側選択ゲート配線ＵＳＬが各ビア１８を介して各上側選択ゲートＵＳＧに接続されている。

【００２１】

更に、ビット配線ＢＬ及びシャント配線ＳＬが配置されている領域の＋Ｘ方向側には、１つの積層体１４ごとに、Ｘ方向に延びる複数本のワード配線ＷＬＬ、Ｘ方向に延びる１本の下側選択ゲート配線ＬＳＬ、及びＸ方向に延びる１本のセルソース配線ＣＳＬが設けられている。ワード配線ＷＬＬ、下側選択ゲート配線ＬＳＬ、及びセルソース配線ＣＳＬは、金属、例えば、タングステン、アルミニウム又は銅によって形成されている。１つの積層体１４に対応するワード配線ＷＬＬの本数は、ワード線ＷＬの枚数と同じであり、各ワード配線ＷＬＬがビア１９を介して各ワード線ＷＬに接続されている。また、下側選択ゲート配線ＬＳＬはビア２０を介して下側選択ゲートＬＳＧに接続されており、セルソース配線ＣＳＬはコンタクト２１を介してセルソースＣＳに接続されている。ビア１９、２０及びコンタクト２１は、それらが接続される電極膜１３の直上域であって、それより上層の電極膜１３から見て＋Ｘ方向側に外れた領域に形成されている。

【００２２】

ビット配線ＢＬ、シャント配線ＳＬ、上側選択ゲート配線ＵＳＬ、ワード配線ＷＬＬ、下側選択ゲート配線ＬＳＬ及びセルソース配線ＣＳＬは、高さ方向（Ｚ方向）の位置、厚さ、材料が同一であり、例えば、１枚の金属膜がパターンニングされて形成されたものである。各配線間は、層間絶縁膜（図示せず）によって絶縁されている。

【0023】

図4に示すように、各半導体ピラー17は、ビット配線BLとセルソースCSとの間に接続されており、上方から下方に向かって、すなわち、ビット配線BLとの接続部分からセルソースCSとの接続部分に向かって、上側選択ゲートUSG、複数本のワード線WL、下側選択ゲートLSGを貫通している。

【0024】

図5に示すように、半導体ピラー17とワード線WLとの間の円筒状の部分には、内側、すなわち、半導体ピラー17側から順に、絶縁層25、電荷蓄積層26、絶縁層27がこの順に積層されている。絶縁層25及び27は、例えばシリコン酸化物(SiO_2)からなり、電荷蓄積層26は、例えばシリコン窒化物(SiN)からなる。これにより、半導体ピラー17とワード線WLとの交差部分に、メモリセルとなるSGT(Surrounding Gate Transistor: サラウンディングゲートトランジスタ)が形成され、電荷蓄積層26におけるこのSGT内に配置された部分に、電荷が蓄積される。これにより、1本の半導体ピラー17及びその周囲には、ワード線WLと同数のメモリセルがZ方向に一列に配列され、1本のメモリストリングが構成されている。また、装置1においては、複数本の半導体ピラー17がX方向及びY方向に沿ってマトリクス状に配列されていることにより、複数のメモリセルが、X方向、Y方向、Z方向に沿って、3次元的に配列されている。

【0025】

一方、半導体ピラー17と上側選択ゲートUSG及び下側選択ゲートLSGとの間の円筒状の部分には、ゲート絶縁膜(図示せず)が設けられている。これにより、半導体ピラー17と上側選択ゲートUSGとの交差部分、及び半導体ピラー17と下側選択ゲートLSGとの交差部分にも、それぞれSGTが形成される。このSGTはメモリセルとしては機能せず、半導体ピラー17を選択する機能を果たしている。

【0026】

同様に、導電体ピラー16とワード線WLとの間の円筒状の部分にも、絶縁層25、電荷蓄積層26、絶縁層27がこの順に積層されている。これにより、導電体ピラー16は電極膜13、すなわち、上側選択ゲートUSG、ワード線WL及び下側選択ゲートLSGからは絶縁されており、シャント配線SL及びセルソースCSのみに接続されている。なお、導電体ピラー16の周囲には、少なくとも絶縁層25及び27のうちの一方が設けられていればよく、電荷蓄積層26は設けられていなくてもよい。また、導電体ピラー16と上側選択ゲートUSG及び下側選択ゲートLSGとの間には、ゲート絶縁膜(図示せず)が設けられている。このように、電荷蓄積層26は、少なくとも、半導体ピラー17と一部の電極膜13との間、すなわち、メモリセルを構成する部分に設けられていればよい。

【0027】

また、装置1においては、ビット配線BLを介して半導体ピラー17の上端部に電位を印加するドライバ回路、セルソースCSを介して半導体ピラー17の下端部に電位を印加するドライバ回路、上側選択ゲート配線USLを介して上側選択ゲートUSGに電位を印加するドライバ回路、下側選択ゲート配線LSLを介して下側選択ゲートLSGに電位を印加するドライバ回路、ワード配線WLLを介して各ワード線WLに電位を印加するドライバ回路(いずれも図示せず)が設けられている。

【0028】

次に、本実施形態に係る装置1の製造方法の例について説明する。

先ず、シリコン基板11の上層部分の矩形領域に不純物を導入し、セルソースCSを形成する。次に、シリコン基板11上にそれぞれ1層の絶縁膜12及び電極膜13を形成する。そして、これらの電極膜13及び絶縁膜12に貫通ホールを形成する。このとき、例えば、後の工程で導電体ピラー16が形成される予定の領域と、半導体ピラー17が形成される予定の領域とに、同時にマトリクス状に貫通ホールを形成する。次に、この貫通ホールの内面上にゲート絶縁膜を形成し、貫通ホール内に半導体材料、例えば、ドナーがドーピングされたN型の多結晶シリコン又は非晶質シリコンを埋め込む。これにより、下側選択

10

20

30

40

50

ゲート L S G と、貫通ホール 15 の下部及び半導体ピラー 17 の下部が形成される。

【0029】

次に、複数層、例えば 4 層の絶縁膜 12 と例えば 4 層の電極膜 13 とを交互に積層する。そして、積層させた電極膜 13 及び絶縁膜 12 に貫通ホールを形成する。このときにも、例えば、後の工程で導電体ピラー 16 が埋設される予定の貫通ホールと、半導体ピラー 17 が埋設される予定の貫通ホールとを、同時にマトリクス状に形成する。次に、この貫通ホールの内面上に、絶縁層 27、電荷蓄積層 26 及び絶縁層 25 をこの順に形成する。次に、全ての貫通ホール内に半導体材料、例えば、ドナーがドーピングされた N 型の多結晶シリコン又は非晶質シリコンを埋め込む。これにより、4 層の電極膜 13 がワード線 W L となり、貫通ホール 15 の中央部及び半導体ピラー 17 の中央部が形成される。

10

【0030】

次に、1 層の絶縁膜 12、1 層の電極膜 13、1 層の絶縁膜 12 をこの順に形成する。そして、これらに貫通ホールを形成し、貫通ホールの内面上にゲート絶縁膜を形成し、内部に半導体材料を埋め込む。これにより、形成された電極膜 13 が上側選択ゲート U S G となり、貫通ホール 15 の上部及び半導体ピラー 17 の上部が形成される。この結果、貫通ホール 15 及び半導体ピラー 17 が完成する。

【0031】

そして、導電体ピラー 16 を埋め込む予定の貫通ホール 15 のみを露出させ、他の貫通ホール 15 を覆うようにレジスト膜（図示せず）を形成し、このレジスト膜をマスクとしてエッチングを施すことにより、導電体ピラー 16 を埋め込む予定の貫通ホール 15 内から半導体ピラー 17 を除去する。その後、この貫通ホール 15 内に改めて導電体材料、例えば、導電体ピラー 16 よりも高濃度にドナーがドーピングされた N⁺ 型の多結晶シリコン若しくは非晶質シリコン、又はタングステン若しくはアルミニウム等の金属を埋め込み、導電体ピラー 16 を形成する。

20

【0032】

そして、ビア 19、20 及びコンタクト 21 を形成する。次に、全面に金属膜を形成し、パターニングすることにより、ビット配線 B L、シャント配線 S L、上側選択ゲート配線 U S L、ワード配線 W L L、下側選択ゲート配線 L S L 及びセルソース配線 C S L を形成する。これにより、装置 1 を製造する。この方法によれば、X 方向及び Y 方向のそれぞれについて一定の周期で配列された貫通ホール 15 を同時に形成しているため、貫通ホール 15 のサイズのばらつきを抑えることができる。

30

【0033】

又は、以下の方法によっても、装置 1 を製造することができる。

上述の貫通ホール 15 を形成する各段階において、導電体ピラー 16 を形成する予定の領域を覆い、半導体ピラー 17 を形成する予定の領域を露出させるようにレジスト膜（図示せず）を形成し、このレジスト膜をマスクとしてエッチングを行い、半導体ピラー 17 が埋設される予定の貫通ホール 15 のみを先に形成する。そして、この貫通ホール 15 内に半導体材料を埋設し、半導体ピラー 17 を形成する。次に、積層体 14 を形成した後、導電体 16 が埋設される予定の領域に貫通ホール 15 を形成し、導電材料を埋め込み、導電体ピラー 16 を形成する。以後、同様に、ビア 19、20 及びコンタクト 21 を形成し、ビット配線 B L、シャント配線 S L、上側選択ゲート配線 U S L、ワード配線 W L L 及びセルソース配線 C S L を形成する。

40

【0034】

次に、本実施形態の動作及び効果について説明する。

図 1 に示すように、装置 1 においては、ビット線 B L を選択することにより、メモリセルの X 座標を選び、上側選択ゲート U S G を選択することにより、メモリセルの Y 座標を選び、ワード線 W L を選択することにより、メモリセルの Z 座標を選ぶ。これにより、装置 1 内から 1 つのメモリセルを選択し、このメモリセルに対して電荷を注入又は引き出すことにより、データを記憶又は消去する。また、このメモリセルを通過するように、ビット線 B L とセルソース C S との間にセンス電流を流すことにより、記憶されたデータを読

50

み出す。

【0035】

そして、本実施形態においては、シャント配線SLが導電体ピラー16を介してセルソースCSに接続されている。このため、シャント配線SLに印加した電位を、セルソースCSに印加することができる。これにより、セルソースCSの電位を所定の電位に調整する際には、セルソース配線CSL及びコンタクト21を介してセルソースCSの+X方向側の端部に電位を印加すると共に、シャント配線SL及び導電体ピラー16を介してセルソースCSのX方向中央部にも電位を印加することができる。この結果、装置1を大型化しても、セルソースCSを素早く充放電し、その電位を速やかに所定の電位に調整することができる。これにより、データの書き込み、読み出し、消去の各動作の所要時間を短縮し、また、誤動作の発生を防止することができる。従って、装置1の記憶容量を増大させるために、小さなメモリセルアレイを複数設ける必要がなく、1つの大きなメモリセルアレイを形成することができる。これにより、周辺回路を複数組設ける必要がなくなり、チップ面積を低減することができる。

10

【0036】

これに対して、仮に、シャント配線SL及び導電体ピラー16が設けられていないと、セルソースCSの電位を所定の電位に調整する際に、セルソースCSの端部からしか電位を印加できない。また、セルソースCSはシリコン基板11の上層部分に形成された不純物拡散層であるため、金属部分と比較して抵抗率が大きい。従って、シャント配線SL及び導電体ピラー16を設けた場合と比較して、セルソースCSの電位を所定の電位に調整するために要する時間が長くなる。このため、メモリセルアレイを大型化すると、各動作の所要時間が長くなり、また、誤動作が発生しやすくなる。従って、装置1の大容量化を図るためには、小さなメモリセルアレイを複数個設けざるを得なくなり、周辺回路が増え、チップ面積が増大する。

20

【0037】

また、本実施形態によれば、マトリクス状に配列された貫通ホール15のうち、X方向中央部に位置する一列の貫通ホール15内に導電体ピラー16を埋設しているため、導電体ピラー16をセルソースCSのX方向中央部分に接続させることができる。

【0038】

次に、本発明の第2の実施形態について説明する。

30

図6は、本実施形態に係る不揮発性半導体記憶装置を例示する平面図であり、

図7は、本実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【0039】

図6及び図7に示すように、本実施形態に係る不揮発性半導体記憶装置2においては、シャント配線SLよりも上層に、X方向に延びる上部配線Mが設けられている。上部配線Mは、積層体14ごとに、セルソース配線CSLの直上域からシャント配線SLの直上域にわたって配設されており、上部配線Mの+X方向側の端部は、ビア32を介してセルソース配線CSLに接続されており、-X方向側の端部は、ビア33を介してシャント配線SLに接続されている。上部配線Mは、例えば、タングステン、アルミニウム又は銅等の金属により形成されている。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。

40

【0040】

セルソースCSに電位を印加するためには、セルソース用のドライバ回路が必要である。前述の第1の実施形態において、コンタクト21及びシャント配線SLの双方を介してセルソースCSに電位を印加するためには、積層体14から見て+X方向側の領域と+Y方向側若しくは-Y方向側の領域の双方にセルソース用のドライバ回路を設けるか、又は、積層体14から見て+X方向側の領域のみにドライバ回路を設け、このドライバ回路から+Y方向側若しくは-Y方向側の領域まで配線を引き回す必要がある。

【0041】

これに対して、本実施形態によれば、シャント配線SLよりも上層にX方向に延びる上

50

部配線Mを設けることにより、セルソース配線CSLを、上部配線Mを介してシャント配線SLに接続することができる。このため、積層体14から見てY方向側の領域にドライバ回路を設ける必要がなく、配線を引き回す必要もない。これにより、装置全体の構成を簡略化し、より一層の小型化を図ることができる。本実施形態における上記以外の動作及び効果は、前述の第1の実施形態と同様である。

【0042】

次に、本発明の第3の実施形態について説明する。

図8は、本実施形態に係る不揮発性半導体記憶装置を例示する平面図である。

図8に示すように、本実施形態に係る不揮発性半導体記憶装置3においては、シャント配線SLが積層体14ごとに分断されている。また、上部配線Mは、積層体14ごとに設けられている。従って、装置3においては、積層体14と同数の上部配線Mが設けられている。更に、セルソースCSも、Y方向に沿って積層体14ごとに複数の部分に分断されている。セルソースCSの複数の部分は、Y方向に沿って配列されており、電氣的に相互に分離されている。そして、各積層体14において、上部配線Mは、シャント配線SL及び導電体ピラー16を介して、セルソースCSの各部分に接続されている。本実施形態における上記以外の構成は、前述の第2の実施形態と同様である。

【0043】

本実施形態においては、シャント配線SL、セルソースCSが積層体14ごとに分断されており、積層体14ごとに上部配線Mが設けられているため、半導体ピラー17の上下端間に印加する電圧を、積層体14ごとに制御することができる。これにより、メモリセルに記憶されているデータを、積層体14ごとに消去することができる。すなわち、装置3においては、1つの積層体14に属する一定数のメモリセルが1つのブロックを構成し、ブロック単位でデータの消去を行うことができる。本実施形態における上記以外の動作及び効果は、前述の第2の実施形態と同様である。

【0044】

次に、本発明の第4の実施形態について説明する。

図9は、本実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

図9に示すように、本実施形態に係る不揮発性半導体記憶装置4においては、前述の第1の実施形態に係る不揮発性半導体記憶装置1（図3参照）と比較して、導電体ピラー16がセルソースCSではなく下側選択ゲートLSGに接続されている点が異なっている。なお、導電体ピラー16は、上側選択ゲートUSG、ワード線WL及びセルソースCSには接続されていない。本実施形態における上記以外の構成は、前述の第1の実施形態と同様である。

【0045】

本実施形態においては、シャント配線SLが導電体ピラー16を介して下側選択ゲートLSGに接続されている。このため、下側選択ゲート配線LSLがビア20を介して下側選択ゲートLSGの端部に電位を印加すると共に、シャント配線SL及び導電体ピラー16を介して下側選択ゲートLSGの中央部にも電位を印加することができる。この結果、下側選択ゲートLSGの電位を速やかに調整することができる。

【0046】

本実施形態に係る装置4は、例えば、以下の方法によって製造することができる。すなわち、1層目の絶縁膜12及び1層目の電極膜13を形成し、これらの膜に貫通ホールを形成する際に、導電体ピラー16の直下域となる予定の領域には貫通ホールを形成しない。そして、貫通ホール内に半導体材料を埋め込む。次に、2層目以降の絶縁膜12及び電極膜13を形成し、これらの膜に貫通ホールを形成する際に、導電体ピラー16が埋設される予定の貫通ホール15と、半導体ピラー17が埋設される予定の貫通ホール15とを、同時に形成する。これにより、半導体ピラー17が埋設される予定の貫通ホール15はセルソースCSまで到達するが、導電体ピラー16が埋設される予定の貫通ホール15は1層目の電極膜13、すなわち、下側選択ゲートLSGまでしか到達しない。そして、全ての貫通ホール内に半導体材料を埋め込む。次に、最上層の絶縁膜12及び電極膜13を

形成し、貫通ホールを形成し、半導体材料を埋め込む。これにより、半導体ピラー 17 が埋設される。その後、導電体ピラー 16 を形成する予定の貫通ホール 15 内から半導体材料を除去し、この貫通ホール 15 内に導電体ピラー 16 を改めて埋設する。この方法によれば、シャント配線 S L と下側選択ゲート L S G との間にのみ、導電体ピラー 16 を設けることができる。

【0047】

次に、本発明の第 5 の実施形態について説明する。

図 10 は、本実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

図 10 に示すように、本実施形態は、前述の第 4 の実施形態に前述の第 2 の実施形態を組み合わせた例である。すなわち、本実施形態に係る不揮発性半導体記憶装置 5 においては、シャント配線 S L は導電体ピラー 16 を介して下側選択ゲート L S G に接続されており、シャント配線 S L と下側選択ゲート配線 L S L との間に、上部配線 M が接続されている。本実施形態における上記以外の構成は、前述の第 4 の実施形態と同様である。

10

【0048】

本実施形態によれば、積層体 14 から見て ±Y 方向側の領域に下側選択ゲート L S G を駆動するためのドライバ回路を設けることなく、また、これらの領域内で配線を引き回すことなく、シャント配線 S L 及び導電体ピラー 16 を介して下側選択ゲート L S G に電位を印加することができる。本実施形態における上記以外の動作及び効果は、前述の第 4 の実施形態と同様である。

20

【0049】

次に、本発明の第 6 の実施形態について説明する。

図 11 は、本実施形態に係る不揮発性半導体記憶装置を例示する平面図であり、

図 12 は、本実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【0050】

図 11 及び図 12 に示すように、本実施形態に係る不揮発性半導体記憶装置 6 は、前述の第 2 の実施形態に係る不揮発性半導体記憶装置 2 (図 6 及び図 7 参照) と比較して、以下の点が異なっている。すなわち、導電体ピラー 16 はセルソース C S ではなく上側選択ゲート U S G に接続されている。なお、導電体ピラー 16 は、ワード線 W L、下側選択ゲート L S G 及びセルソース C S には接続されていない。また、シャント配線 S L は上側選択ゲート配線 U S L ごとに分断されている。更に、上部配線 M は積層体 14 ごとではなく上側選択ゲート配線 U S L ごとに設けられており、上側選択ゲート配線 U S L をシャント配線 S L に接続している。本実施形態における上記以外の構成は、前述の第 2 の実施形態と同様である。なお、装置 6 の製造方法は、前述の第 4 の実施形態で説明した方法と同様である。

30

【0051】

本実施形態においては、上側選択ゲート配線 U S L がビア 18 を介して上側選択ゲート U S G の端部に電位を印加すると共に、上部配線 M、シャント配線 S L 及び導電体ピラー 16 を介して上側選択ゲート U S G の中央部にも電位を印加することができる。この結果、上側選択ゲート U S G の電位を速やかに調整することができる。

【0052】

次に、本発明の第 7 の実施形態について説明する。

図 13 は、本実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

図 13 に示すように、本実施形態に係る不揮発性半導体記憶装置 7 においては、前述の第 1 の実施形態に係る不揮発性半導体記憶装置 1 (図 3 参照) と比較して、導電体ピラー 16 がセルソース C S ではなくワード線 W L の 1 つに接続されている点が異なっている。なお、導電体ピラー 16 は、上側選択ゲート U S G、他のワード線 W L、下側選択ゲート L S G 及びセルソース C S には接続されていない。本実施形態における上記以外の構成は、前述の第 1 の実施形態と同様である。

40

【0053】

なお、導電体ピラー 16 の直下域には、貫通ホールが形成されていてもいなくてもよく

50

、貫通ホールが形成されている場合には、この貫通ホール内には、絶縁材料が埋め込まれていてもよく、上方の導電体ピラー１６に接続されない限り、導電材料が埋め込まれていてもよく、半導体材料が埋め込まれていてもよい。但し、半導体材料が埋め込まれていても、メモリセルとしては機能しない。

【００５４】

本実施形態においては、ワード配線ＷＬＬがビア１９を介してワード線ＷＬの＋Ｘ方向側の端部に電位を印加すると共に、シャント配線ＳＬ及び導電体ピラー１６を介してワード線ＷＬのＸ方向中央部にも電位を印加することができる。この結果、このワード線ＷＬの電位を速やかに調整することができる。

【００５５】

10

次に、本発明の第８の実施形態について説明する。

図１４は、本実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

図１４に示すように、本実施形態は、前述の第７の実施形態に前述の第２の実施形態を組み合わせた例である。すなわち、本実施形態に係る不揮発性半導体記憶装置８においては、シャント配線ＳＬは導電体ピラー１６を介して１つのワード線ＷＬに接続されており、シャント配線ＳＬとこのワード線ＷＬに接続されたワード配線ＷＬＬとの間に、上部配線Ｍが接続されている。本実施形態における上記以外の構成は、前述の第７の実施形態と同様である。

【００５６】

本実施形態によれば、積層体１４から見て±Ｙ方向側の領域にワード線ＷＬを駆動するためのドライバ回路を設けることなく、また、これらの領域内で配線を引き回すことなく、シャント配線ＳＬ及び導電体ピラー１６を介してワード線ＷＬに電位を印加することができる。本実施形態における上記以外の動作及び効果は、前述の第７の実施形態と同様である。

20

【００５７】

以上、実施形態を参照して本発明を説明したが、本発明はこれらの実施形態に限定されるものではない。例えば、前述の各実施形態は、相互に組み合わせて実施することができる。また、前述の各実施形態に対して、当業者が適宜、構成要素の追加、削除若しくは設計変更を行ったものも、本発明の要旨を備えている限り、本発明の範囲に含有される。

【図面の簡単な説明】

30

【００５８】

【図１】本発明の第１の実施形態に係る不揮発性半導体記憶装置を例示する斜視図である。

【図２】第１の実施形態に係る不揮発性半導体記憶装置を例示する平面図である。

【図３】第１の実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【図４】第１の実施形態に係る不揮発性半導体記憶装置の１本のメモリストリングを例示する斜視図である。

【図５】第１の実施形態に係る不揮発性半導体記憶装置の１つのメモリセルを例示する断面図である。

【図６】本発明の第２の実施形態に係る不揮発性半導体記憶装置を例示する平面図である。

40

【図７】第２の実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【図８】本発明の第３の実施形態に係る不揮発性半導体記憶装置を例示する平面図である。

【図９】本発明の第４の実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【図１０】本発明の第５の実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【図１１】本発明の第６の実施形態に係る不揮発性半導体記憶装置を例示する平面図である。

50

【図 1 2】 第 6 の実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【図 1 3】 本発明の第 7 の実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

【図 1 4】 本発明の第 8 の実施形態に係る不揮発性半導体記憶装置を例示する断面図である。

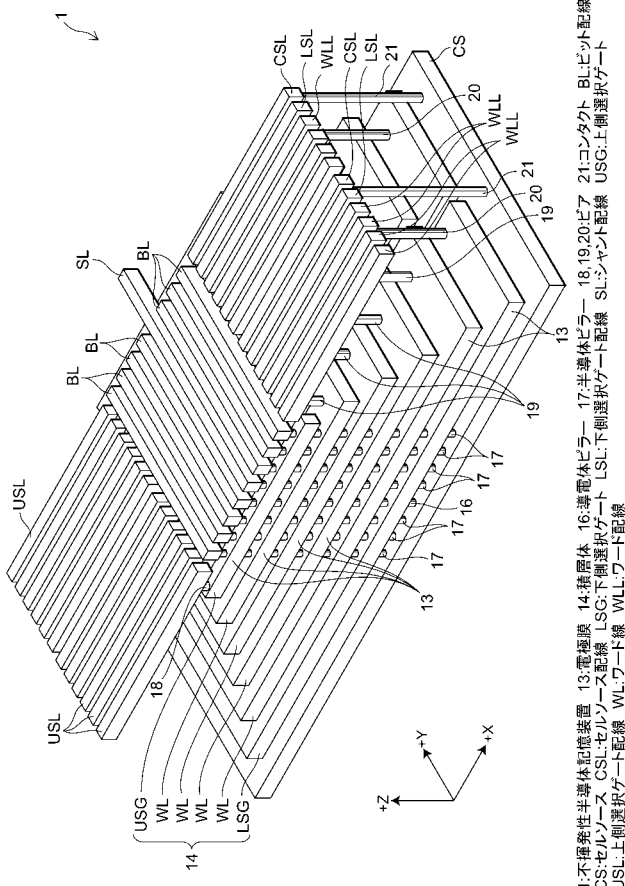
【符号の説明】

【0059】

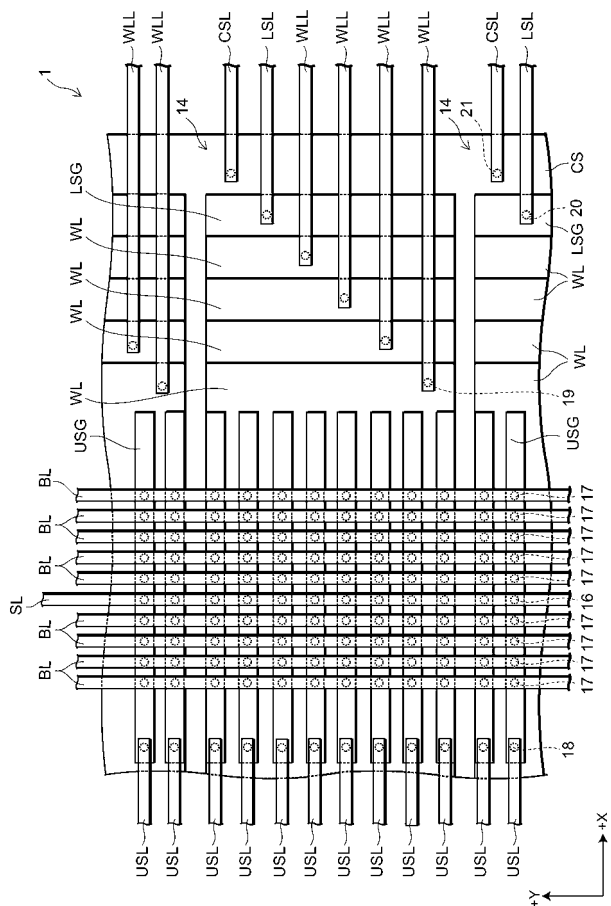
1、2、3、4、5、6、7、8 不揮発性半導体記憶装置、11 シリコン基板、12 絶縁膜、13 電極膜、14 積層体、15 貫通ホール、16 導電体ピラー、17 半導体ピラー、18、19、20 ビア、21 コンタクト、25 絶縁層、26 電荷蓄積層、27 絶縁層、32、33 ビア、BL ビット配線、CS セルソース、CSL セルソース配線、LSG 下側選択ゲート、LSL 下側選択ゲート配線、M 上部配線、SL シャント配線、USG 上側選択ゲート、USL 上側選択ゲート配線、WL ワード線、WLL ワード配線

10

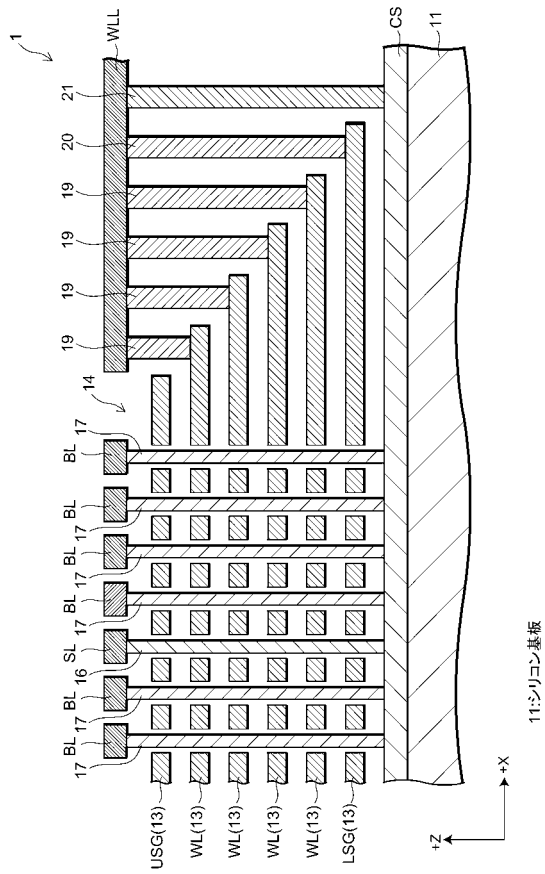
【図 1】



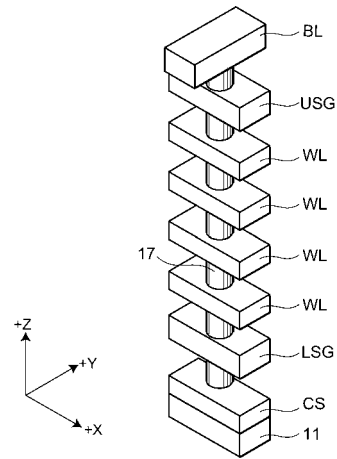
【図 2】



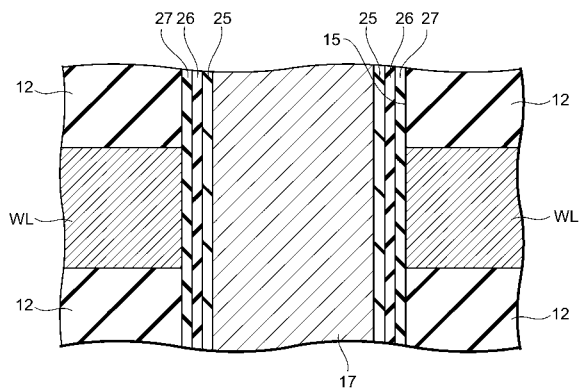
【図 3】



【図 4】

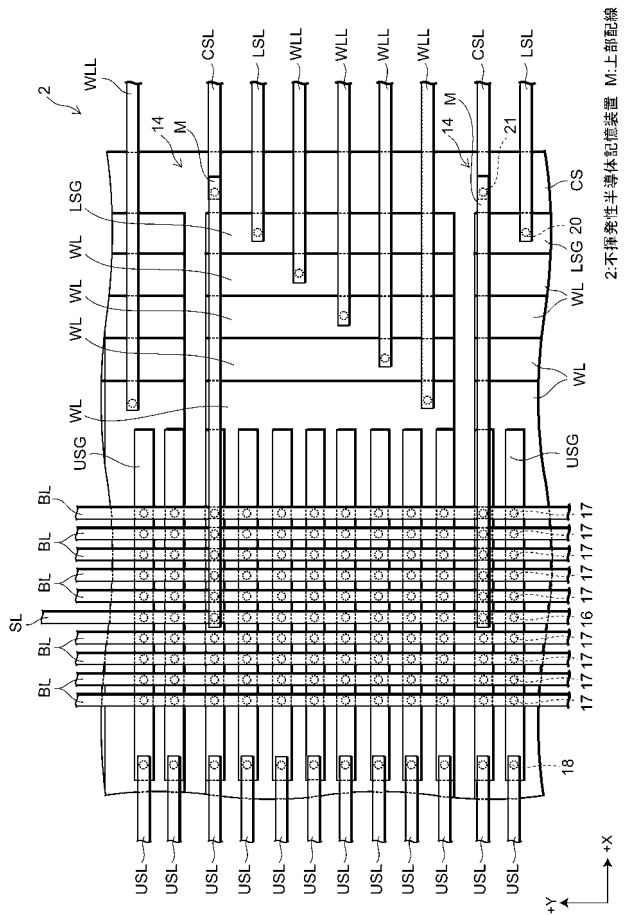


【図 5】



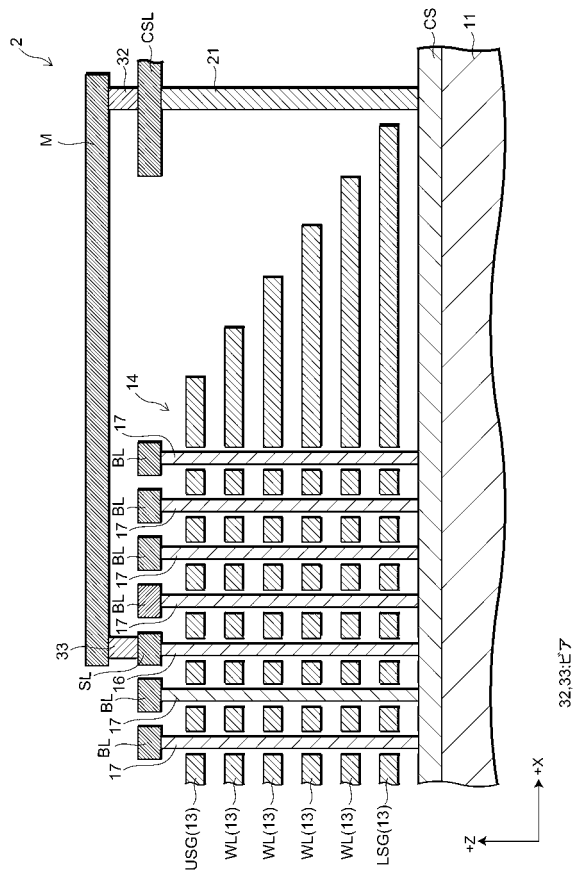
12:絶縁膜 15:貫通ホール 25:絶縁層 26:電荷蓄積層 27:絶縁層

【図 6】

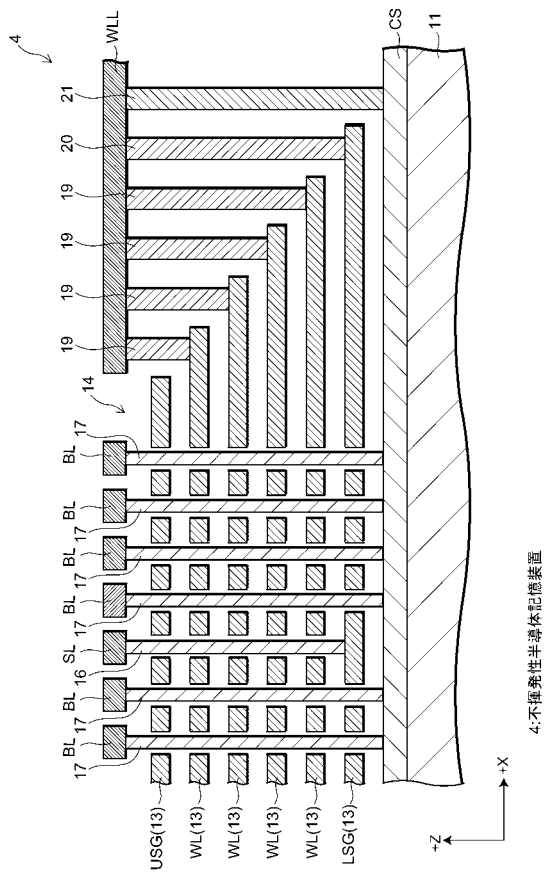


2:不揮発性半導体記憶装置 M:上部配線

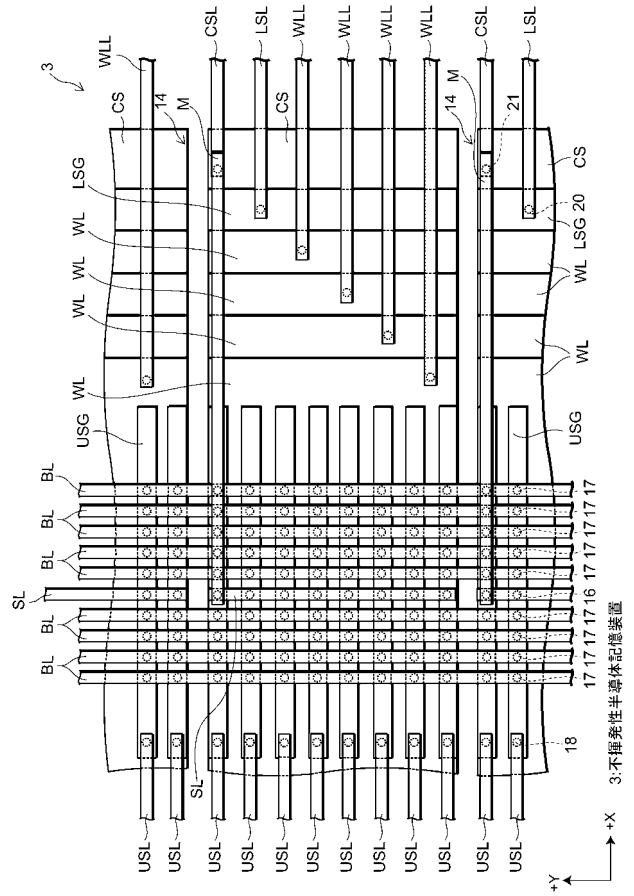
【图 7】



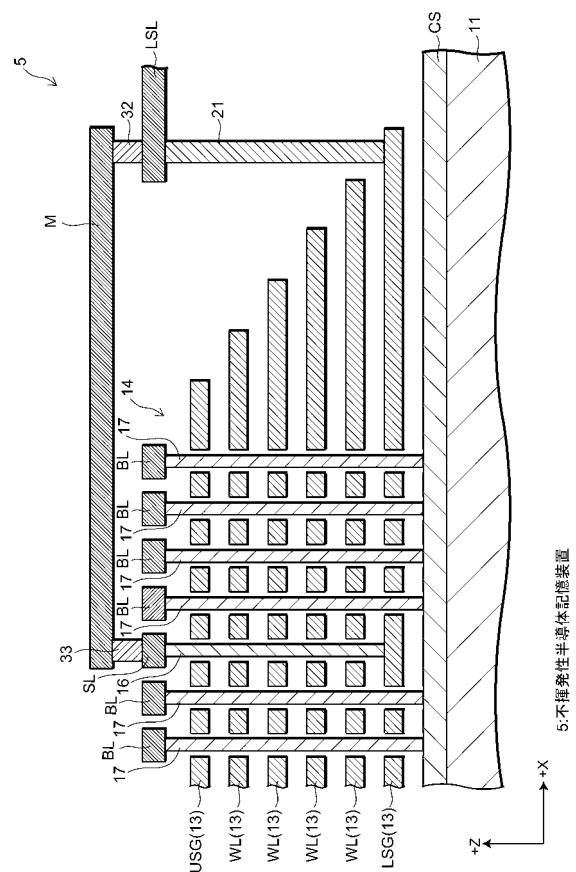
【 図 9 】



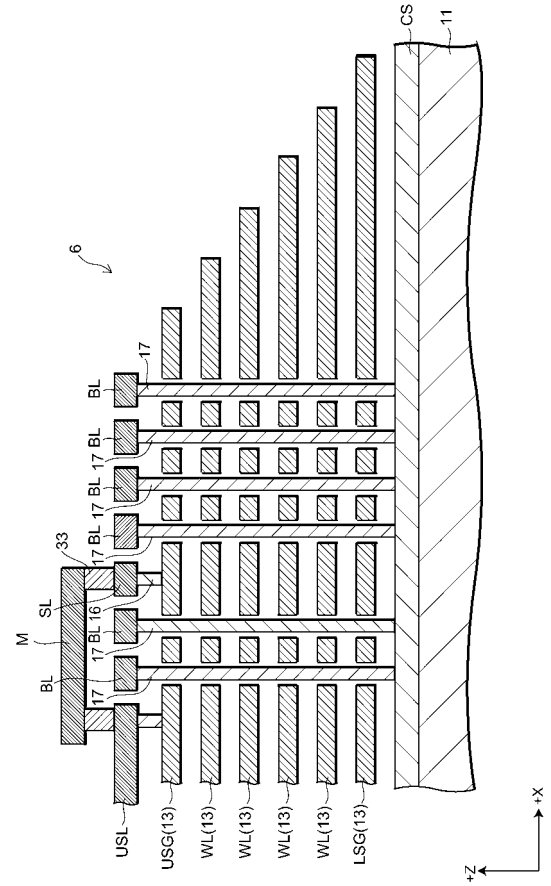
【图 8】



【 図 1 0 】



【図 1 2】



【図 14】

