

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5279701号
(P5279701)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年5月31日(2013.5.31)

(51) Int.Cl.	F I
G06F 9/38 (2006.01)	G06F 9/38 310A
G06F 5/06 (2006.01)	G06F 5/06 C

請求項の数 1 (全 10 頁)

(21) 出願番号	特願2009-501622 (P2009-501622)	(73) 特許権者	504199127
(86) (22) 出願日	平成19年2月23日 (2007.2.23)		フリースケール セミコンダクター イン
(65) 公表番号	特表2009-530753 (P2009-530753A)		コーポレイテッド
(43) 公表日	平成21年8月27日 (2009.8.27)		アメリカ合衆国 テキサス州 78735
(86) 国際出願番号	PCT/US2007/062651		オースティン ウィリアム キャノン
(87) 国際公開番号	W02007/109395		ドライブ ウェスト 6501
(87) 国際公開日	平成19年9月27日 (2007.9.27)	(74) 代理人	100070150
審査請求日	平成22年2月19日 (2010.2.19)		弁理士 伊東 忠彦
(31) 優先権主張番号	11/385,463	(74) 代理人	100091214
(32) 優先日	平成18年3月21日 (2006.3.21)		弁理士 大貫 進介
(33) 優先権主張国	米国 (US)	(74) 代理人	100107766
			弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 命令プリフェッチバッファ深さの動的制御を有するデータプロセッサとその方法

(57) 【特許請求の範囲】

【請求項 1】

複数のラインを備え、命令を F I F O (F i r s t - I n F i r s t - O u t) 形式により格納するプリフェッチバッファを有するデータプロセッサを提供するステップと、

前記プリフェッチバッファの可変的な最大深さを命令を格納可能な前記複数のラインのライン数として設定するステップと、

前記可変的な最大深さをを用いて命令を前記プリフェッチバッファにフェッチするステップと、

前記データプロセッサの状態に応じて前記可変的な最大深さを動的に調整するステップと、

を有し、

前記動的に調整するステップは、

前記プリフェッチバッファのスタベーション状態をモニタし、

前記プリフェッチバッファのスタベーションレートが閾値を超える場合、前記可変的な最大深さを増加させ、

前記プリフェッチバッファがスタベーションの近傍に平均的にない場合、前記可変的な最大深さを減少させる、

ことから構成される方法。

【発明の詳細な説明】

【発明の詳細な説明】

【0001】

[開示分野]

本開示は、一般にデータプロセッサに関し、より詳細にはデータプロセッサの命令プリフェッチバッファを管理するシステム及び方法に関する。

[背景]

一般に、パーソナルコンピュータ、携帯情報端末、携帯及びデジタル電話並びに他のプロセッサベース装置などの計算システムは、コンピュータ可読命令を処理するためマイクロプロセッサの形式によるデータプロセッサを含む。マイクロプロセッサは、コンピュータ可読命令を復号化する命令デコーダと、復号化された命令を実行する1以上の命令ユニットとを有するシングルチップデータプロセッサである。実行ユニットは、アプリケーションプログラムが機能するためのアクションの大部分を実行する。

10

【0002】

現在のマイクロプロセッサは、典型的には、パフォーマンスを向上させるための複数の特徴を有している。これらの特徴の1つは、オンチップキャッシュメモリである。キャッシュメモリは、命令フェッチ処理（命令キャッシュの場合）又はデータ参照（データキャッシュの場合）の局所性又はロカリティ（locality）を利用して、メインメモリの相対的に遅いアクセス時間によるパイプラインストールを回避する高速ローカルメモリである。

【0003】

命令キャッシュの使用は特にマイクロプロセッサパフォーマンスを大きく向上させるが、いくつかのパフォーマンスの障害が残っている。これらの1つは、命令フェッチがキャッシュにおいてヒットする場合でさえ、キャッシュアクセス自体がある時間を必要とするという事実である。一般的であるように、マイクロプロセッサがメモリ管理を利用し、キャッシュが物理的なアドレスに対応するデータを格納する物理キャッシュである場合、キャッシュアクセスはアドレス変換ステップを必要とする。他の障害は、マイクロプロセッサがサイクル毎に複数の命令を発行し、これにより、命令がキャッシュから返されることの要求を増大させるスーパースcalarデザインである。これらの状態の結果として、命令フェッチがキャッシュにおいてミスとなる場合、キャッシュが相対的に低速なメインメモリからリクエストされた命令をフェッチしている間、命令パイプラインは、命令スタベーション（instruction starvation）によりストールされるかもしれない。

20

30

【0004】

従って、いくつかのハイエンドマイクロプロセッサは、初期のメインフレームコンピュータに一般的であった特徴を利用することをスタートした。この特徴は、命令をフェッチするためのプリフェッチバッファの利用である。プリフェッチバッファは、FIFO（First-In First-Out）形式によりキャッシュ又はメインメモリから予めロードされた命令を格納するレジスタ群である。プリフェッチバッファは、キャッシュ若しくはメインメモリアクセス中に発生する可能性がある命令スタベーションを防ぐが、それ自体の制約を有する。1つの制約は、いくつかのマイクロプロセッサは可変長命令をサポートするが、それはプリフェッチバッファの非効率な利用を生じさせる可能性があるということである。

40

【0005】

他の制約は、ブランチ命令などの特定タイプの命令はデータプロセッサのためのフローの変化を生じさせる可能性があるということである。このような命令が命令デコーダによって復号化され、ブランチ命令であると認識される時点まで、ブランチ命令に続く複数の命令が、ブランチが選択される場合には必要とされないプリフェッチバッファにフェッチ及びロードされているかもしれない。このため、命令はプリフェッチバッファから以降に破棄されるためにだけ、メモリからロードされるかもしれない。破棄された命令は、不要なフェッチ処理の形式により浪費される電力を表す。

[発明の詳細な説明]

50

本発明の一特徴によると、データプロセッサはプリフェッチバッファとフェッチコントロールユニットとを有する、プリフェッチバッファは、複数のラインを有し、命令を格納可能な複数のラインのライン数を規定する可変的な最大深さを有する。フェッチコントロールユニットは、プリフェッチバッファの複数のラインの少なくとも1つをモニタし、データプロセッサの状態に応じてプリフェッチバッファの可変的な最大深さを調整するため、プリフェッチバッファに接続される。

【0006】

上記特徴によると、フェッチコントロールユニットは、可変的な最大深さにより決定されるプリフェッチバッファの第1ラインをモニタし、第1ラインがエンプティであるとき、命令フェッチを開始するかもしれない。

10

【0007】

フェッチコントロールユニットはまた、プリフェッチバッファの可変的な最大深さを第1の所定の深さ又は第2の所定の深さにセットするよう調整されるかもしれない。

【0008】

フェッチコントロールユニットはさらに、命令タイプに応じてプリフェッチバッファの可変的な最大深さを設定するかもしれない。この場合、フェッチコントロールユニットは、命令タイプに応じてプリフェッチバッファの可変的な最大深さを第1の所定の深さ又は第2の所定の深さに設定するかもしれない。命令タイプは、32ビット命令と16ビット命令の何れかとするのが可能であり、あるいは32ビット命令と可変長命令の何れかとするのが可能である。

20

【0009】

フェッチコントロールユニットはさらに、プリフェッチバッファの可変的な最大深さを動的に調整するかもしれない。この場合、フェッチコントロールユニットは、プリフェッチバッファのスタベーション状態に応じて、可変的な最大深さを増加させるかもしれない。スタベーション状態は、命令スタベーションの頻度が閾値を超えるということであるかもしれない。この場合、フェッチコントロールユニットは、スタベーション状態に応じて可変的な最大深さを増加させる。スタベーション状態はまた、プリフェッチバッファがスタベーションの近傍に平均的にない否かということであるかもしれない。この場合、フェッチコントロールユニットは、スタベーション状態に応じて可変的な最大深さを減少させる。この後者のケースでは、フェッチコントロールユニットは、プリフェッチバッファがプリフェッチバッファの複数のラインの状態をモニタリングすることによって、スタベーションの近傍に平均的にあるか判断するかもしれない。

30

【0010】

他の特徴によると、データプロセッサは、レジスタ、プリフェッチバッファ及びフェッチコントロールユニットを有する。レジスタは、データプロセッサが複数のモードの選択されたモードにより動作していることを示す命令プリフェッチコントロール値を格納する。プリフェッチバッファは複数のラインを含み、さらに命令を格納可能な複数のラインのライン数を規定する可変的な最大深さを有する。プリフェッチコントロールユニットは、プリフェッチバッファとレジスタに接続され、命令プリフェッチコントロール値に応じて可変的な最大深さを制御する。

40

【0011】

上記特徴によると、フェッチコントロールユニットは、命令プリフェッチコントロール値が第1の値又は第2の値になることに応答して、それぞれプリフェッチバッファの可変的な最大深さを第1の所定の深さ又は第2の所定の深さに設定するかもしれない。あるいは、フェッチコントロールユニットは、命令プリフェッチコントロール値が所定の値になることに応答して、プリフェッチバッファの可変的な最大深さを現在の命令タイプにより少なくとも部分的に決定される第1の所定の深さと第2の所定の深さの何れかに設定するかもしれない。同様に、プリフェッチコントロールユニットは、命令プリフェッチコントロール値が所定の値になることに応答して、プリフェッチバッファの可変的な最大深さを動的に設定するかもしれない。この場合、フェッチコントロールユニットは、プリフェッ

50

チバッファのスタベーション状態に応じて、プリフェッチバッファの可変的な最大深さを動的に増減するかもしれない。

【0012】

さらなる特徴によると、命令を格納可能な複数のラインのライン数を規定する可変的な最大深さと複数のラインとを備えたプリフェッチバッファを有するデータプロセッサにおいて使用される方法が構成される。プリフェッチバッファのスタベーション状態がモニタされる。プリフェッチバッファのスタベーションレートが閾値を超える場合、可変的な最大深さが増加される。プリフェッチバッファがスタベーションの近傍に平均的にない場合、可変的な最大深さが減少される。

【0013】

上記特徴によると、命令は可変的な最大深さに従って構成されたプリフェッチバッファにフェッチされるかもしれない。さらに、命令はプリフェッチバッファから出力され、データプロセッサによって実行のため復号化されるかもしれない。

【0014】

図面を参照するに、図1は、本発明の実施例によるフェッチコントロールユニット116を有するデータプロセッサ102を含むデータ処理システム100の一部を示すブロック図である。データ処理システム100は、一般にデータプロセッサ102とメモリ104を有する。データプロセッサ102はマイクロプロセッサ、マイクロコントローラ、デジタル信号プロセッサ(DSP)、インテリジェントDMA(Direct Memory Access)コントローラなどとして各種実現可能であることに留意されたい。データプロセッサ102は、アドレス、データ及びコントロール信号を伝送する双方向バスを介しメモリ104に接続され、DDR(Double Data Rate)シンクロナスダイナミックランダムアクセスメモリ(SDRAM)などの何れかの従来のメモリバスアーキテクチャを利用するかもしれない。

【0015】

データプロセッサ102は、メモリマネージメントユニット(MMU)/キャッシュ106、バスインタフェースユニット(BIU)108、マルチプレクサ(MUX)110、プリフェッチバッファ112、デコーダ114、フェッチコントロールユニット116及びレジスタ118を有する。一般に、MMU/キャッシュ106は、“VIRTUAL ADDRESS”とラベル付けされたバーチャルアドレスを受け付ける入力と、“PHYSICAL ADDRESS”とラベル付けされた物理アドレスを提供する第1出力と、データを提供する第2出力と、“ATTRIBUTES”とラベル付けされた変換されたVIRTUAL ADDRESSに関する属性を提供する第3出力とを有する。BIU108は、MMU/キャッシュ106の第1出力に接続される入力と、メモリ104に接続される双方向ターミナルと、データ出力ターミナルとを有する。MUX110は、BIU108の出力ターミナルに接続される第1入力ターミナルと、MMU/キャッシュ106の第2出力ターミナルに接続される第2入力ターミナルと、出力ターミナルとを有する。プリフェッチバッファ112は、MUX110の出力ターミナルに接続される入力ターミナルと、出力命令を提供する第1出力ターミナルと、格納されている命令に関する情報を提供する第2出力ターミナルと、“IR_EMPTY”とラベル付けされた信号を提供する第3出力ターミナルとを有する。デコーダ114は、プリフェッチバッファ112の第1出力ターミナルに接続される入力ターミナルと、復号化された出力信号をデータプロセッサ102の実行ユニット(図1には図示せず)に直接的に又は間接的に提供する出力ターミナルとを有する。フェッチコントロールユニット116は、以下で詳細に説明されるような方法によりプリフェッチバッファ112の第2及び第3出力ターミナルに接続される入力ターミナルと、第1コントロール入力ターミナルと、ATTRIBUTESを受け付けるためMMU/キャッシュ106の第3出力ターミナルに接続される第2コントロール入力ターミナルと、VIRTUAL ADDRESSを提供するMMU/キャッシュ106の入力ターミナルに接続される出力ターミナルとを有する。レジスタ118は、フェッチコントロールユニット116の第1コントロール入力ターミナルに接続される出力

10

20

30

40

50

ターミナルを有する。

【0016】

全体的な処理において、データプロセッサ102は、命令スタベーションを回避するためのプロフェッチバッファ112を使用するハイパフォーマンスマイクロプロセッサである。フェッチコントロールユニット116は、プリフェッチバッファ112の状態をモニタし、命令フェッチを開始するためバーチャルアドレスを生成する。VIRTUAL ADDRESSを受け付けることに応答して、MMU/キャッシュ106はまず、MMU/キャッシュ106に含まれるTLB (Translation Look-aside Buffer) から格納されている変換にアクセスすることによって、バーチャルアドレスから物理アドレスへの変換を実行する。変換がTLBにない場合、MMU/キャッシュ106はメモリ104に格納されているページテーブルから対応する変換をロードするため、テーブル探索手順を開始する。MMU/キャッシュ106は、TLBの変換を利用してアドレス変換と共に属性チェックを実行し、選択されたページの属性をATTRIBUTES信号としてフェッチコントロールユニット116に提供する。MMU/キャッシュ106がアドレス変換を実行した後、MMU/キャッシュ106のキャッシュ部分が、アクセスされた命令が存在するか確認するためチェックされる。命令がキャッシュにあり、キャッシュヒットとして知られる状態にある場合、MMU/キャッシュ106は、MUX110の第2入力にアクセスされるデータを提供し、プリフェッチバッファ112への入力のためそれが選択される。データがMMU/キャッシュ106に存在せず、キャッシュミスとして知られる状態にある場合、MMU/キャッシュ106はPHYSICAL ADDRESSをBIU108に提供することによってメモリ104にアクセスする。BIU108は、PHYSICAL ADDRESSと適切なコントロール信号をメモリ104に提供することによってバスアクセスを実行する。これに応答して、メモリ104は、データバスを介しリクエストされた命令をMUX110の第1入力に提供し、これにより、リクエストされた命令はプリフェッチバッファ112に提供される。命令はまた以降の利用のためMMU/キャッシュ106のキャッシュに格納されるが、この処理は従来技術によるものであり、さらには説明されないことに留意されたい。

【0017】

プリフェッチバッファ112は、図1に示される代表的なライン122, 124, 126, 128, 130などのライン又はレジスタ120群を有する。実現形態に応じて、ライン120の本数は可変的なものであるが、図示された実施例ではプリフェッチバッファ112は10本のラインを有する。プリフェッチバッファ112の最後のラインであるライン122は、デコーダ114に提示するための次の命令（又は命令長が1ラインを超える場合、次の命令の一部）を含み、“INSTRUCTION REGISTER”と呼ばれる。ライン群120の各ラインは、命令長が1ラインを超える場合、命令又はその一部を格納することが可能である。命令は、FIFO形式によりプリフェッチバッファ112を介しシフトされ、デコーダ114により読まれる各命令に対して1命令だけ進捗される。

【0018】

プリフェッチバッファ112はまた、バッファがフルであるとみなされると、命令を格納可能なプリフェッチバッファ112のライン122, 124, 126, 130の本数を表す可変的な最大深さを有する。命令レジスタ122が最後の（又は最も古い）位置であるため、可変的な最大長は、命令を格納可能なライン群120の最初の（又は最も新しい）位置を決定する。後述されるように、最大バッファ深さは、効果的にはプリフェッチバッファ112のすべてのラインより少なくすることが可能である。

【0019】

プリフェッチコントロールユニット116は、以下でより詳細に説明されるようなプログラムカウンタ、インクリメントロジック、各種デコーダ及びバッファ状態マシンを含む。フェッチコントロールユニット116は、プリフェッチバッファ112の第1ライン（フェッチコントロールユニット116により設定される可変的な最大深さにより決定さ

れる)をモニタし、当該ラインがエンプティであるとき命令フェッチを開始する。フェッチコントロールユニット116は、VIRTUAL ADDRESSを生成し、リクエスト信号をMMU/キャッシュ106に提供することによって命令フェッチを開始し、最終的には、次の命令をプリフェッチバッファ112の利用可能なラインのうち最も古いラインにロードする。

【0020】

レジスタ118は、フェッチコントロールユニット116とプリフェッチバッファ112の処理を規定する命令プリフェッチコントロール値を格納する命令プリフェッチコントロール(IPC)フィールドとして知られる2ビットのフィールド120を含む。フィールド120の符号化がテーブル1に示される。

10

【表1】

テーブル1

IPC[1:0]	コンフィグレーション
00	利用可能な10個のプリフェッチバッファ
01	利用可能な4個のプリフェッチバッファ
10	BookEモードの10個のバッファとVLEモードの5個のバッファ
11	ハードウェアダイナミックモード

20

最初の2つのモード(それぞれIPC[1:0]=00又は01)は、フェッチコントロールユニット116にそれぞれ10ライン及び4ラインにより最大バッファ深さを設定させる。最大バッファ深さを10ラインに設定することによって、オペレーティングシステムは、命令スタベーションの可能性を最小にするが、不必要な命令フェッチにより電力消費のコストを増大させる。あるいは、最大バッファ深さを4ラインに設定することによって、オペレーティングシステムは、電力消費を低減するが、ときにはスタベーションを生じさせ、パフォーマンスを低下させる。

30

【0021】

第3モード(IPC[1:0]=10)では、最大バッファ深さは現在の命令サイズにより設定される。従って、現在の命令サイズが32ビットである場合、フェッチコントロールユニット116は、最大バッファ深さを10バッファに設定する。しかしながら、現在の命令サイズが可変長である場合、フェッチコントロールユニット116は、最大バッファ長を5バッファに設定する。フェッチコントロールユニット106は、最後の命令フェッチによりアクセスされたメモリページの命令フォーマットを示すため、MMU/キャッシュ106のMMUからATTRIBUTE信号を受け取ることによって、現在の命令サイズを決定する。

40

【0022】

特定の例では、データプロセッサ102は、Freescale Corporationにより販売されているマイクロプロセッサのPowerPCファミリの“BookE”命令セットからの32ビット命令か、可変長符号化(VLE)を有する命令を実行するマイクロプロセッサである。他の実施例では、フェッチコントロールユニット116は、いわゆる“ARM”命令セットの32ビット命令を実行する際には10バッファ、又はAdvanced RISC Machines, Ltd.により設計されたマイクロプロセッサにおいて使用されるいわゆる“Thumb”命令セットの16ビット命令を実行す

50

る際には5バッファを提供することが可能である。しかしながら、これら2つの命令セットは単なる一例に過ぎないことは明らかである。

【0023】

さらに、何れのタイプの命令が実装されているかを決定する方法はまた様々である。図示されたプロセッサでは、MMU／キャッシュ106は、ページテーブルにおける対応する属性により命令タイプを特定し、フェッチコントロールユニット116は、ATTRIBUTESの対応する1つに応じてプリフェッチバッファ112の深さを制御する。他のARM／Thumbの実施例では、フェッチコントロールユニット116は、最後の命令フェッチによりアクセスされるメモリページの属性を調べることによってでなく、ブランチ及びエクスチェンジ命令として知られるARM命令群とThumb命令群との間をスイッチする特別な命令を復号化することに基づき、上記2つの最大プリフェッチバッファ深さの間のスイッチする行うことが可能である。この場合、デコーダ114は、ブランチ及びエクスチェンジ命令の復号化に応答して、ARM／THUMBコントロール信号をフェッチコントロールユニット116に提供する。

10

【0024】

ハードウェアダイナミックモードとして知られる第4モード（IPC[1:0]=11）では、フェッチコントロールユニット116は、最大プリフェッチバッファ深さを動的に設定する。ハードウェアダイナミックモードでは、可変的な最大深さは以下のように設定される。フェッチコントロールユニット116は、エンプティであることを示すIR_EMPTY信号を命令レジスタ122から受け付け、その内部バッファ状態マシンをモニタすることによって、命令スタベーション状態を検出する。フェッチコントロールユニット116は、スタベーションを許容レベルまで低下させるため、最大プリフェッチバッファ深さを動的に調整する。スタベーションレートが閾値を超える場合、フェッチコントロールユニット116は、最大バッファ深さを1ラインだけ増加する。フェッチコントロールユニット116は、スタベーションレートがもはや閾値を超えないと判断されるまで、この処理を繰り返す。

20

【0025】

他方、ハードウェアダイナミックモードでは、フェッチコントロールユニット116はまた、プリフェッチバッファ112がスタベーションの近くで動作していないと判断したことに基づき、可変的な最大深さを選択的に減少する。この状態を判断する1つの方法は、フェッチコントロールユニット116がプリフェッチバッファ112の最後のステージにおけるすべてのライン又は少なくとも複数のラインをモニタすることである。その後、それは経時的に平均化されたバッファの充填度を閾値を比較することによって、“スタベーションに近くない”としてプリフェッチバッファ112を判定する。フェッチコントロールユニット116がプリフェッチバッファ112が“スタベーションに近くない”状態にあると判断した場合、フェッチコントロールユニット116は可変的な最大深さを減少させる。

30

【0026】

これらのモードの利用性は、パフォーマンスに悪影響を与えることなく電力消費を低減するためのフレキシビリティをユーザに提供する。最初の2つのモードは、明示的なオペレーティングシステム又はソフトウェアが最大プリフェッチバッファ深さを制御することを可能にする。第3モードは、最大プリフェッチバッファ深さが命令タイプにより決定されるのを可能にする。第4モードは、データプロセッサ102上で実行されるソフトウェアが変化するに従って変換するプリフェッチバッファ112など、プロセッサの状態に応じてハードウェアが最大プリフェッチバッファ深さを動的に調整することを可能にする。最大プリフェッチバッファ深さの明示的なソフトウェア制御とハードウェア制御の両方の利用性は、パフォーマンスと電力消費との間の最適なバランスを達成するフレキシビリティの向上をユーザに提供する。

40

【0027】

図2は、図1のデータプロセッサ102の命令プリフェッチバッファ深さのハードウェア

50

動的制御に利用可能な一例となる方法を示すフロー図200である。スローはボックス202からスタートする。判定ボックス204において、フェッチコントロールユニット116は、プリフェッチバッファ112がプリフェッチバッファ112のライン122からのIR__EMPTY信号をサンプリングすることによってエンプティであるか判断する。プリフェッチバッファ112がエンプティである場合(IR__EMPTYが真である場合)、フローは判定ボックス206に移行する。判定ボックス206において、計算されたスタベーションレートが閾値を超えない場合、フローは判定ボックス204に戻る。しかしながら、計算されたスタベーションレートが閾値を超える場合、フローはステップ208に移行する。ステップ208において、フェッチコントロールユニット116は、1だけインクリメントすることなどによって最大バッファ長を増加させ(それがすでにステップ120における最大ライン数に等しくなっていないと仮定する)、判定ボックス204に戻る。

10

【0028】

プリフェッチバッファ112がエンプティでない場合(IR__EMPTYが偽である場合)、フローは判定ボックス210に移行する。判定ボックス210は、プリフェッチバッファ112が“スタベーションに近くない”か判断する。例えば、フェッチコントロールユニット116は、プリフェッチバッファ112の最後の数エントリをモニタし、それらのすべてが有効な命令を含んでいるか判断する。特定の例では、フェッチコントロールユニット116は、すべてのライン122, 124, 126, 128が有効である場合、プリフェッチバッファ112はスタベーションに近くないと判断する。この“スタベーションに近くない”という状態は、現在実行されているソフトウェアが現在割り当てられているのと同数のスタベーションを回避するためのプリフェッチバッファを必要としないことを示し、フロー命令の変更頻度、メモリアクセスなどの特性の結果となるであろう。“スタベーションに近くない”という質問への回答がNOである場合、すなわち、プリフェッチバッファ112がスタベーションの近くで動作している場合、フローは判定ボックス204に戻る。しかしながら、回答がYESである場合、フローはボックス212に移行し、当該時点で、フェッチコントロールユニット116は可変的な最大深さを減少させ、判定ボックス204に戻る。

20

【0029】

図2の方法を実現するため、フェッチコントロールユニット116は、各種カウンタ、状態マシンなどを維持する必要がある。これらの構成の実現は、当業者には明らかであろう。さらに、フェッチコントロールユニット116は、モード間の切り替え時に、プリフェッチバッファ112の状態と共に、その内部状態マシンをモニタする必要がある。例えば、フェッチコントロールユニットは、“スタベーションに近くない”状態が存在すると判断すると、可変的な最大バッファ深さを即座に減少させることはできず、新たな深さ内にプリフェッチバッファ112がドレインするようにそれを減少させることしかできないかもしれない。

30

【0030】

上記開示された構成は、限定的なものでなく例示的なものとみなされるべきであり、添付した請求項は、本発明の真の趣旨及び範囲内に属するすべての変更、改良及び他の実施例をカバーすることが意図される。従って、法律により可能とされる最大範囲まで、本発明の範囲は以下の請求項の最も広い許容される解釈とそれらの均等により決定されるべきであり、上述された記載により限定されるものでない。

40

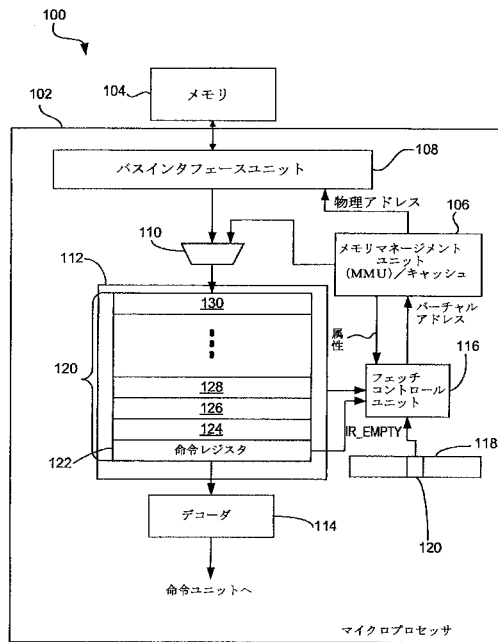
【図面の簡単な説明】

【0031】

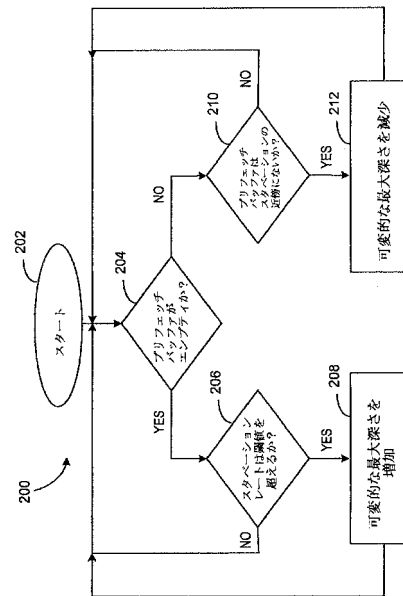
【図1】図1は、本発明の実施例によるフェッチコントロールユニットを有するプロセッサを含むデータ処理システムの一部を示すブロック図である。

【図2】図2は、図1のプロセッサの命令プリフェッチバッファ深さのハードウェア動的制御を示すフロー図である。

【図 1】



【図 2】



フロントページの続き

- (72)発明者 スコット ジェフリー ダブリュ
アメリカ合衆国, テキサス州 78759, オースティン, ストーンレイク ブルーバード 98
01, アpartment 1334
- (72)発明者 モイヤー ウィリアム シー
アメリカ合衆国, テキサス州 78620, ドリッピング スプリングス, メドレー リッジ ドラ
イヴ 1111

審査官 中野 裕二

- (56)参考文献 特開平02-018620 (JP, A)
特開平07-028751 (JP, A)
特開平04-097463 (JP, A)
特開平02-157938 (JP, A)
特開昭63-049937 (JP, A)
特開平07-182164 (JP, A)
特開平02-163828 (JP, A)
特開昭63-049938 (JP, A)
特開平8-339289 (JP, A)
特表2007-524904 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G06F 9/38
G06F 5/06