

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第6881973号
(P6881973)

(45) 発行日 令和3年6月2日 (2021. 6. 2)

(24) 登録日 令和3年5月10日 (2021. 5. 10)

(51) Int. Cl.

F I

G O 6 F 12/02 (2006. 01)

G O 6 F 12/02 5 7 O M

B 4 1 J 29/38 (2006. 01)

B 4 1 J 29/38 4 O 1

G O 6 F 13/14 (2006. 01)

G O 6 F 13/14 3 2 O B

請求項の数 15 (全 18 頁)

(21) 出願番号	特願2016-254088 (P2016-254088)	(73) 特許権者	000001007
(22) 出願日	平成28年12月27日 (2016. 12. 27)		キヤノン株式会社
(65) 公開番号	特開2018-106547 (P2018-106547A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成30年7月5日 (2018. 7. 5)	(74) 代理人	110003281
審査請求日	令和1年12月18日 (2019. 12. 18)		特許業務法人大塚国際特許事務所
		(72) 発明者	久我 剛
			東京都大田区下丸子3丁目30番2号 キ
			ヤノン株式会社内
		審査官	佐賀野 秀一

最終頁に続く

(54) 【発明の名称】 情報処理装置、及び情報処理方法

(57) 【特許請求の範囲】

【請求項 1】

複数の I C チップを直列接続して、前記複数の I C チップによりデータを処理する情報処理装置であって、

前記複数の I C チップの少なくとも1つの対象 I C チップは、
プログラムに基づき I C チップの制御を行うプログラム実行手段と、
前記プログラム実行手段が第 1 のアドレス幅でアドレッシング可能な第 1 のメモリ空間と、

前記第 1 のアドレス幅よりも大きい第 2 のアドレス幅でアドレッシング可能であり、
前記対象 I C チップとは異なる他の I C チップにアクセスするための領域を含み、かつ、
前記プログラム実行手段が直接アクセスすることができない第 2 のメモリ空間と、

前記第 2 のメモリ空間からアクセスすることができる I C チップとの間の通信を行う通信手段と、

前記第 1 のメモリ空間と前記第 2 のメモリ空間の間でのアドレス変換を行うアドレス変換手段とを有し、

前記第 1 のメモリ空間からのアクセスが行われる場合、前記アドレス変換手段が前記アクセスのアドレス値を前記第 2 のメモリ空間へのアドレス値に変換することにより、前記第 2 のメモリ空間に含まれる前記他の I C チップにアクセスするための領域へのアクセスが行われ、

前記第 2 のメモリ空間からのアクセスが行われる場合、前記アドレス変換手段が前記ア

クセスのアドレス値を前記第 1 のメモリ空間へのアドレス値に変換することにより、前記対象 I C チップの前記第 1 のメモリ空間へのアクセスが行われる、

ことを特徴とする情報処理装置。

【請求項 2】

前記第 2 のメモリ空間の一部が前記第 1 のメモリ空間にマッピングされることを特徴とする請求項 1 に記載の情報処理装置。

【請求項 3】

前記プログラム実行手段が前記アドレス変換手段にアクセスすることに基づいて、前記アドレス変換手段は前記第 1 のアドレス幅のアドレス値を前記第 2 のアドレス幅のアドレス値に変換することを特徴とする請求項 1 又は 2 に記載の情報処理装置。

10

【請求項 4】

前記対象 I C チップとは異なる I C チップが前記対象 I C チップを指し示すアドレス値を用いてアクセスしている場合、前記対象 I C チップ内の前記第 1 のメモリ空間にアクセスするようにアドレス値が変換されることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の情報処理装置。

【請求項 5】

前記アドレス変換手段は、前記対象 I C チップを指し示すアドレス値の上位の n ビットを取り除き前記第 1 のメモリ空間のアドレス値に変換することを特徴とする請求項 4 に記載の情報処理装置。

【請求項 6】

20

前記第 2 のメモリ空間のアドレス値の内、上位の n ビットが I C チップを特定し、残りのビットが前記第 1 のメモリ空間へアクセスするために使用されることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の情報処理装置。

【請求項 7】

前記対象 I C チップの前記第 2 のメモリ空間には、前記対象 I C チップの前記第 1 のメモリ空間と、前記対象 I C チップに接続された第 1 の I C チップおよび第 2 の I C チップの少なくとも 1 つの第 1 のメモリ空間がマッピングされることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の情報処理装置。

【請求項 8】

前記第 1 の I C チップから前記第 2 の I C チップにアクセスする場合、前記第 1 の I C チップから前記第 2 の I C チップにアクセスは前記対象 I C チップを通過することで実行されることを特徴とする請求項 7 に記載の情報処理装置。

30

【請求項 9】

前記複数の I C チップの少なくとも 1 つの I C チップは、
前記第 2 のメモリ空間でデータ転送可能な D M A C を備え、
前記 D M A C は他の I C チップをインターコネクต์に接続し、
前記他の I C チップへのデータ転送に前記 D M A C を用いることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の情報処理装置。

【請求項 10】

前記情報処理装置は、インクジェット記録装置であり、
前記複数の I C チップのうちの 1 つの I C チップは、前記インクジェット記録装置の全体制御と前記インクジェット記録装置が接続されるホストとの通信のために割当てられ、
前記複数の I C チップの残りの I C チップは、記録ヘッドを制御して記録を行うためのデータの画像処理のために割当てられることを特徴とする請求項 1 乃至 9 のいずれか 1 項に記載の情報処理装置。

40

【請求項 11】

前記残りの I C チップは、前記記録ヘッドが吐出するインクの色に対応した色成分データを画像処理するために割当てられることを特徴とする請求項 10 に記載の情報処理装置。

【請求項 12】

50

前記複数のＩＣチップは、ＰＣＩ－Ｅｘｐｒｅｓｓにより接続され、

前記複数のＩＣチップの間のデータ転送は、前記ＰＣＩ－ＥｘｐｒｅｓｓによりＤＭＡＣを介した転送と、前記ＰＣＩ－ＥｘｐｒｅｓｓによりＣＰＵを介した転送とのうちの少なくともいずれかを含むことを特徴とする請求項１乃至１１のいずれか１項に記載の情報処理装置。

【請求項１３】

前記第２のメモリ空間は、前記他のＩＣチップのＣＰＵが前記第１のアドレス幅でアドレッシング可能な第３のメモリ空間にマッピングされた領域を含むことを特徴とする請求項１乃至１２のいずれか１項に記載の情報処理装置。

【請求項１４】

前記他のＩＣチップとして、第１のＩＣチップと第２のＩＣチップがあり、

前記第２のメモリ空間は、前記第１のＩＣチップのＣＰＵが前記第１のアドレス幅でアドレッシング可能な第３のメモリ空間にマッピングされた領域と、前記第２のＩＣチップのＣＰＵが前記第１のアドレス幅でアドレッシング可能な第４のメモリ空間にマッピングされた領域を含むことを特徴とする請求項１乃至１２のいずれか１項に記載の情報処理装置。

【請求項１５】

複数のＩＣチップを直列接続して、前記複数のＩＣチップによりデータを処理する情報処理装置における情報処理方法であって、

前記複数のＩＣチップの少なくとも１つの対象ＩＣチップは、

プログラムに基づきＩＣチップの制御を行うプログラム実行手段と、

前記プログラム実行手段が第１のアドレス幅でアドレッシング可能な第１のメモリ空間と、

前記第１のアドレス幅よりも大きい第２のアドレス幅でアドレッシング可能であり、前記対象ＩＣチップとは異なる他のＩＣチップにアクセスするための領域を含み、かつ、前記プログラム実行手段が直接アクセスすることができない第２のメモリ空間と、

前記第２のメモリ空間からアクセスすることができるＩＣチップとの間の通信を行う通信手段と、

前記第１のメモリ空間と前記第２のメモリ空間の間でのアドレス変換を行うアドレス変換手段を備え、

前記情報処理方法は、

前記アドレス変換手段が、前記第１のメモリ空間と前記第２のメモリ空間の間でのアドレス変換を行うアドレス変換工程、を有し、

前記第１のメモリ空間からのアクセスが行われる場合、前記アドレス変換工程では、前記アクセスのアドレス値を前記第２のメモリ空間へのアドレス値に変換することにより、前記第２のメモリ空間に含まれる前記他のＩＣチップにアクセスするための領域へのアクセスが行われ、

前記第２のメモリ空間からのアクセスが行われる場合、前記アドレス変換工程では、前記アクセスのアドレス値を前記第１のメモリ空間へのアドレス値に変換することにより、前記対象ＩＣチップの前記第１のメモリ空間へのアクセスが行われる、

ことを特徴とする情報処理方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は情報処理装置、及び情報処理方法に関し、特に、複数のＩＣチップを備え、１つのＩＣチップからアドレス変換回路を経由して他のＩＣチップにデータを転送する情報処理装置、及び情報処理方法に関する。

【背景技術】

【０００２】

従来より、あるＩＣチップのメモリ空間の一部の領域を他のＩＣチップのメモリ空間に

10

20

30

40

50

割り当てて、アクセスするシステムにおいて、アドレス変換を行う構成が知られている（特許文献１、２参照）。特許文献１は、隣接ＩＣチップの所望のメモリアドレスにアクセスするための技術を開示している。また、特許文献２は、３つのＩＣチップが直列に連結された構成において、一端のチップから中央のチップを跨いで他端のチップにアクセスするための技術を開示している。

【０００３】

他のＩＣチップから限られた特定のメモリ空間の範囲にのみアクセスする場合は、上記特許文献に開示するような技術を用いて十分に満足すべき結果が得られていた。

【先行技術文献】

【特許文献】

10

【０００４】

【特許文献１】特開２００１－３３７９０９号公報

【特許文献２】特開２０１３－０８８８７９号公報

【発明の概要】

【発明が解決しようとする課題】

【０００５】

しかしながら、情報処理装置が画像データを処理する画像処理装置として用いられる場合、あるＩＣチップのメモリから他のチップのメモリに対して大量のデータを転送する必要がある。この場合、他のＩＣチップへのアクセスするためのメモリ空間が不足してしまうことがある。さらに、特許文献２のように、複数のＩＣチップを直列に連結した構成を用いる場合、隣接するＩＣチップとそのＩＣチップを介して接続している別のＩＣチップにアクセスするメモリ空間が使用される。このため、１つのＩＣチップあたりに割り当てられるメモリ空間がさらに制限されることになる。その結果、メモリ空間が不足して満足のゆくデータ処理性能が得られないことがある。

20

【０００６】

メモリ空間の不足に対応するためには、例えば、ＩＣチップに３２ビットＣＰＵを内蔵していれば、そのＣＰＵを単純に６４ビットＣＰＵに実装するようにすれば良い。しかしながら、６４ビットＣＰＵを実装することはコストが上昇するという問題がある。

【０００７】

本発明は上記従来例に鑑みてなされたもので、複数のＩＣチップを備えた構成において１つのＩＣチップから他のＩＣチップのメモリ空間全域にアクセス可能な情報処理装置、及びその情報処理方法を提供することを目的としている。

30

【課題を解決するための手段】

【０００８】

上記目的を達成するために本発明の情報処理装置は次のような構成を有する。

【０００９】

即ち、複数のＩＣチップを直列接続して、前記複数のＩＣチップによりデータを処理する情報処理装置であって、前記複数のＩＣチップの少なくとも１つの対象ＩＣチップは、プログラムに基づきＩＣチップの制御を行うプログラム実行手段と、前記プログラム実行手段が第１のアドレス幅でアドレッシング可能な第１のメモリ空間と、前記第１のアドレス幅よりも大きい第２のアドレス幅でアドレッシング可能であり、前記対象ＩＣチップとは異なる他のＩＣチップにアクセスするための領域を含み、かつ、前記プログラム実行手段が直接アクセスすることができない第２のメモリ空間と、前記第２のメモリ空間からアクセスすることができるＩＣチップとの間の通信を行う通信手段と、前記第１のメモリ空間と前記第２のメモリ空間の間でのアドレス変換を行うアドレス変換手段とを有し、前記第１のメモリ空間からのアクセスが行われる場合、前記アドレス変換手段が前記アクセスのアドレス値を前記第２のメモリ空間へのアドレス値に変換することにより、前記第２のメモリ空間に含まれる前記他のＩＣチップにアクセスするための領域へのアクセスが行われ、前記第２のメモリ空間からのアクセスが行われる場合、前記アドレス変換手段が前記アクセスのアドレス値を前記第１のメモリ空間へのアドレス値に変換することにより、前

40

50

記対象ＩＣチップの前記第１のメモリ空間へのアクセスが行われることを特徴とする。

【発明の効果】

【００１０】

従って本発明によれば、複数のＩＣチップを用いてデータを処理する際に、少ないアドレス幅でアドレッシング可能な安価なＣＰＵを用いても、各ＩＣチップから他のＩＣチップのメモリ空間全域にアクセスすることができるという効果がある。

【図面の簡単な説明】

【００１１】

【図１】本発明の代表的な実施例であるインクジェット記録装置の構成を示すブロック図である。

10

【図２】図１で示した記録装置のＩＣチップで用いるメモリ空間のマッピング例を示す図である。

【図３】アドレス変換部１１６のメモリ空間のマッピング例を示す図である。

【図４】アドレス変換部１２６のメモリ空間のマッピング例を示す図である。

【図５】４つのＩＣチップの初期動作を示すフローチャートである。

【図６】ＤＭＡを用いた２つのＩＣチップ間のデータ転送の例を示す図である。

【図７】ＣＰＵを用いた２つのＩＣチップ間のデータ転送の例を示す図である。

【発明を実施するための形態】

【００１２】

以下添付図面を参照して本発明の好適な実施例について、さらに具体的かつ詳細に説明する。なお、以下の説明では、図面全体を通して、同じ構成要素に対して同じ参照番号を付して言及する。そのため、一度説明した構成要素に対しては同じ参照番号を用いて言及し、その説明を繰り返すことはしない。

20

【００１３】

なお、この明細書において、「記録」（「プリント」という場合もある）とは、文字、図形等有意の情報を形成する場合のみならず、有意無意を問わない。さらに人間が視覚で知覚し得るように顕在化したものであるか否かも問わず、広く記録媒体上に画像、模様、パターン等を形成する、または媒体の加工を行う場合も表すものとする。

【００１４】

また、「記録媒体」とは、一般的な記録装置で用いられる紙のみならず、広く、布、プラスチック・フィルム、金属板、ガラス、セラミックス、木材、皮革等、インクを受容可能なものも表すものとする。

30

【００１５】

さらに、「インク」（「液体」と言う場合もある）とは、上記「記録（プリント）」の定義と同様広く解釈されるべきものである。従って、記録媒体上に付与されることによって、画像、模様、パターン等の形成または記録媒体の加工、或いはインクの処理（例えば記録媒体に付与されるインク中の色剤の凝固または不溶化）に供され得る液体を表すものとする。

【００１６】

またさらに、「記録素子」とは特にことわらない限りインク吐出口乃至これに連通する液路及びインク吐出に利用されるエネルギーを発生する素子を総括して言うものとする。

40

【００１７】

図１は本発明の代表的な実施例であるインクジェット記録装置の構成を示すブロック図である。

【００１８】

インクジェット記録装置（以下、記録装置）は、記録媒体を搬送する搬送機構、記録ヘッドを搭載するキャリッジ、そのキャリッジを往復移動させる走査機構、記録ヘッドの吸引回復や予備吐出を行う回復機構などを備える。しかしながら、これらは公知の技術なので、その説明は省略する。また、インク液滴を吐出する記録ヘッドそのものの構成や、その記録ヘッドに実装する素子基板も公知の技術を用いるので、その説明は省略する。

50

【 0 0 1 9 】

従って、図 1 は、画像データを生成して記録装置 1 に送信するホスト P C 2 とのインタフェース処理を行う I C チップ 1 0 が図示されている。また、画像データに対して画像処理を実行して記録ヘッド 5 0 に転送する処理を行う I C チップ 2 0 ~ 4 0 の構成が図示されている。このため、図 1 に示す構成は画像処理装置としての役割を果たす。

【 0 0 2 0 】

次に、上記のような 4 つの I C チップを実装した記録装置 1 の内部構成を説明する。

【 0 0 2 1 】

I C チップ 1 0 は、R O M 1 1 と R A M 1 2 とホストインタフェース (I / F) 1 3 と U I (ユーザインタフェース) 1 4 と接続している。また、I C チップ 2 0 は、R O M 2 1 と R A M 2 2 とヘッドインタフェース (I / F) 2 3 と接続している。I C チップ 3 0 は同様に、R O M 3 1 と R A M 3 2 とヘッドインタフェース (I / F) 3 3 と接続している。I C チップ 4 0 も同様に、R O M 4 1 と R A M 4 2 とヘッドインタフェース (I / F) 4 3 と接続している。

10

【 0 0 2 2 】

ホスト I / F 1 3 は、ホスト P C 2 との通信を行うインタフェースであり、U I 1 4 はスイッチや L C D や L E D ランプを備えた操作パネルで構成され、ユーザから記録装置に対する指示を受付、ユーザに対して情報を報知する。

【 0 0 2 3 】

記録媒体にインクを吐出して画像を記録する記録ヘッド 5 0 は、3 つのヘッド I / F 2 3、3 3、4 3 を介して、3 つの I C チップ 2 0、3 0、4 0 にそれぞれ接続される。I C チップ 1 0 と I C チップ 2 0 との間、I C チップ 2 0 と I C チップ 3 0 との間、I C チップ 3 0 と I C チップ 4 0 との間はそれぞれ P C I - E x p r e s s (以下、P C I e) により接続される。

20

【 0 0 2 4 】

I C チップ 1 0 は、R O M 1 1 に格納された制御プログラムを読み出し、R A M 1 2 を作業領域として用いて実行し、ホスト P C 2 とのインタフェース処理に加えて、記録装置全体の制御や U I の制御や各種駆動機構の制御等を行う。また、R A M 1 2 には、P C 2 から転送された画像データを一時的に記憶するために画像メモリが設けられる。

【 0 0 2 5 】

図 1 から分かるように、I C チップ 2 0、3 0、4 0 は、夫々に専用のヘッド I / F を介して記録ヘッド 5 0 に接続される。I C チップ 2 0、3 0、4 0 は、記録ヘッドが扱う複数の色のインクに対応して生成される各色成分の画像データを処理するように割り当てられる。例えば、記録ヘッド 5 0 が 1 2 色のインクを吐出する構成である場合、ホスト P C 2 から転送された画像データは 1 2 色の色成分データに分解される。例えば、1 2 色のインクとは、以下の通りである。即ち、

30

マットブラック (M B K) と、フォトブラック (P B K) と、シアン (C) と、マゼンタ (M) と、イエロ (Y) と、フォトシアン (P C) と、フォトマゼンタ (P M) と、グレー (G Y) と、フォトグレー (P G Y) と、レッド (R) と、ブルー (B) と、クロマオブティマイザー (C O) とである。

40

【 0 0 2 6 】

これら 1 2 の色成分データの画像処理が、4 つの色成分データずつ I C チップ 2 0、3 0、4 0 に割り当てられる。なお、以上のような色成分データの割り当ては一例に過ぎず、記録ヘッドの仕様や I C チップの性能により異なる割り当てが可能であることは言うまでもない。例えば、記録ヘッドが 6 色のインク (ブラック、マットブラック、シアン、マゼンタ、イエロ、レッド) に対応している仕様であれば、各 I C チップに 2 つの色成分データを割り当てられても良い。また、I C チップ 2 0 を各色成分に共通の画像処理を割り当て、I C チップ 3 0、4 0 にそれぞれ、6 つの色成分データずつの画像処理を割り当てるように構成しても良い。

【 0 0 2 7 】

50

以下、4つのICチップの内部構成について説明するが、この実施例では32ビットアーキテクチャのCPUを実装した、同じ構成の4つのICチップを直列接続して用いるものとする。図1に示されているように、4つのICチップ10、20、30、40はそれぞれ、34ビットアドレッシング可能な通信ドメイン110、120、130、140と、32ビットアドレッシング可能なシステムドメイン111、121、131、141を備える。なお、この実施例では、通信ドメインのアドレス幅はシステムドメインのアドレス幅よりも2ビット大きくなっている。このアドレス幅のサイズについては後述する。なお、この実施例では、通信ドメインのアドレス幅はシステムドメインのアドレス幅より大きく、その差は2ビットであるが、それに限らず、その差がnビット(nは自然数)でも良い。なお、アドレスサイズの観点で言い換えると、通信ドメインのアドレスサイズはシステムドメインのアドレスサイズより大きく、その差はnビットに対して2ⁿ倍のサイズとなる(nは自然数)。そして、4つのICチップにはそれぞれ、これら2つのドメインの間を接続するためのアドレス変換部116、126、136、146を備える。

【0028】

ICチップ10は、通信ドメイン110にインターコネクト112とDMAC115とを備え、システムドメイン111にインターコネクト117と32ビットCPU(以下、CPU)118とICチップ外の機器を接続する内部ブロック119を備える。内部ブロック119は、ROMコントローラ、RAMコントローラ、及び、他の機器とのインタフェースコントローラとしての役割を果たす。また、ICチップ10は、ICチップ20との通信を行うPCIeインタフェース113を備える。

【0029】

通信ドメイン110はPCIeインタフェース113やDMAC115を用いて他のチップとの通信を行うためのドメインである。システムドメイン111はCPU118の直接の制御によりICチップ内の制御を行うためのドメインである。アドレス変換部116は通信ドメイン110とシステムドメイン111との間でのアドレス空間のアドレス変換を行う。具体的なアドレス変換方法は後述する。

【0030】

なお、図1に記載された記号「M」は「Master」を表し、記号「S」は「Slave」を表している。「Master」は内部バスの主導権を取り、「Slave」に対してライト/リードアクセスを行う。

【0031】

ICチップ20は、通信ドメイン120にインターコネクト122とDMAC125とを備え、システムドメイン121にインターコネクト127とCPU128とICチップ外の機器を接続する内部ブロック129を備える。内部ブロック129は、ROMコントローラ、RAMコントローラ、及び、他の機器とのインタフェースコントローラとしての役割を果たす。また、ICチップ20は、ICチップ10との通信を行うPCIeインタフェース113とICチップ30との通信を行うPCIeインタフェース123とを備える。

【0032】

同様にICチップ30は、通信ドメイン130にインターコネクト132とDMAC135とを備え、システムドメイン131にインターコネクト137とCPU138とICチップ外の機器を接続する内部ブロック139を備える。内部ブロック139は、ROMコントローラ、RAMコントローラ、及び、他の機器とのインタフェースコントローラとしての役割を果たす。また、ICチップ30は、ICチップ20との通信を行うPCIeインタフェース134とICチップ40との通信を行うPCIeインタフェース133とを備える。

【0033】

最後のICチップ40は、通信ドメイン140にインターコネクト142とDMAC145とを備え、システムドメイン141にインターコネクト147とCPU148とICチップ外の機器を接続する内部ブロック149を備える。内部ブロック149は、ROM

コントローラ、RAMコントローラ、及び、他の機器とのインタフェースコントローラとしての役割を果たす。また、ICチップ40は、ICチップ30との通信を行うPCIeインタフェース144を備える。

【0034】

PCIeインタフェース113、123、133をPCIe(Ch0)と呼び、PCIeインタフェース124、134、144をPCIe(Ch1)と呼んで区別する。

【0035】

以上のような構成の記録装置において、ICチップ10がホストI/F13を介してホストPC2から転送された印刷ジョブを受信すると、ICチップ10は印刷モード等に従って画像処理を実行する。その後、画像処理が施された画像データがICチップ10からICチップ20、ICチップ30、ICチップ40に転送される。

10

【0036】

ICチップ間で転送される画像データは、印刷モードによってRGBデータである場合やCMYKデータである場合もある。また、ICチップ20、30、40の間でも、コマンド通信や画像処理後のデータを他の処理に用いる場合はデータ転送を実行することがあり得る。ICチップ20、30、40で処理されたデータは記録ヘッド50に転送され、記録ヘッド50は記録媒体ヘインクを吐出して画像を記録する。

【0037】

図2は図1で示した記録装置のICチップで用いるメモリ空間のマッピング例を示す図である。図2では各ドメインをメモリ空間の視点で図示している。

20

【0038】

まず、ICチップ10のメモリ空間について説明する。

【0039】

システムドメイン111はCPU118から直接制御できるメモリ空間である。CPU118は32ビットCPUであるため0x0000__0000から0xFFFF__FFFFまでのアドレス(4GB空間)にアクセスできる。一方、通信ドメイン110は34ビット空間であり、この空間にあるマスタ(図1におけるDMAC115)は0x0__0000__0000から0x3__FFFF__FFFFまでのアドレス(16GB空間)にアクセスできる。

【0040】

ICチップ20、ICチップ30、ICチップ40が用いるメモリ空間についても同様である。

30

【0041】

ここで、通信ドメイン110、120、130、140のメモリ空間のマッピングを説明する。なお、通信方法の詳細については後述する。

【0042】

アドレス空間211、221、231、241はそれぞれ、0x0__0000__0000から0x0__FFFF__FFFFのメモリ空間(4GB空間)であって、アドレス空間211はICチップ10のシステムドメイン111にマッピングされている。アドレス空間221、231、241はアドレス空間211の写像領域であって、通信マスタとなるDMAC及びCPUがアドレス空間221、231、241にアクセスすると、そのアクセスはPCIeを介してアドレス空間211に転送される。

40

【0043】

アドレス空間212、222、232、242はそれぞれ、0x1__0000__0000から0x1__FFFF__FFFFのメモリ空間(4GB空間)であって、アドレス空間222はICチップ20のシステムドメイン121にマッピングされている。アドレス空間212、232、242はアドレス空間222の写像領域であって、通信のマスタとなるDMAC及びCPUがアドレス空間212、232、242にアクセスすると、そのアクセスはPCIeを介してアドレス空間222に転送される。

【0044】

50

アドレス空間 2 1 3、2 2 3、2 3 3、2 4 3 はそれぞれ、0 x 2 __ 0 0 0 0 __ 0 0 0 0 から 0 x 2 __ F F F F __ F F F F のメモリ空間 (4 G B 空間) であって、アドレス空間 2 3 3 は I C チップ 3 0 のシステムドメイン 1 3 1 にマッピングされている。アドレス空間 2 1 3、2 2 3、2 4 3 はアドレス空間 2 3 3 の写像領域であって、通信のマスタとなる D M A C 及び C P U がアドレス空間 2 1 3、2 2 3、2 4 3 にアクセスすると、そのアクセスは P C I e を介してアドレス空間 2 3 3 に転送される。

【 0 0 4 5 】

アドレス空間 2 1 4、2 2 4、2 3 4、2 4 4 はそれぞれ、0 x 3 __ 0 0 0 0 __ 0 0 0 0 から 0 x 3 __ F F F F __ F F F F のメモリ空間 (4 G B 空間) であって、アドレス空間 2 4 4 は I C チップ 4 0 のシステムドメイン 1 4 1 にマッピングされている。アドレス空間 2 1 4、2 2 4、2 3 4 はアドレス空間 2 4 4 の写像領域であって、通信のマスタとなる D M A C 及び C P U がアドレス空間 2 1 4、2 2 4、2 3 4 にアクセスすると、そのアクセスは P C I e を介してアドレス空間 2 4 4 に転送される。

【 0 0 4 6 】

次に、4 つのアドレス変換部が実行するアドレス変換について説明する。

【 0 0 4 7 】

・アドレス変換部 1 1 6

通信ドメイン 1 1 0 からシステムドメイン 1 1 1 へのアクセスのアドレス変換は、以下のように実行する。

【 0 0 4 8 】

通信ドメイン 1 1 0 のメモリ空間のうち、0 x 0 __ 0 0 0 0 __ 0 0 0 0 から 0 x 0 __ F F F F __ F F F F のメモリ空間 (4 G B 空間) がシステムドメイン 1 1 1 にマッピングされている。この場合、アドレス変換部 1 1 6 は、通信ドメイン 1 1 0 から受信した転送のアドレス上位 2 ビット (アクセス先となる I C チップ 1 0 を特定する情報) が “ 0 x 0 ” であったならば、このアドレス上位 2 ビットを取り除きシステムドメイン 1 1 1 へ転送する。なお、“ 0 x 0 ” を指定して I C チップ 2 0 ~ 4 0 から I C チップ 1 0 へ送信されるデータの一例としてインクの不吐に関する情報が挙げられる。例えば、I C チップ 4 0 が、あるノズルがインクを吐出できないことを認識した場合、不吐に関する情報にアドレス (上位 2 ビットに “ 0 x 0 ”) を設定して転送する。アドレス変換部 1 1 6 は、この不吐に関する情報に設定された上位 2 ビットの “ 0 x 0 ” を取り除いて、システムドメインに転送する。その結果、I C チップ 1 0 は、不吐のノズルにより記録できなかった分を補完するためのデータを I C チップ 4 0 に対して送信することができる。

【 0 0 4 9 】

・アドレス変換部 1 2 6

通信ドメイン 1 2 0 からシステムドメイン 1 2 1 へのアクセスのアドレス変換は、以下のように実行する。

【 0 0 5 0 】

通信ドメイン 1 2 0 のメモリ空間のうち、0 x 1 __ 0 0 0 0 __ 0 0 0 0 から 0 x 1 __ F F F F __ F F F F のメモリ空間 (4 G B 空間) がシステムドメイン 1 2 1 にマッピングされている。この場合、アドレス変換部 1 2 6 は、通信ドメイン 1 2 0 から受信した転送のアドレス上位 2 ビット (アクセス先となる I C チップ 2 0 を特定する情報) が “ 0 x 1 ” であったならば、このアドレス上位 2 ビットを取り除きシステムドメイン 1 2 1 へ転送する。

【 0 0 5 1 】

・アドレス変換部 1 3 6

通信ドメイン 1 3 0 からシステムドメイン 1 3 1 へのアクセスのアドレス変換は、以下のように実行する。

【 0 0 5 2 】

通信ドメイン 1 3 0 のメモリ空間のうち、0 x 2 __ 0 0 0 0 __ 0 0 0 0 から 0 x 2 __ F F F F __ F F F F のメモリ空間 (4 G B 空間) がシステムドメイン 1 3 1 にマッピングさ

10

20

30

40

50

れている。この場合、アドレス変換部 1 3 6 は、通信ドメイン 1 3 0 から受信した転送のアドレス上位 2 ビット（アクセス先となる IC チップ 3 0 を特定する情報）が “ 0 x 2 ” であったならば、このアドレス上位 2 ビットを取り除きシステムドメイン 1 3 1 へ転送する。

【 0 0 5 3 】

・アドレス変換部 1 4 6

通信ドメイン 1 4 0 からシステムドメイン 1 4 1 へのアクセスのアドレス変換は、以下のように実行する。

【 0 0 5 4 】

通信ドメイン 1 4 0 のメモリ空間のうち、0 x 3 _ 0 0 0 0 _ 0 0 0 0 から 0 x 3 _ F F F F _ F F F F のメモリ空間（4 GB 空間）がシステムドメイン 1 4 1 にマッピングされている。この場合、アドレス変換部 1 4 6 は、通信ドメイン 1 4 0 から受信した転送のアドレス上位 2 ビット（アクセス先となる IC チップ 4 0 を特定する情報）が “ 0 x 3 ” であったならば、このアドレス上位 2 ビットを取り除きシステムドメイン 1 4 1 へ転送する。

【 0 0 5 5 】

なお、上述されている通り、IC チップ 1 0 から IC チップ 2 0 ~ 4 0 に対しては色成分データが送信される。この際、例えば、IC チップ 1 0 が、IC チップ 2 0 に対して色成分データを転送する場合は、色成分データにアドレス（上位 2 ビットが “ 0 x 1 ” ）を設定してデータを転送する。また、IC チップ 2 0 ~ 4 0 のいずれかにおいて画像処理が実行される場合、IC チップ 2 0 ~ 4 0 間でデータ転送が行われる。例えば、IC チップ 4 0 が画像処理を実行する場合、一部の処理として IC チップ 2 0 の処理が必要である場合、IC チップ 4 0 は、画像処理に関わるデータにアドレス（上位 2 ビットが “ 0 x 1 ” ）を設定してデータを転送する。

【 0 0 5 6 】

図 3 はアドレス変換部 1 1 6 のメモリ空間のマッピング例を示す図である。

【 0 0 5 7 】

ここで、図 3 を参照して、アドレス変換部 1 1 6 が実行するシステムドメイン 1 1 1 から通信ドメイン 1 1 0 へのアクセスのアドレス変換について説明する。

【 0 0 5 8 】

システムドメイン 1 1 1 に示されるように、アドレス変換部 1 1 6 はメモリ空間のうち 0 x 8 0 0 0 _ 0 0 0 0 から 0 x 9 F F F _ F F F F （5 1 2 MB 空間）を確保する。アドレス変換部 1 1 6 では、領域 3 0 2 （0 x 8 8 0 0 _ 0 0 0 0 から 0 x 8 F F F _ F F F F ）を IC チップ 2 0 の内部ブロックにマッピングする。この場合、変換元のベースアドレス 0 x 8 8 0 0 _ 0 0 0 0 を変換先のベースアドレス 0 x 1 _ C 0 0 0 _ 0 0 0 0 に変換してデータを通信ドメイン 1 1 0 へ転送する。従って、CPU 1 1 8 は、領域 3 0 2 へアクセスすることでアドレス空間 2 1 2 へアクセスすることができ、図 2 で説明したメモリ空間を介して IC チップ 2 0 のメモリ空間にアクセスすることができる。

【 0 0 5 9 】

また、領域 3 0 3 （0 x 9 0 0 0 _ 0 0 0 0 から 0 x 9 7 F F _ F F F F ）を IC チップ 3 0 の内部ブロックにマッピングする。この場合、変換元のベースアドレス 0 x 9 0 0 0 _ 0 0 0 0 を変換先のベースアドレス 0 x 2 _ C 0 0 0 _ 0 0 0 0 に変換してデータを通信ドメイン 1 1 0 へ転送する。従って、CPU 1 1 8 は領域 3 0 3 へアクセスすることでアドレス空間 2 1 3 へアクセスすることができ、図 2 で説明したメモリ空間を介して IC チップ 3 0 のメモリ空間にアクセスすることができる。

【 0 0 6 0 】

同様に、領域 3 0 4 （0 x 9 8 0 0 _ 0 0 0 0 から 0 x 9 F F F _ F F F F ）を IC チップ 4 0 の内部ブロックにマッピングする。この場合、変換元のベースアドレス 0 x 9 8 0 0 _ 0 0 0 0 を変換先のベースアドレス 0 x 3 _ C 0 0 0 _ 0 0 0 0 に変換してデータを通信ドメイン 1 1 0 へ転送する。従って、CPU 1 1 8 は領域 3 0 4 へアクセスするこ

10

20

30

40

50

とでアドレス空間 2 1 4 へアクセスすることができ、図 2 で説明したメモリ空間を介して IC チップ 4 0 のメモリ空間にアクセスすることができる。

【 0 0 6 1 】

図 4 はアドレス変換部 1 2 6 のメモリ空間のマッピング例を示す図である。

【 0 0 6 2 】

ここで、図 4 を参照して、アドレス変換部 1 2 6 が実行するシステムドメイン 1 2 1 から通信ドメイン 1 2 0 へのアクセスのアドレス変換の機能について説明する。

【 0 0 6 3 】

システムドメイン 1 2 1 に示されるように、アドレス変換部 1 2 6 はメモリ空間のうち 0 x 8 0 0 0 _ 0 0 0 0 から 0 x 9 F F F _ F F F F (5 1 2 M B 空間) を確保する。アドレス変換部 1 2 6 では、領域 4 0 1 (0 x 8 0 0 0 _ 0 0 0 0 から 0 x 8 7 F F _ F F F F) を IC チップ 1 0 の内部ブロックにマッピングする。この場合、変換元のベースアドレス 0 x 8 0 0 0 _ 0 0 0 0 を変換先のベースアドレス 0 x 0 _ C 0 0 0 _ 0 0 0 0 に変換してデータを通信ドメイン 1 2 0 へ転送する。CPU 1 2 8 は領域 4 0 1 へアクセスすることでアドレス空間 2 2 1 へアクセスすることができ、図 2 で説明したメモリ空間を介して IC チップ 1 0 のメモリ空間にアクセスすることができる。

【 0 0 6 4 】

また、領域 4 0 3 (0 x 9 0 0 0 _ 0 0 0 0 から 0 x 9 7 F F _ F F F F) を IC チップ 3 0 の内部ブロックにマッピングする。この場合、変換元のベースアドレス 0 x 9 0 0 0 _ 0 0 0 0 を変換先のベースアドレス 0 x 2 _ C 0 0 0 _ 0 0 0 0 に変換してデータを通信ドメイン 1 1 0 へ転送する。従って、CPU 1 2 8 は領域 4 0 3 へアクセスすることでアドレス空間 2 2 3 へアクセスすることができ、図 2 で説明したメモリ空間を介して IC チップ 3 0 のメモリ空間にアクセスすることができる。

【 0 0 6 5 】

同様に、領域 4 0 4 (0 x 9 8 0 0 _ 0 0 0 0 から 0 x 9 F F F _ F F F F) を IC チップ 4 0 の内部ブロックにマッピングする。この場合、変換元のベースアドレス 0 x 9 8 0 0 _ 0 0 0 0 を変換先のベースアドレス 0 x 3 _ C 0 0 0 _ 0 0 0 0 に変換してデータを通信ドメイン 1 1 0 へ転送する。従って、CPU 1 2 8 は領域 4 0 4 へアクセスすることでアドレス空間 2 2 4 へアクセスすることができ、図 2 で説明したメモリ空間を介して IC チップ 4 0 のメモリ空間にアクセスすることができる。

【 0 0 6 6 】

アドレス変換部 1 3 6、アドレス変換部 1 4 6 についても同様の機能を備える。

【 0 0 6 7 】

図 5 は 4 つの IC チップの初期動作を示すフローチャートである。

【 0 0 6 8 】

・ IC チップ 1 0 の制御フロー

電源が投入されると、ステップ S 5 1 1 では、CPU 1 1 8 のリセットを解除する。次に、ステップ S 5 1 2 では、CPU 1 1 8 は ROM 1 1 から制御プログラムを読み出し、IC チップ 1 0 を初期化する。さらに、ステップ S 5 1 3 では、アドレス変換部 1 1 6 の初期設定を行う。ここでは、図 3 を参照して説明したアドレス変換が可能なように設定を行う。

【 0 0 6 9 】

ステップ S 5 1 4 では、CPU 1 1 8 は、PCI e (Ch 0) 1 1 3 のスレーブポートのアドレス設定を行う。ここでは、図 2 を参照して説明したアドレス空間 2 1 2、2 1 3、2 1 4 へのアクセスがあった場合、CPU 1 1 8 は、そのアクセスを IC チップ 2 0 に転送する設定を行う。上述したように図 3 にて説明したアドレス変換が可能なように S 5 1 3 の初期設定が行われているため、アドレス空間 2 1 2、2 1 3、2 1 4 へのアクセスがあった場合、CPU 1 1 8 は、そのアクセスを IC チップ 2 0 に転送できる。さらにステップ S 5 1 6 では、CPU 1 1 8 は、PCI e (Ch 0) 1 1 3 のリンク・トレーニングを開始し、ステップ S 5 1 7 では、リンク・トレーニングの完了を待ち合わせる。そし

10

20

30

40

50

て、リンク・トレーニングが完了し、P C I e (C h 0) 1 1 3 の接続完了が確認されたなら、ステップ S 5 1 8 において、C P U 1 1 8 は、I C チップ 2 0 の P C I e (C h 1) 1 2 4 を設定する。

【 0 0 7 0 】

・ I C チップ 2 0 の制御フロー

電源が投入されると、ステップ S 5 2 1 では、C P U 1 2 8 のリセットを解除する。次に、ステップ S 5 2 2 では、C P U 1 2 8 は R O M 2 1 から制御プログラムを読み出し、I C チップ 2 0 を初期化する。さらに、ステップ S 5 2 3 では、アドレス変換部 1 2 6 の初期設定を行う。ここでは、図 4 を参照して説明したアドレス変換が可能なように設定を行う。

10

【 0 0 7 1 】

ステップ S 5 2 4 では、C P U 1 2 8 は、P C I e (C h 0) 1 2 3 のスレーブポートのアドレス設定を行う。ここでは、図 2 を参照して説明したアドレス空間 2 2 3、2 2 4 へのアクセスがあった場合、C P U 1 2 8 は、そのアクセスを I C チップ 3 0 に転送する設定を行う。さらにステップ S 5 2 5 では、C P U 1 2 8 は、P C I e (C h 1) 1 2 4 のスレーブポートのアドレス設定を行う。ここでは、図 2 を参照して説明したアドレス空間 2 2 1 へのアクセスがあった場合、C P U 1 2 8 は、そのアクセスを I C チップ 1 0 に転送する設定を行う。ステップ S 5 2 6 では、C P U 1 2 8 は、P C I e (C h 0) 1 2 3 のリンク・トレーニングを開始し、ステップ S 5 2 7 では、リンク・トレーニングの完了を待ち合わせる。そして、リンク・トレーニングが完了し、接続完了が確認されたなら、ステップ S 5 2 8 において、C P U 1 2 8 は、I C チップ 3 0 の P C I e (C h 1) 1 3 4 を設定する。

20

【 0 0 7 2 】

・ I C チップ 3 0 の制御フロー

電源が投入されると、ステップ S 5 3 1 では、C P U 1 3 8 のリセットを解除する。次に、ステップ S 5 3 2 では、C P U 1 3 8 は R O M 3 1 から制御プログラムを読み出し、I C チップ 3 0 の初期化を行う。さらに、ステップ S 5 3 3 では、アドレス変換部 1 3 6 の設定を行う。ここでは、図 4 を参照して説明したアドレス変換と同様なことが可能なように設定を行う。

【 0 0 7 3 】

ステップ S 5 3 4 では、C P U 1 3 8 は、P C I e (C h 0) 1 3 3 のスレーブポートのアドレス設定を行う。ここでは、図 2 を参照して説明したアドレス空間 2 3 4 へのアクセスがあった場合、そのアクセスを I C チップ 4 0 に転送する設定を行う。さらにステップ S 5 3 5 では、C P U 1 3 8 は、P C I e (C h 1) 1 3 4 のスレーブポートのアドレス設定を行う。ここでは、図 2 を参照して説明したアドレス空間 2 3 1、2 3 2 へのアクセスがあった場合、C P U 1 3 8 は、そのアクセスを I C チップ 2 0 に転送する設定を行う。ステップ S 5 3 6 では、C P U 1 3 8 は、P C I e (C h 0) 1 3 3 のリンク・トレーニングを開始し、ステップ S 5 3 7 では、リンク・トレーニングの完了を待ち合わせる。そして、リンク・トレーニングが完了し、接続完了が確認されたなら、ステップ S 5 3 8 において、C P U 1 3 8 は、I C チップ 4 0 の P C I e (C h 1) 1 4 4 を設定する。

30

40

【 0 0 7 4 】

・ I C チップ 4 0 の制御フロー

電源が投入されると、ステップ S 5 4 1 では、C P U 1 4 8 のリセットを解除する。次に、ステップ S 5 4 2 では、C P U 1 4 8 は R O M 4 1 から制御プログラムを読み出し、I C チップ 4 0 の初期化を行う。さらに、ステップ S 5 4 3 では、アドレス変換部 1 4 6 の設定を行う。ここでは、図 4 を参照して説明したアドレス変換と同様なことが可能なように設定を行う。

【 0 0 7 5 】

ステップ S 5 4 5 では、C P U 1 4 8 は、P C I e (C h 1) 1 4 4 のスレーブポートのアドレス設定を行う。ここでは、図 2 を参照して説明したようにアドレス空間 2 4 1、

50

242、243へのアクセスがあった場合、そのアクセスをICチップ30に転送する設定を行う。

【0076】

以上の処理を実行し、4つのICチップを通信可能となれば、図2に示したメモリマップで他のICチップへのデータ転送が可能になる。

【0077】

次に、4つのICチップが通信可能となった状態でのDMAを用いたデータ転送について説明する。

【0078】

図6はDMAを用いた2つのICチップ間のデータ転送の例を示す図である。

10

【0079】

図6におけるメモリマップは図2と同様であり、図6には、ICチップ10に接続したRAM12の0x2000__0000から、ICチップ30に接続したRAM32の0x1000__0000にDMA転送を行う例が図示されている。

【0080】

ICチップ10のCPU118がDMAC115に転送元アドレスと転送先アドレスとデータ長を設定することでDMA転送を実行する。この例では、ICチップ10のシステムドメイン111にマッピングされた領域のうちRAMのアドレス0x0__2000__0000を転送元アドレスとする。また、ICチップ30のシステムドメイン131にマッピングされた領域のうちRAMに該当するアドレス0x2__1000__0000を転送先アドレスとする。その他、所定の転送長等の指定をしてDMA転送を実行する。

20

【0081】

DMA転送の実行が開始すると、DMAC115は転送元アドレスにリード・トランザクションを発行する。アドレス変換部116はリード・トランザクションを受信すると、アドレスの上位2ビットを取り除きシステムドメイン111にリード・トランザクションを発行する。アドレス変換部116は所定のアドレスからリードデータを読み出すと、DMAC115にリードデータを返す。

【0082】

DMAC115は読出したデータを転送先アドレスにライト・トランザクションを発行する。通信ドメイン110のアドレス空間213にライト・トランザクションを発行すると、PCIeを介してICチップ30の通信ドメイン130のアドレス空間233にデータが転送される。アドレス空間233に転送されたデータはアドレス変換部136に転送される。アドレス変換部136ではアドレス上位2ビットを取り除いてシステムドメイン131にそのデータを転送し、所定の場所に書込まれる。

30

【0083】

上記の例では1つのICチップ(ICチップ10)から他のICチップ(ICチップ30)にデータを転送する方法を示したが、同様に逆方向に他のICチップから自ICチップにデータを転送することもDMACの転送元、転送先の設定により可能である。

【0084】

さらに、4つのICチップが通信可能となった状態でのCPUを用いたデータ転送について説明する。

40

【0085】

図7はCPUを用いた2つのICチップ間のデータ転送の例を示す図である。

【0086】

図7において、メモリマップは図2と図3とに示したものと同様であり、図7には、ICチップ10のCPU118からICチップ30の内部ブロック139にライト転送を行う例が図示されている。転送先アドレスは0xC000__1000とする。

【0087】

ICチップ10のCPU118は、図3で説明したICチップ30の内部ブロック139にマッピングされた領域303にライト・トランザクションを発行する。転送アドレス

50

は $0 \times C000_0000$ をベースアドレスとして $0 \times 9000_0000$ からのオフセットを指定する。この例の場合、 $0 \times C000_1000$ にアクセスしようとしているので、 $0 \times 9000_1000$ にアクセスする。

【0088】

アドレス変換部116はライト・トランザクションを受信すると、 $0 \times 9000_1000$ を $0 \times 2_C000_1000$ に変換して通信ドメイン110にライト・トランザクションを発行する。通信ドメイン110のアドレス空間213にライト・トランザクションを発行すると、P C I e を介して I C チップ30の通信ドメイン130のアドレス空間233に転送される。アドレス空間233に転送されたデータはアドレス変換部136に転送される。アドレス変換部136ではアドレス上位2ビットを取り除いてシステムドメイン131に転送し、内部ブロックの $0 \times C000_1000$ にライトされる。

10

【0089】

上記の例では1つの I C チップ (I C チップ10) から他の I C チップ (I C チップ30) にライト・トランザクションを発行する例を示したが、同様に逆方向のリード・トランザクションも可能である。

【0090】

以上説明した実施例に従えば、システムを構成する複数の I C チップは互いのメモリ空間の全領域にアクセスすることができる。このため、大容量のメモリを用いる際にも高性能で高コストの64ビットCPUを使用せずに、安価な32ビットCPUを使用することが可能なので、装置全体のコストを抑えることができる。

20

【0091】

更に以上説明した実施例では、アドレス変換部がシステムドメインと通信ドメインの間に設けられているため、ある I C チップから他の I C チップへのアクセスにおいて、中間の I C チップを通過するアクセスがそのアドレス変換部を通過しない。言い換えると、中間の I C チップのアドレス変換部はデータ転送においてバイパスされる。仮に I C チップを通過するアクセス途中にアドレス変換部が存在していると、各 I C チップのシステムドメインの都合で設定を変えることができない。しかし、この構成であれば各 I C チップのシステムドメインの都合でアドレス変換部の設定を変更可能であるので、柔軟にシステムを構築することができるという利点がある。

【0092】

30

また以上説明した実施例では、4つの I C チップのメモリ空間全体にアクセス可能なように、使用する32ビットCPUに対応してシステムドメインのアドレス幅が32ビットであるのに対し、通信ドメインのアドレス幅を34ビットとした。これによって、通信ドメインのアドレス空間では2ビットを4つの I C チップを識別可能な情報として用いることができ、その結果、各 I C チップが他の I C チップのシステムドメインのメモリ空間に対してアクセス可能となる。

【0093】

なお、以上説明した実施例では、 I C チップの数を“4”、システムドメインのアドレス幅を32ビット、通信ドメインのアドレス幅を34ビットとしたが、本発明はこれによって限定されるものではない。システムドメインと通信ドメインのアドレス幅の差が、 2^n ビットであり、 n が自然数である条件を満たすなら、 I C チップの数は“4”である必要はない。例えば、32ビットCPUを使用する場合でも、 $n = 3$ であれば、通信ドメインのアドレス幅を35ビット、 I C チップの数を“8”としたり、 $n = 4$ であれば、通信ドメインのアドレス幅を36ビット、 I C チップの数を“16”とすることもできる。

40

【0094】

8つの I C チップを用いる場合、例えば、1つの I C チップを記録装置の全体制御とホストPCとの通信に割当て、別の1つの I C チップを色共通の画像処理のために割当て、残りの6つを各色成分データの画像処理専用のチップとして割当てることができる。ここで、インク色の数が12なら各 I C チップに2つの色成分データの処理を割当て、インク色の数が6なら各 I C チップに1つの色成分データの処理を割当てることができる。

50

【 0 0 9 5 】

さらに、例えば、通信ドメインのアドレス幅を標準的な 6 4 ビットとしてもよい。またさらに、アドレス幅ビットをそれより小さくしつつも、I C チップの一部、例えば、メモリ空間の半分だけでもマッピング可能にしても良い。その場合、他の I C チップのメモリ空間全体にアクセスできなくとも、アクセス可能なメモリ空間の範囲を広げることができる。

【 0 0 9 6 】

またさらに、以上説明した実施例では、全ての I C チップが通信ドメインとシステムドメインを備えるとしたが、本発明はこれによって限定されるものではない。例えば、I C チップを直列接続して構成するシステムである場合に、両端を除く、データを中継する I C チップのみが上記の構成をとるようにしても良い。例えば 3 つの I C チップ A、B、C が直列接続されたシステムを想定する。このシステムにおいて、左端の I C チップ A が 6 4 ビット C P U で、右端の I C チップ C が 3 2 ビット幅のアドレス空間しか持たないチップであったとする。しかしながら、この状況であっても、I C チップ A と C の間にある I C チップ B が本実施形態の構成を備えており、かつ、I C チップ A のメモリ空間内に 4 G B × 2 の空間を確保すれば、I C チップ A は I C チップ B - C の全てのメモリ空間をマッピングできる。つまり、複数の I C チップの内、少なくとも 1 つがこの実施例で説明した構成であれば良い。

10

【 0 0 9 7 】

またさらに、以上説明した実施例では記録装置を例として挙げたが、本発明を適用可能な装置は記録装置に限定されるものではない。例えば、パソコン等の情報処理装置やサーバ装置などデータ転送が必要な機器に、上記のような通信制御を行う構成が用いられているなら、本発明は適用可能である。

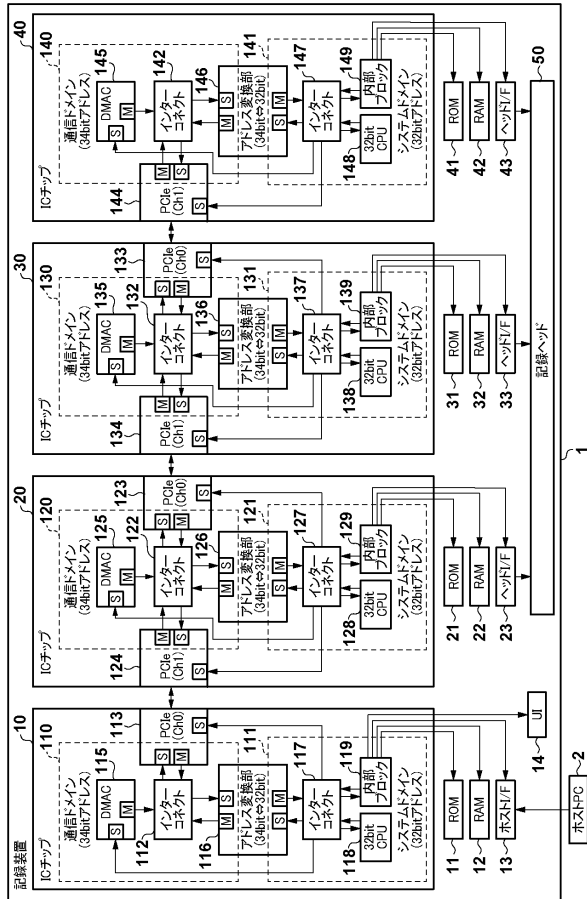
20

【 符号の説明 】

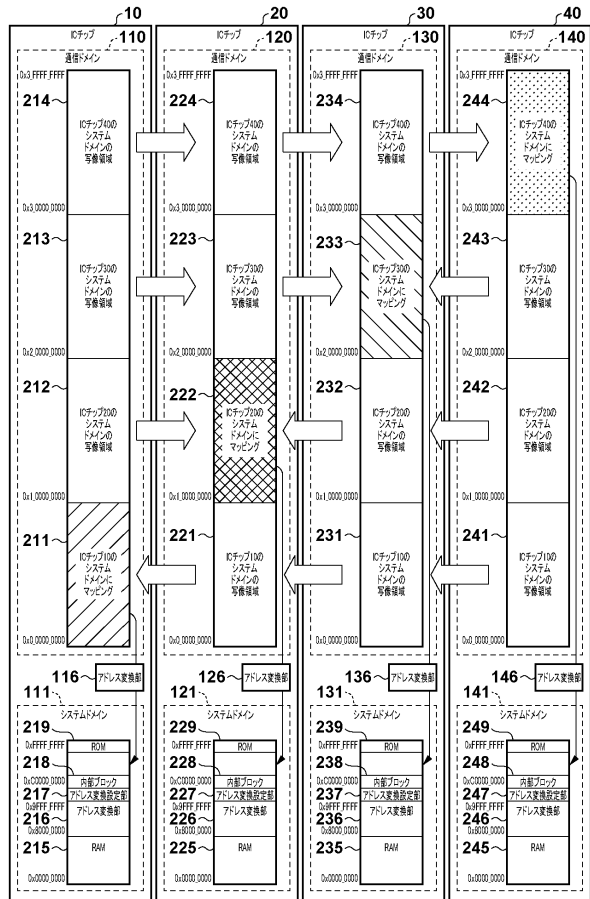
【 0 0 9 8 】

1 記録装置（画像処理装置）、2 ホスト P C 、
1 0 、2 0 、3 0 、4 0 I C チップ、1 1 、2 1 、3 1 、4 1 R O M 、
1 2 、2 2 、3 2 、4 2 R A M

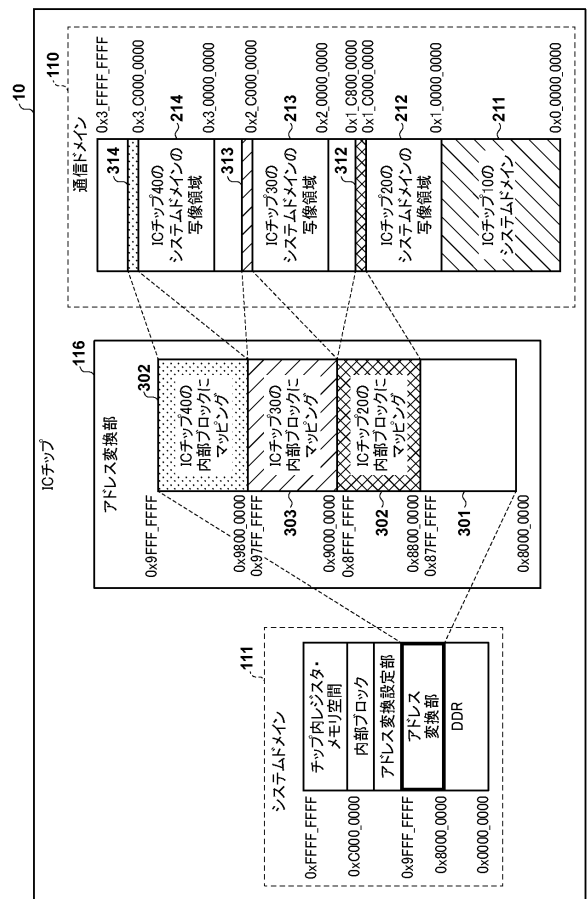
【図 1】



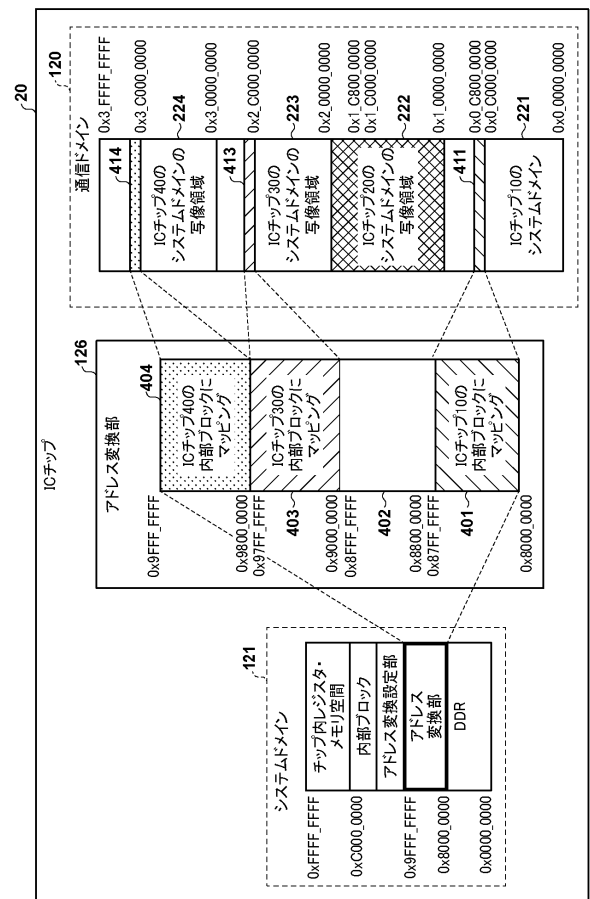
【図 2】



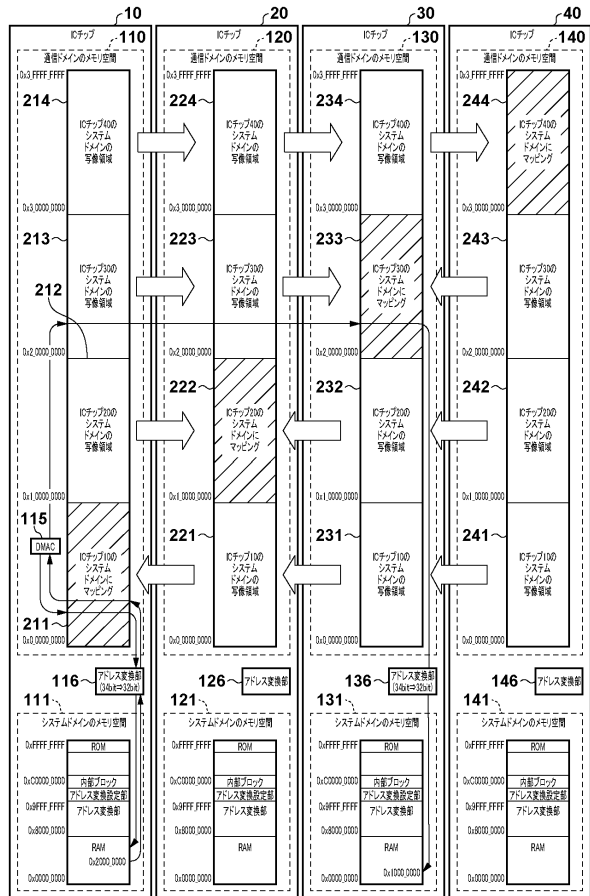
【図 3】



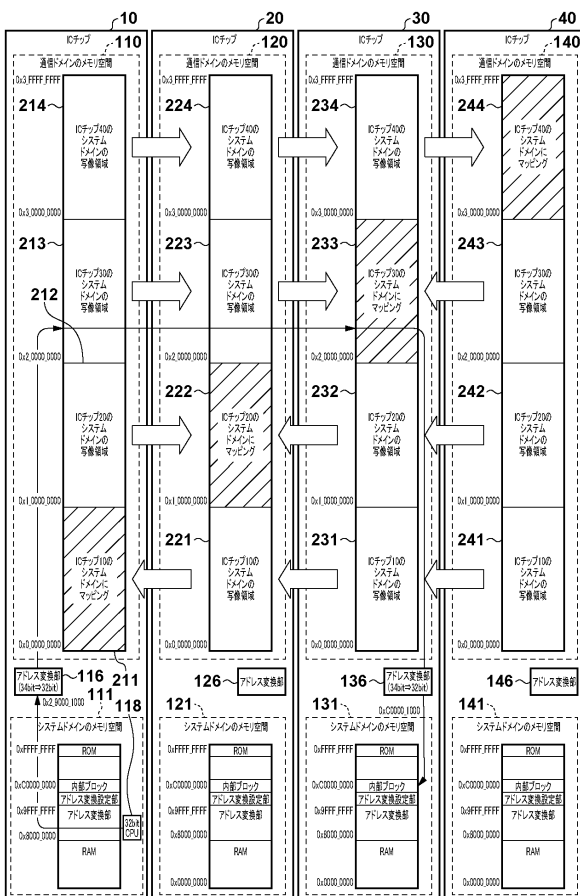
【図 4】



【 図 6 】



【圖 7】



フロントページの続き

(56)参考文献 特開 2014 - 016749 (JP, A)
特開 2008 - 003867 (JP, A)
特開 2013 - 088879 (JP, A)
特開 2008 - 067242 (JP, A)
米国特許出願公開第 2016 / 0350241 (US, A1)

(58)調査した分野(Int.Cl., DB名)

G06F 12/00 - 12/06
G06F 13/14
G06F 13/16 - 13/18
B41J 29/38