



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0018554
(43) 공개일자 2008년02월28일

(51) Int. Cl.

H03M 1/12 (2006.01)

(21) 출원번호 10-2006-0080826

(22) 출원일자 2006년08월25일

심사청구일자 2006년08월25일

(71) 출원인

고려대학교 산학협력단

서울 성북구 안암동5가1 고려대학교 내

(72) 발명자

정해영

서울 영등포구 여의도동 장미아파트 B동 705호

김수원

서울 성북구 돈암동 636번지 브라운스톤 돈암아파트 104동 401호

(74) 대리인

현중철

전체 청구항 수 : 총 11 항

(54) 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치, 이를 포함하는 심박 조율 장치, 디지털 제어 비교기를 이용한 아날로그 디지털 변환 방법

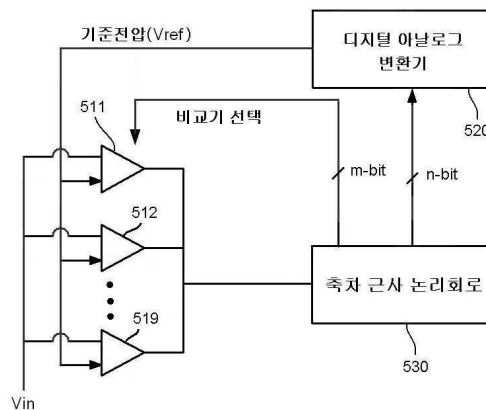
(57) 요약

디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치, 이를 포함하는 심박 조율 장치, 디지털 제어 비교기를 이용한 아날로그 디지털 변환 방법이 개시된다.

본 발명은 입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계되고, 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 복수의 디지털 제어 비교기, 상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 디지털 아날로그 변환기 및 상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 축차 근사 논리회로를 포함한다.

본 발명에 의하면, 비트 단위마다 적절한 디지털 제어 변환기를 선택하여 동작시킴으로써, 신뢰도를 유지하면서 저전력 소모를 구현할 수 있고, 저전력 구현을 위해 부가적인 회로를 필요로 하지 않는다.

대표도 - 도5



특허청구의 범위

청구항 1

입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계되고, 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 복수의 디지털 제어 비교기; 상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 디지털 아날로그 변환기; 및

상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 축차 근사 논리회로를 포함하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치.

청구항 2

제 1 항에 있어서,

상기 복수의 디지털 제어 비교기는

N 타입 입력단과 P 타입 입력단을 하나의 스테이지로 결합한 레일 투 레일 OP 앰프의 구조인 것을 특징으로 하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치.

청구항 3

제 1 항에 있어서,

상기 복수의 디지털 제어 비교기는

상기 축차 근사 논리회로에 의해 선택되지 않은 비교기는 오프되는 것을 특징으로 하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치.

청구항 4

제 1 항에 있어서,

상기 복수의 디지털 제어 비교기는

상기 입력 전압을 양의 전압으로 제한하는 것을 특징으로 하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치.

청구항 5

제 4 항에 있어서,

상기 복수의 디지털 제어 비교기는

비교기와 정전류원 사이에 스위치를 구비하고, 상기 축차 근사 논리회로의 비교기 선택 신호에 따라 상기 스위치를 온 또는 오프시키는 것을 특징으로 하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치.

청구항 6

제 1 항에 있어서,

상기 축차 근사 논리회로는

상기 복수의 디지털 제어 비교기 중에서 상기 최상위 2 비트의 비트값의 크기에 따라 비교기를 선택하는 것을 특징으로 하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치.

청구항 7

입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계되고, 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 복수의 디지털 제어 비교기;

상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 디지털 아날로그 변환기; 및

최상위 비트의 비트값이 1이고 나머지 비트의 비트값은 0인 입력 값을 상기 디지털 아날로그 변환기의 초기 입력 값으로 설정하고, 상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 축차 근사 논리회로를 포함하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치.

청구항 8

아날로그 디지털 변환기를 포함하는 심박 조율 장치에 있어서,

심장 박동을 아날로그 입력 신호로 변환하는 센서부;

상기 아날로그 입력 신호를 디지털 신호로 변환하는 아날로그 디지털 변환부;

소정의 주기로 기준 클럭을 생성하는 스톱 위치; 및

상기 디지털 신호 및 상기 기준 클럭에 따라 전기 자극을 출력하는 전기 충격부를 포함하고,

상기 아날로그 디지털 변환부는

입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계되고, 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 복수의 디지털 제어 비교기;

상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 디지털 아날로그 변환기; 및

상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 축차 근사 논리회로를 포함하는 포함하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 포함하는 심박 조율 장치.

청구항 9

제 8 항에 있어서,

상기 복수의 디지털 제어 비교기는

비교기와 정전류원 사이에 스위치를 구비하고, 상기 축차 근사 논리회로의 비교기 선택 신호에 따라 상기 스위치를 온 또는 오프시키는 것을 특징으로 하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 포함하는 심박 조율 장치.

청구항 10

제 8 항에 있어서,

상기 축차 근사 논리회로는

상기 복수의 디지털 제어 비교기 중에서 상기 최상위 2 비트의 비트값의 크기에 따라 비교기를 선택하는 것을 특징으로 하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 포함하는 심박 조율 장치.

청구항 11

입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계된 복수의 디지털 제어 비교기를 이용하여 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 단계;

상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 단계;

상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 단계를 포함하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 아날로그 디지털 변환기에 관한 것으로, 특히, 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치, 이를 포함하는 심박 조율 장치, 디지털 제어 비교기를 이용한 아날로그 디지털 변환 방법에 관한 것이다.
- <13> 배터리로 동작하는 시스템에 있어서 일정한 전력을 가지고 오랜 시간동안 동작하는 것이 이슈이다. 소비 전력은 전압에 비례하므로 이에 따라 공급 전압이 점점 낮아지는 추세이다. 초저전압으로 전원을 공급할 때, 아날로그 회로에서의 노이즈 마진은 파워 서플라이와 함께 감소되지 않는다. 따라서 공급전원이 줄어들에 따라서 입력 전압의 범위는 상대적으로 증가한다. 이 때문에 입력이 Vdd에서 Vss로, 즉 다시 말해서 레일 투 레일(rail-to-rail)로 스윙하게 된다.
- <14> 디지털 회로에서는 공급 전압이 낮아지면 문턱 전압도 같이 낮아지므로 별 영향을 받지 않으나, 아날로그 회로에서는 바이어스 단에서의 일정한 바이어스 전압의 확보가 중요하므로 낮은 공급 전압을 보완하기 위하여 특별한 기술이 필요하다. 이에 따라, 현재 부트 스트래핑(bootstrapping) 기법, 로우 스레쉬홀드(low-threshold) 기법 등이 사용되고 있으나 이들은 모두 부가적인 회로 또는 부가적인 소자를 사용하므로 실제 저전력 구현과는 거리가 멀다.
- <15> 특히, 저전압용 회로에서 사용되는 부트 스트래핑(bootstrapping) 기법은 MOSFET의 게이트(gate)에 걸리는 바이어스 전압을 부가적인 회로를 써서 걸릴 수 있는 전압보다 더 증가시키는 기법이다. 현재 저전압 기법으로 가장 많이 상용화 되었으나, 이는 소자의 크기가 줄어들에 따라서 함께 줄어드는 옥사이드 커패시턴스(oxide capacitance)에 견딜 수 있는 전압보다 더 큰 전압이 걸려 옥사이드 브레이크 다운(oxide breakdown)이 일어날 수도 있다는 신뢰도(reliability)에 관한 단점이 있다.
- <16> 바이어스 단에 사용되는 MOSFET의 문턱전압을 낮추기 위하여, 두꺼운 옥사이드(thick oxide)를 가진 MOSFET을 사용하기도 하나, 얇은 옥사이드(thin oxide) MOSFET의 문턱전압보다 불과 200mV정도밖에 작지 않기 때문에 1V 미만의 저전압에서 동작하는 회로에서는 사용하기 어렵다.
- <17> 따라서, 종래의 아날로그 디지털 변환 장치는 신뢰도를 유지하면서 저전력 소모를 구현할 수 없고, 저전력 구현을 위해 부가적인 회로를 필요로 하여 전체적인 전력 소모를 낮추기가 용이하지 않은 문제점이 있다.

발명이 이루고자 하는 기술적 과제

- <18> 본 발명이 이루고자 하는 첫번째 기술적 과제는 신뢰도를 유지하면서 저전력 소모를 구현할 수 있고, 저전력 구현을 위해 부가적인 회로를 필요로 하지 않는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 제공하는데 있다.
- <19> 본 발명이 이루고자 하는 두번째 기술적 과제는 상기의 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 포함하는 심박 조율 장치를 제공하는데 있다.
- <20> 본 발명이 이루고자 하는 세번째 기술적 과제는 상기의 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치에 적용된 디지털 제어 비교기를 이용한 아날로그 디지털 변환 방법을 제공하는데 있다.

발명의 구성 및 작용

- <21> 상기의 첫번째 기술적 과제를 이루기 위하여, 본 발명은 입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계되고, 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 복수의 디지털 제어 비교기, 상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 디지털 아날로그 변환기 및 상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 축차 근사 논리회로를 포함하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 제공한다.

- <22> 또한, 상기의 첫번째 기술적 과제를 이루기 위하여, 본 발명은 입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계되고, 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 복수의 디지털 제어 비교기, 상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 디지털 아날로그 변환기 및 최상위 비트의 비트값이 1이고 나머지 비트의 비트값은 0인 입력 값을 상기 디지털 아날로그 변환기의 초기 입력 값으로 설정하고, 상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 축차 근사 논리회로를 포함하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 제공한다.
- <23> 상기의 두번째 기술적 과제를 이루기 위하여, 본 발명은 아날로그 디지털 변환기를 포함하는 심박 조율 장치에 있어서, 심장 박동을 아날로그 입력 신호로 변환하는 센서부, 상기 아날로그 입력 신호를 디지털 신호로 변환하는 아날로그 디지털 변환부, 소정의 주기로 기준 클럭을 생성하는 스톱 위치 및 상기 디지털 신호 및 상기 기준 클럭에 따라 전기 자극을 출력하는 전기 충격부를 포함하고, 상기 아날로그 디지털 변환부는 입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계되고, 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 복수의 디지털 제어 비교기, 상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 디지털 아날로그 변환기 및 상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 축차 근사 논리회로를 포함하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 포함하는 심박 조율 장치를 제공한다.
- <24> 상기의 세번째 기술적 과제를 이루기 위하여, 본 발명은 입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계된 복수의 디지털 제어 비교기를 이용하여 상기 전압 구간마다 다른 기준 전압과 상기 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성하는 단계, 상기 생성된 비트값에 따라 상기 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성하는 단계, 상기 복수의 디지털 제어 비교기 중에서 상기 생성된 비트값에 따라 인접한 비트의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행하는 단계를 포함하는 디지털 제어 비교기를 이용한 아날로그 디지털 변환 방법을 제공한다.
- <25> 본 발명은 아날로그-디지털 변환 장치 즉, 아날로그 입력 신호를 디지털 신호로 변환하여 출력하는 장치에 관한 것으로, 특히 축차 근사 논리회로(Successive Approximation Resister, SAR) 방식의 아날로그-디지털 변환 장치에 관한 것이다.
- <26> 아날로그-디지털 변환 장치는 아날로그 형태의 입력 신호를 내부의 세분화된 기준 전압과 비교하여 이를 디지털 값으로 변환시킨다. 축차 근사 논리회로(SAR) 방식의 아날로그-디지털 변환 장치는 바이너리 서치 방법(binary search method)를 통하여 최상위 비트(MSB)부터 최하위 비트(LSB)까지 정한다.
- <27> 이하에서는 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 다음에 예시하는 본 발명의 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다.
- <28> 도 1a는 본 발명이 적용되는 축차 근사 논리회로 방식의 아날로그 디지털 변환기 장치의 블럭도이다.
- <29> 도 1a에 도시된 바와 같이, 축차 근사 논리회로(SAR) 방식의 아날로그-디지털 변환기는 비교기(110), 디지털 아날로그 변환기(Digital to Analog Converter, DAC, 120), 축차 근사 논리회로(130)를 포함한다.
- <30> 디지털 아날로그 변환기(120)는 아날로그 입력 신호(Vin)를 디지털 신호로 변환시키는 기준값이 되는 디지털 신호를 아날로그 신호로 변환한다. 비교기(110)는 아날로그 입력 신호와 디지털 아날로그 변환기(120)로부터 출력되는 기준 아날로그 신호를 비교하여 비교 결과를 출력한다. 축차 근사 논리회로(130)는 SAR 레지스터를 포함하여 비교기(110)로부터 출력되는 비교 결과에 응답하여 기준값이 되는 디지털 신호를 제어하는 SAR 제어 로직으로 구성된다.
- <31> 도 1b 및 도 1c는 본 발명이 적용되는 바이너리 서치 알고리즘의 일 예를 도시한 것이다.
- <32> 도 1b의 예는 8비트의 아날로그 디지털 컨버터 및 아날로그 입력이 7.09 V 인 경우를 보여준다. 이때, 최하위 비트는 39.22 mV를 나타낸다. 이때, SAR은 비교기의 출력이 TRUE 인지 FALSE 인지에 따라 두가의 출력 중 어느 하나를 출력한다. 비교기는 추정된 전류값이 입력값보다 작으면 HIGH를 출력하고, 추정된 전류값이 입력값보다 크면 LOW를 출력한다.

- <33> 즉, SAR은 다음과 같은 동작을 한다. 추정값이 너무 작으면, MSB-(n+1)에서 1을 빼고, 추정값이 너무 크면, MSB-(n+1)에서 1을 더한다. 이때, MSB는 최상위 비트, n은 현재의 클럭 사이클을 의미한다.
- <34> 도 1c는 도 1b에 따라, 8번째 사이클(n=7)까지 입력 전압을 추정하는 과정을 보여주는 표이다. 도 1c에서, 입력 값에 대한 디지털 추정값이 180과 181 사이에 수렴함을 알 수 있다.
- <35> 도 2a 내지 도 2c는 본 발명이 적용되는 아날로그 디지털 변환 장치의 입력단의 일 예를 도시한 것이다.
- <36> N 비트 SAR 아날로그 디지털 변환 장치(ADC)는 아날로그 입력 신호를 받고 N비트의 디지털 코드에 따라 기준 전압을 분배하여 입력 신호와 비교하며, 그 비교 결과에 따라 입력 신호에 대응하는 N비트의 디지털 코드를 비트 별로 순차적으로 판정하는 아날로그 디지털 변환 장치(ADC)이다.
- <37> 비교기는 아날로그 회로이기 때문에 바이어스단의 게이트(gate) 전압 확보 문제로 공통 모드 입력 범위(common-mode input range)가 제한이 되어있다. 이 때문에 레일 투 레일 입력(rail-to-rail input)을 받기 위해서 다른 구조를 이용한다.
- <38> 도 2a와 도 2b의 N 타입 입력단(N input), P 타입 입력단(P input)의 입력단(input stage)를 합친 것이 도 2c의 레일 투 레일 OP 앰프(rail-to-rail operational amplifier)의 구조이다. 그러나 1V 이하의 초저전압 동작 전압에서는 부하(load) 단에서 MOSFET stack이 4개를 넘어가는 구조이므로 출력단(output)에서의 전압 스윙과 각 부하(load) 단 MOSFET들의 충분한 오버드라이브(overdrive) 전압 확보가 용이하지 않다.
- <39> 도 3a는 본 발명이 적용되는 축차 근사 논리회로 방식의 아날로그 디지털 변환기 장치의 알고리즘의 흐름도이다.
- <40> 먼저, 입력 전압을 V로 샘플링하고, 변수 i를 1로 초기화한다(310 과정).
- <41> 다음, 전압 V가 0 보다 크면(320 과정), 기준전압을 2^i 로 나눈값을 V에서 차감하고, i번째 비트의 비트값을 1로 결정한다(331, 341 과정). 반대로, 전압 V가 0 보다 작거나 같으면(320 과정), 기준전압을 2^i 로 나눈값을 V에 더하고, i번째 비트의 비트값을 0으로 결정한다(332, 342 과정).
- <42> 다음, 변수 i를 1만큼 증가시킨다(350 과정).
- <43> 이때, 변수 i가 아날로그 디지털 변환 장치의 비트수인 n보다 크면, 모든 절차를 종료하고, 변수 i가 아날로그 디지털 변환 장치의 비트수인 n보다 작거나 같으면, 위의 과정(320-350 과정)을 반복한다.
- <44> 도 3b는 도 3a의 알고리즘을 적용한 일 예를 도시한 것이다.
- <45> 여기서 볼 수 있듯이, 처음에 입력이 $(V_{dd}-V_{ss})/2$ 의 값 (초기에 DAC의 입력값은 SAR 레지스터에 의하여 8bit의 경우 '10000000'로 셋팅)보다 큰 지 작은 지를 파악하여 더 크면 '1', 작으면 '0'을 출력한다. 다음에 이전 값이 '1'인 경우에는 위 부분의 절반- $3(V_{dd}-V_{ss})/4$ 에 해당하는 곳으로, '0'인 경우에는 아랫 부분의 절반- $(V_{dd}-V_{ss})/4$ 으로 찾아가 그 값과 다시 입력을 비교하여 순차적으로 최상위 비트(MSB) 부터 최하위 비트(LSB)까지 입력값의 바이너리 코드(binary code)를 정한다.
- <46> 이 알고리즘을 이용하면 저전압이라서 레일 투 레일 입력(rail-to-rail input) 설계가 불가능하였던 비교기를 각 구간별로 나누어서 디지털로 제어하여 사용하는 것이 가능해진다. 비교기의 입력 공통 모드(input common-mode) 구간을 V_{dd} 부터 V_{ss} 까지 균등하게 나누어 각 구간에 맞게 설계된 비교기를 SAR 레지스터에서 순차적으로 나오는 값에 따라서 제어할 수 있다.
- <47> 도 4는 본 발명의 일 실시예에 따른 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치의 블록도이다.
- <48> 도 4에서는 전 입력구간을 네 등분하는 것을 예로 들고 있다. 이때, V_{dd} 가 1.5V이고 V_{ss} 가 0V라고 가정하면, 각 네 개의 디지털 제어 비교기(411-414)는 상위부터 0.375V씩의 입력 공통 모드 범위(input common-mode range)를 갖게 되고 기준 전압이 순차적으로 바뀔에 따라 그에 알맞은 디지털 제어 비교기(411-414)가 선택된다. 디지털 제어 비교기(411-414)의 기준 전압은 제일 처음 DAC의 output이 '10000000' (8bit의 경우)로 셋팅이 되어 $(V_{dd}-V_{ss})/2$ 에 해당하는 기준 전압을 생성한다. 이 때 MSB의 초기값은 1로, 그 하위비트는 0으로 고정되어 있으므로 도 4에서 볼 수 있듯이 상위 두 개의 비트값을 읽어와 처음에 '10' 디지털 제어 비교기(412)를 선택을 하여 입력값과 비교를 한다. 만약 입력값이 상위 두 비트가 '11'에 해당하는 값이라면 가장 상위 입력 공통 모드 범위(input common-mode range)를 가지고 있는 '11' 디지털 제어 비교기(411)를 선택하여 그 다음 하위 비트들을 비교하게 된다. 도 4에서는 축차 근사 논리회로(430)의 출력 중 상위 2비트를 이용하여

디지털 제어 비교기(411-414)를 선택한다.

- <49> 도 5는 본 발명의 다른 실시예에 따른 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치의 블록도이다.
- <50> 복수의 디지털 제어 비교기(511-519)는 입력 전압의 입력 구간을 균등하게 분할하는 각 전압 구간을 위해 설계되고, 전압 구간마다 다른 기준 전압과 입력 전압을 비교하여 최상위 비트부터 순차적으로 비트값을 생성한다.
- <51> 바람직하게는, 복수의 디지털 제어 비교기(511-519)는 N 타입 입력단과 P 타입 입력단을 하나의 스테이지로 결합한 레일 투 레일 OP 앰프의 구조일 수 있다. 바람직하게는, 복수의 디지털 제어 비교기(511-519)는 축차 근사 논리 회로(530)에 의해 선택되지 않은 비교기는 오프되도록 설계될 수 있다. 바람직하게는, 복수의 디지털 제어 비교기(511-519)는 입력 전압을 양의 전압으로 제한할 수 있다. 바람직하게는, 복수의 디지털 제어 비교기(511-519)는 비교기와 정전류원 사이에 스위치를 구비하고, 축차 근사 논리 회로(530)의 비교기 선택 신호에 따라 스위치를 온 또는 오프시키도록 설계될 수 있다.
- <52> 디지털 아날로그 변환기(520)는 생성된 비트값에 따라 복수의 디지털 제어 비교기에 인가되는 기준 전압을 생성한다. 이때, 디지털 아날로그 변환기(520)의 입력은 축차 근사 논리 회로(530)의 출력 중 적어도 일부를 포함한다.
- <53> 축차 근사 논리회로(530)는 복수의 디지털 제어 비교기(511-519) 중에서 생성된 비트값에 따라 인접한 비트(다음 비트)의 비트값을 생성하기 위한 비교기를 선택하여 온 시키면서 바이너리 서치를 수행한다. 바람직하게는, 축차 근사 논리회로(530)는 복수의 디지털 제어 비교기(511-519) 중에서 최상위 2 비트의 비트값의 크기에 따라 비교기를 선택하도록 설계될 수 있다.
- <54> 도 6은 본 발명의 또다른 실시예에 따른 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 포함하는 심박 조율 장치의 블록도이다.
- <55> 아날로그 디지털 변환부(610)는 본 발명에 따른 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치로서, 아날로그 입력 신호를 디지털 신호로 변환한다. 아날로그 디지털 변환부(610)의 출력 신호는 복수의 비트로 구성되어 병렬로 전송될 수 있다. 바람직하게는, 아날로그 디지털 변환부(610)의 아날로그 입력단은 심장 박동을 감지하는 센서부(600)에 연결될 수 있다.
- <56> 스톱 위치(640)는 소정의 주기로 기준 클럭을 생성한다. 기준 클럭은 인간의 심장 박동 주기에 대한 기준을 제공하기 위한 클럭이다.
- <57> 전기 충격부(650)는 아날로그 디지털 변환부(610)의 디지털 신호 및 스톱 위치(640)의 기준 클럭에 따라 전기 자극을 출력한다. 이때, 전기 자극은 심박 조율을 위한 전기 신호로서, 인체에 무해한 수준의 작은 전압 및 작은 전류를 갖는다.
- <58> 바람직하게는, 전기 충격부(650)는 아날로그 디지털 변환부(610)의 디지털 신호와 스톱 위치(640)의 기준 클럭을 비교하는 수단을 포함하고, 아날로그 디지털 변환부(610)의 디지털 신호의 주기가 스톱 위치(640)의 기준 클럭 보다 느려지는 경우 전기 자극을 출력하도록 구성할 수 있다.
- <59> 도 7은 도 4 내지 도 6에 적용되는 비교기의 일 예를 도시한 것이다.
- <60> 도 7에서와 같이 저전력을 구현하기 위하여 각 비교기들은 비교하는 순간 이후에 오프되고 이를 위하여 정전류원 하단에 스위치를 달아 동작하지 않는 구간에서는 오프되도록 설계할 수 있다.
- <61> 도 8a는 도 7에 도시된 비교기의 회로도이다.
- <62> 도 8a에 도시된 비교기는 통상의 차등 증폭기와 유사한 구조이지만, 바이어스단(Vbias)과 저전력 구현용 스위치단(Vactive)를 구비한다. 즉, 축차 근사 논리 회로의 비교기 선택 신호에 따라 해당 비교기를 온시키는 경우에는 Vactive 단에 MOSFET의 스레쉬홀드 전압 이상의 전압이 인가되고, 축차 근사 논리 회로의 비교기 선택 신호에 따라 해당 비교기를 오프시키는 경우에는 Vactive 단에 MOSFET의 스레쉬홀드 전압 미만의 전압 또는 그라운드 전압이 인가되도록 설계할 수 있다.
- <63> 도 8b는 도 8a의 Vactive 단에 인가되는 신호의 일 예를 도시한 것이다. Vactive단에 인가되는 신호는 도 8b와 같이 주기적인 신호일 수 있다.
- <64> 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 그러나,

이와 같은 변형은 본 발명의 기술적 보호범위내에 있다고 보아야 한다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해서 정해져야 할 것이다.

발명의 효과

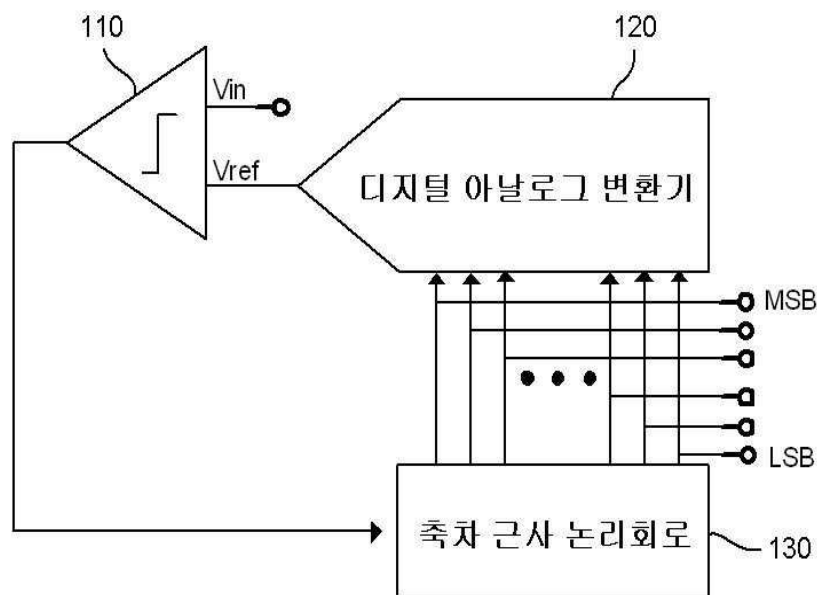
<65> 상술한 바와 같이, 본 발명에 의하면, 비트 단위마다 적절한 디지털 제어 변환기를 선택하여 동작시킴으로써, 신뢰도를 유지하면서 저전력 소모를 구현할 수 있고, 저전력 구현을 위해 부가적인 회로를 필요로 하지 않는 효과가 있다.

도면의 간단한 설명

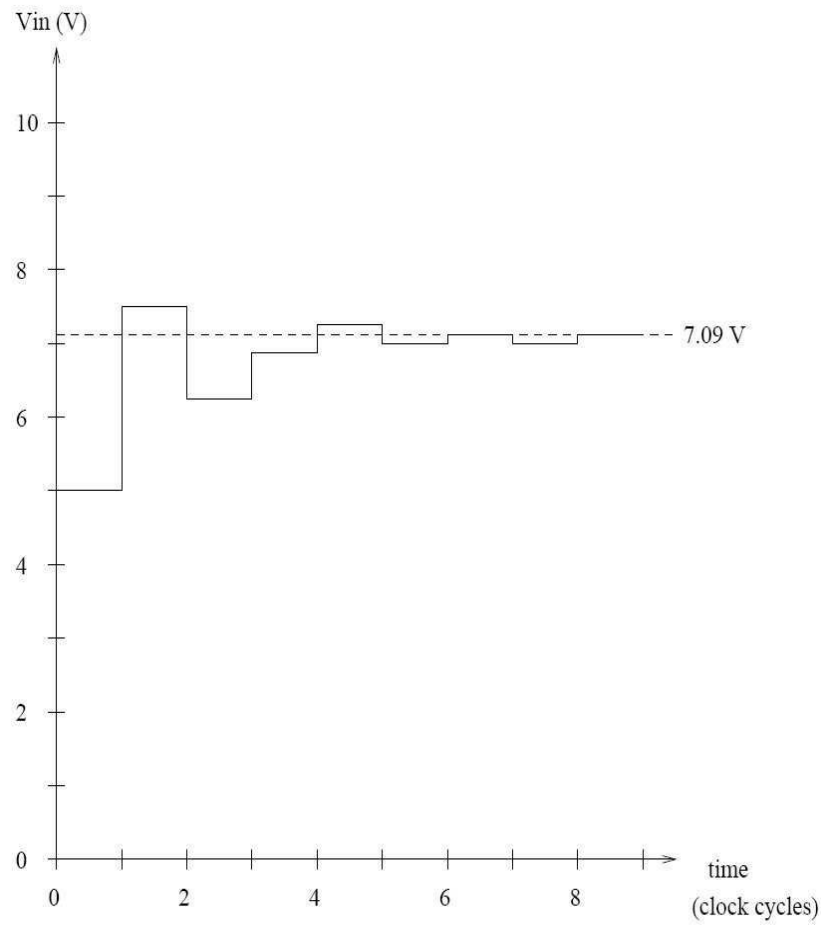
- <1> 도 1a는 본 발명이 적용되는 축차 근사 논리회로 방식의 아날로그 디지털 변환기 장치의 블록도이다.
- <2> 도 1b 및 도 1c는 본 발명이 적용되는 바이너리 서치 알고리즘의 일 예를 도시한 것이다.
- <3> 도 2a 내지 도 2c는 본 발명이 적용되는 아날로그 디지털 변환 장치의 입력단의 일 예를 도시한 것이다.
- <4> 도 3a는 본 발명이 적용되는 축차 근사 논리회로 방식의 아날로그 디지털 변환기 장치의 알고리즘의 흐름도이다.
- <5> 도 3b는 도 3a의 알고리즘을 적용한 일 예를 도시한 것이다.
- <6> 도 4는 본 발명의 일 실시예에 따른 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치의 블록도이다.
- <7> 도 5는 본 발명의 다른 실시예에 따른 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치의 블록도이다.
- <8> 도 6은 본 발명의 또다른 실시예에 따른 디지털 제어 비교기를 이용한 아날로그 디지털 변환 장치를 포함하는 심박 조율 장치의 블록도이다.
- <9> 도 7은 도 4 내지 도 6에 적용되는 비교기의 일 예를 도시한 것이다.
- <10> 도 8a는 도 7에 도시된 비교기의 회로도이다.
- <11> 도 8b는 도 8a의 V_{active} 단에 인가되는 신호의 일 예를 도시한 것이다.

도면

도면1a



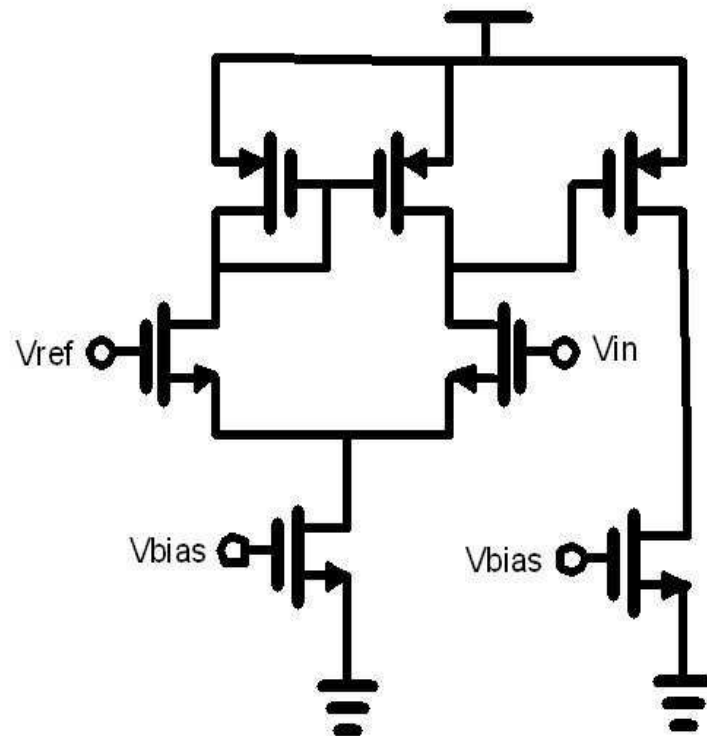
도면1b



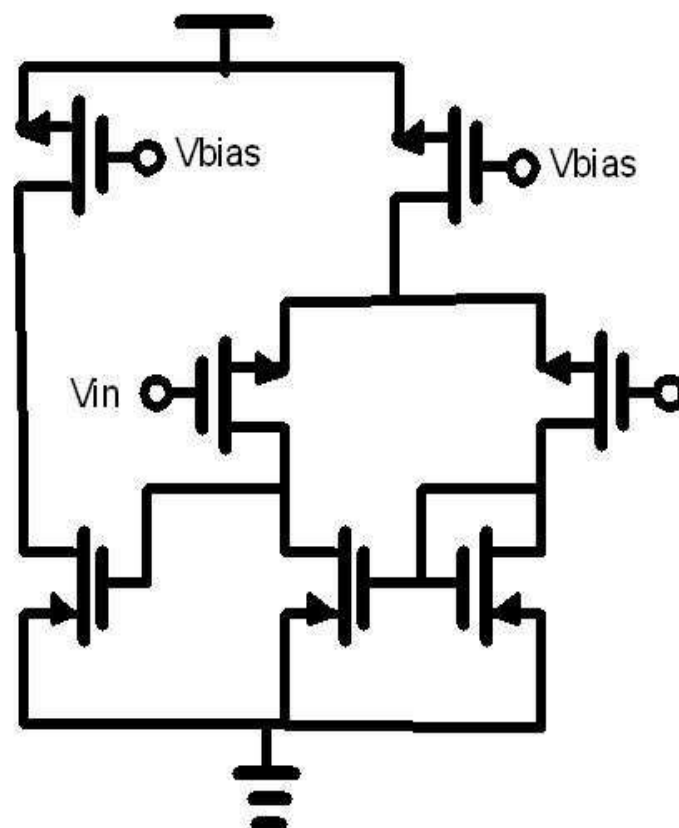
도면1c

Clock Cycle, n	SAR Bits	SAR Bit Sum	V_{est} (V)	comp. decision
0	01111111	127	4.98	too small
1	10111111	$127 + 64 = 191$	7.49	too big
2	10011111	$191 - 32 = 159$	6.24	too small
3	10101111	$159 + 16 = 175$	6.86	too small
4	10110111	$175 + 8 = 183$	7.18	too big
5	10110011	$183 - 4 = 179$	7.02	too small
6	10110101	$179 + 2 = 181$	7.10	too big
7	10110100	$181 - 1 = 180$	7.06	too small

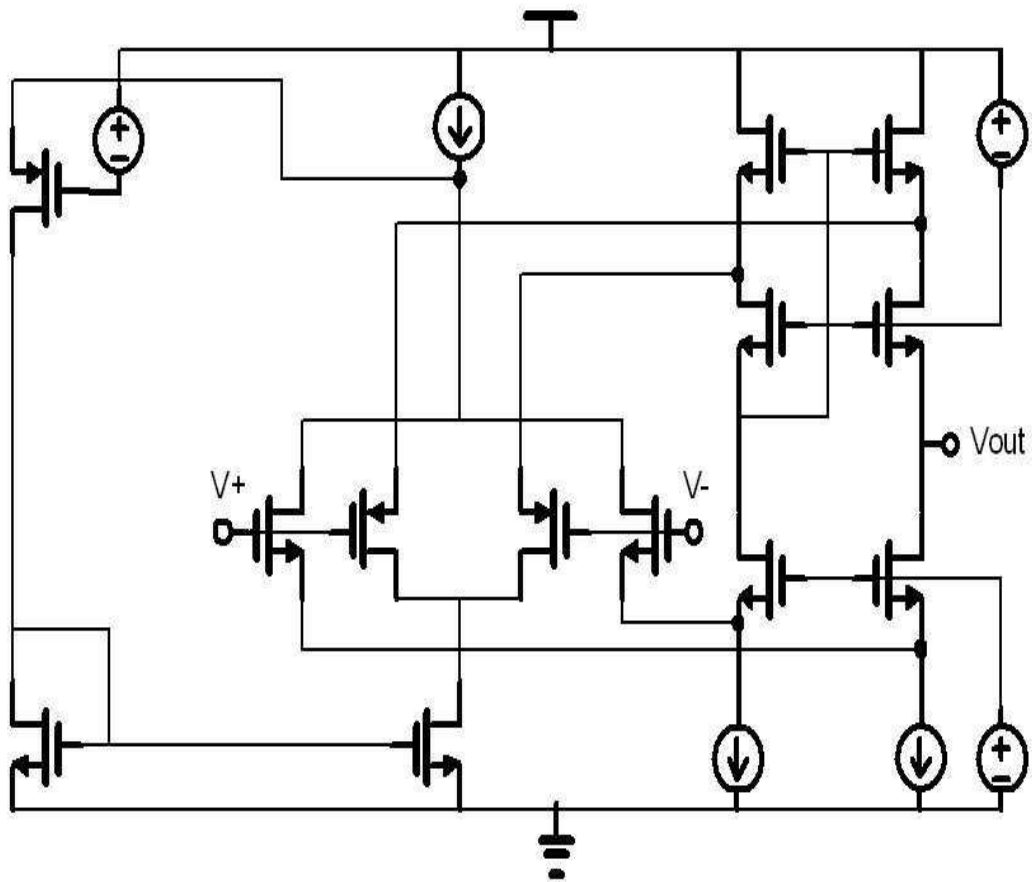
도면2a



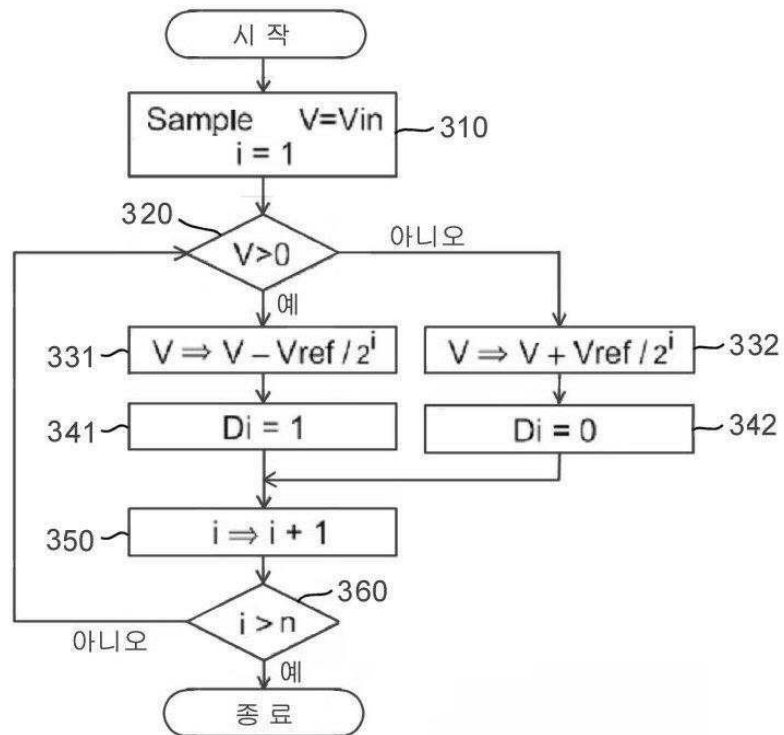
도면2b



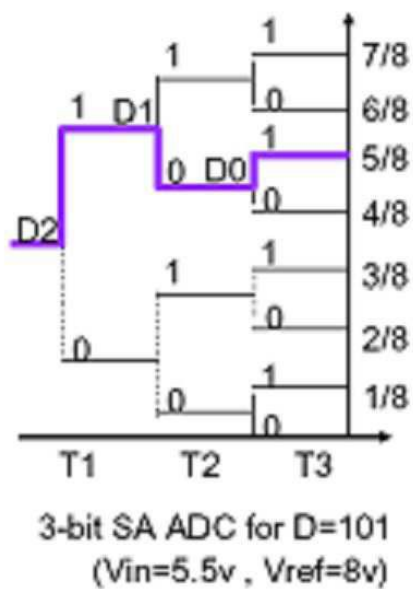
도면2c



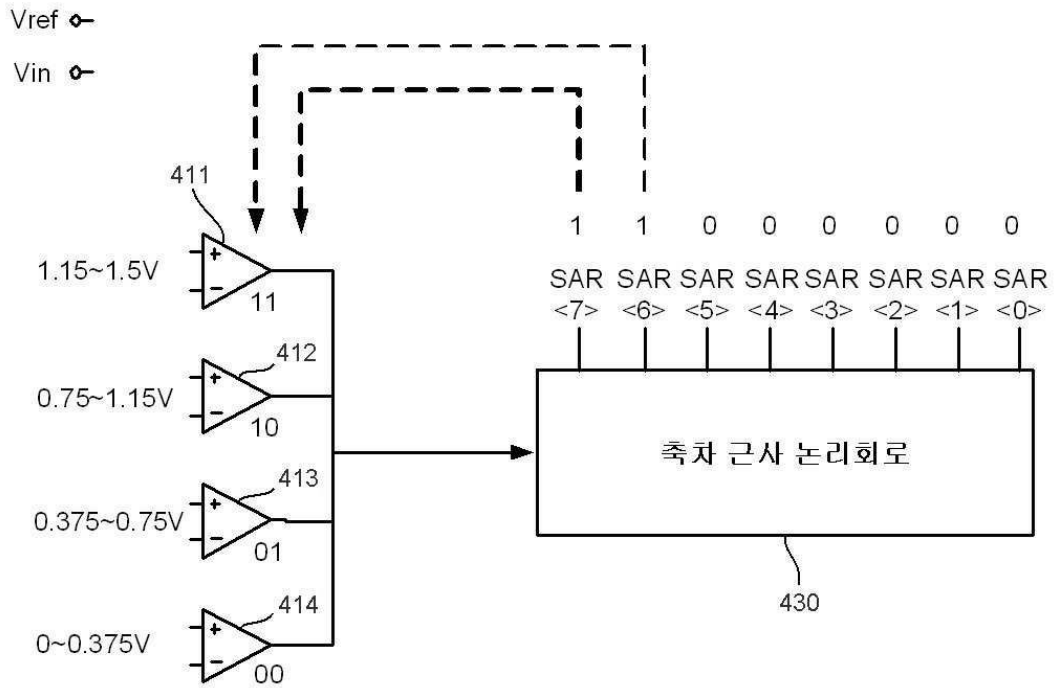
도면3a



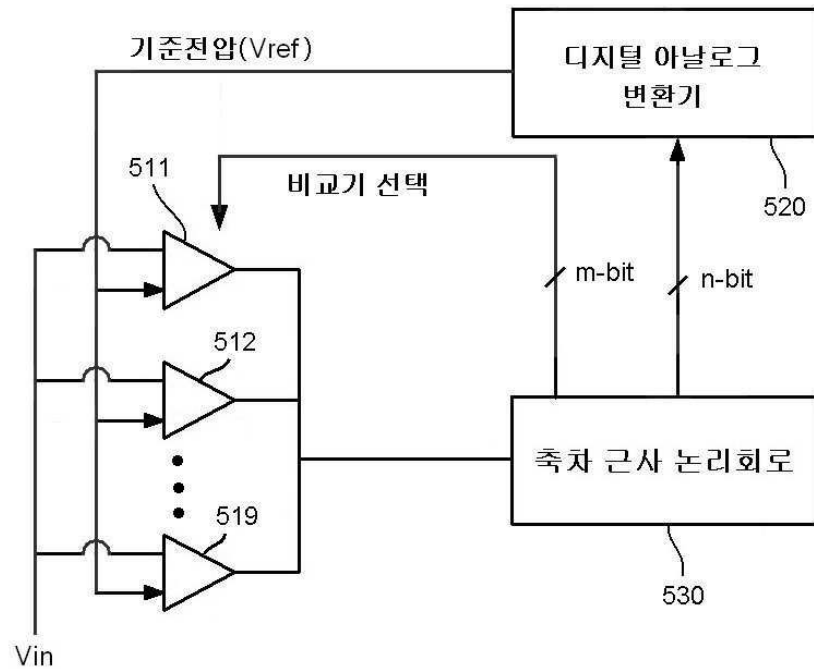
도면3b



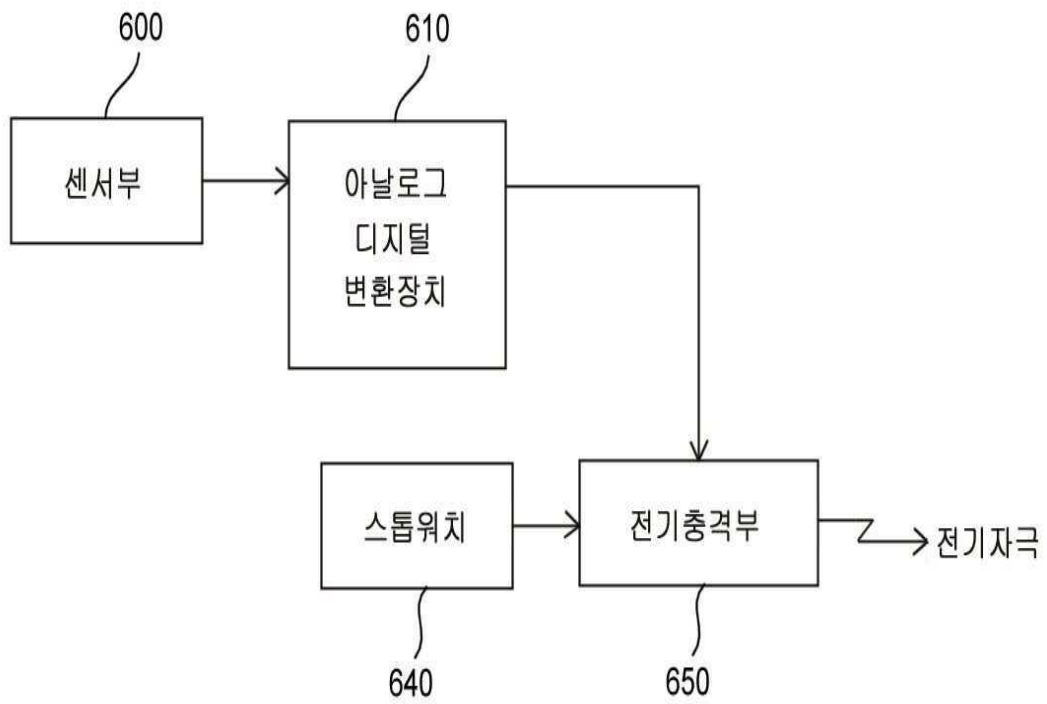
도면4



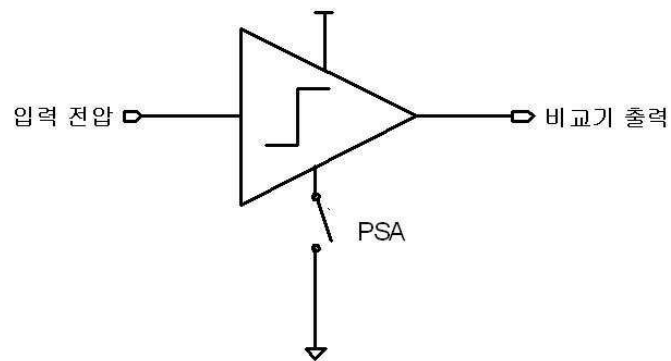
도면5



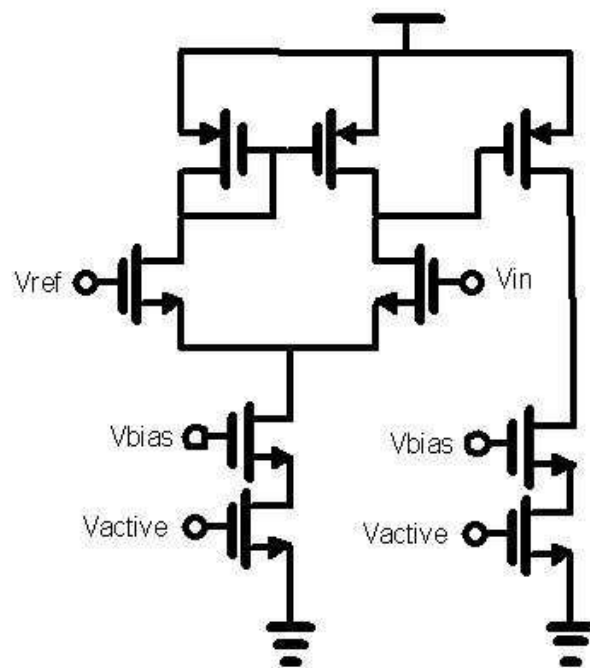
도면6



도면7



도면8a



도면8b

