



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0039278
(43) 공개일자 2009년04월22일

(51) Int. Cl.

H01L 21/8247 (2006.01) H01L 27/115 (2006.01)

(21) 출원번호 10-2007-0104819

(22) 출원일자 2007년10월18일

심사청구일자 2007년10월23일

(71) 출원인

경희대학교 산학협력단

경기도 용인시 기흥구 서천동 1 경희대학교 국제 캠퍼스내

(72) 발명자

최석호

경기 수원시 영통구 영통동 989-2 현대아파트 72 6동1103호

홍승휘

서울 강북구 미아9동 신성빌라 나동 B-2호

(뒷면에 계속)

(74) 대리인

이덕록

전체 청구항 수 : 총 10 항

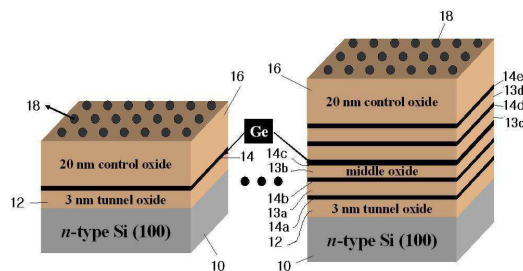
(54) 나노도트층을 이용한 반도체소자 및 그의 제조방법

(57) 요약

본 발명은 나노도트를 이용한 반도체소자 및 그의 제조방법에 관한 것으로, 기판을 준비하는 단계; 상기 기판상에 제1 산화막을 증착하는 단계; 상기 제1 산화막상에 나노도트층을 증착하는 단계; 상기 나노도트층상에 제2 산화막을 증착하는 단계; 상기 제2 산화막상에 전극층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

본 발명에 따른 나노도트를 이용한 반도체소자 및 그의 제조방법에 의하면, 다른 성장방법들과는 달리 원하는 위치에 균일한 밀도의 Ge 나노도트를 형성할 수 있는 효과가 있고, 또한 상온에서 증착하고 고온열처리 과정을 거치지 않았기 때문에 확산, 내부취입, 두께 변화등의 문제점을 피할 수 있는 효과가 있고, 단일한 챔버공정에 의하여 간단한 장치의 조작으로 나노도트층을 성장시킬 수 있는 효과가 있다.

대표도 - 도5



(72) 발명자

김민철

경기 수원시 장안구 정자동 13 기산아파트 909호

정필성

경기 용인시 기흥구 보정동 포스홈타운아파트
206-1301

특허청구의 범위

청구항 1

기관을 준비하는 단계;

상기 기관상에 제1 산화막을 증착하는 단계;

상기 제1 산화막상에 나노도트층을 증착하는 단계;

상기 나노도트층상에 제2 산화막을 증착하는 단계;

상기 제2 산화막상에 전극층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 2

제 1 항에 있어서, 상기 나노도트층상에 중간산화막을 증착하는 단계;

상기 중간산화막상에 나노도트층을 증착하는 단계;를 더 포함하여 이루어진 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 3

제 1 항에 있어서, 상기 제 1 산화막과 제2 산화막사이에 위치한 나노도트층 및 중간산화막은 연속적으로 복수 개 형성된 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 4

제 1 항에 있어서, 상기 나노도트층의 두께는 1nm이하인 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 5

제 1 항에 있어서, 상기 나노도트층의 두께는 18-54ML(mono layer)(게르마늄 원자층)의 범위인 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 6

제 1 항에 있어서, 상기 나노도트층의 두께는 72ML(mono layer)이하의 범위인 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 7

제 1 항에 있어서, 상기 제 1 산화막, 나노도트층 및 제 2 산화막은 초기 진공조건(base vacuum) 5×10^{-9} torr의 초고진공상태 및 상온에서 750eV 및 250mA의 조건에서 나노도트층인 게르마늄은 9.9×10^{-5} torr, 산화막은 2.0×10^{-4} torr의 조건에서 이온빔스퍼터링 증착방법에 의해 성장시킨 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 8

제 1 항에 있어서, 상기 제 1 산화막의 두께는 3nm이고, 제 2 산화막의 두께는 15-20nm인 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 9

제 2 항에 있어서, 상기 중간산화막의 두께는 1-3nm인 것을 특징으로 하는 나노도트층을 이용한 반도체소자의 제조방법.

청구항 10

제 1 항 내지 제 9항 중 어느 한 항에 따른 제조방법에 의해 제조된 것을 특징으로 하는 반도체 소자.

명세서

발명의 상세한 설명

기술 분야

- <1> 본 발명은 나노도트를 이용한 반도체소자 및 그의 제조방법에 관한 것으로, 더욱 상세하게는 게르마늄과 같은 재료를 이용하여 나노도트층을 형성하여 플로팅게이트를 구성함으로써 소자의 특성을 개선시킨 나노도트를 이용한 반도체소자 및 그의 제조방법에 관한 것이다.

배경 기술

- <2> 현재 연구되고 있는 차세대 메모리 분야 중 비휘발성 플로팅 게이트 메모리(Nonvolatile floating Gate Memory:NFGM)에서 게르마늄의 나노도트(nanodot)을 플로팅 게이트(floating gate)로 사용하는 메모리의 연구가 활발히 진행중이다. 이러한 메모리의 연구 과정에서 플로팅 게이트를 구성하는 게르마늄 나노도트의 형성방법은 핵심적인 요소라 할 수 있다. 그러나 현재까지의 연구에 따라 제작된 게르마늄 나노도트를 포함한 박막이나 이를 이용한 소자에 있어서 형성된 게르마늄 나노도트의 크기가 균일하지 않거나 박막 내에서 형성되는 위치가 일정하지 않은 문제점이 있었다.
- <3> 또한 대부분의 소자제작방법은 고온에서 증착하거나 박막 증착 후 열처리를 필히 거쳐야 하기 때문에 이로 인한 게르마늄의 확산(diffusion), 내부섞임(intermixing), 나노도트층의 두께 변형등을 피할 수 없는 문제점이 있었다. 또한 위에 열거한 문제점들은 차후 제작되는 소자의 작동시 소자의 특성을 저하시키는 원인이 되는 문제점이 있었다.
- <4> 도 1은 종래 기술에 따른 폴리실리콘 플로팅 게이트 메모리 반도체소자의 개략적인 측단면도이고, 도 2는 종래 기술에 따른 나노크리스탈 메모리 반도체소자의 기술적 문제점에 따른 나노크리스탈 메모리 반도체소자의 필요성을 나타내는 그래프이다.
- <5> 도 1 및 도 2를 참조하면, 종래의 폴리실리콘 플로팅 게이트 메모리 반도체소자는 높은 동작전압(9-10V)이 요구되며, 유전물질(dielectric material)인 산화막의 두께가 두꺼워지는 문제점이 있었고, 프로그래밍/삭제(programming/erasing) 속도가 느린 문제점이 있었다.
- <6> 또한, 65nm이하의 공정에서는 낮은 실행가능성(feasibility)이 존재하고 있었다(기술적 갭(technical gap)이라고 표시된 부분, 도 2 참조). 따라서, 실행가능한 기준이하에 있는 문제점이 있었다.
- <7> 한편, 기존에 사용된 나노도트층의 성장방법에는 화학기상증착(CVD:Chemical Vapour Deposition), 펄스 레이저 증착(Pulse Laser Deposition) 및 이온주입법(Ion implantation) 및 Co-스퍼터링(Sputtern)방법이 있으나 기판 가열 또는 사후 열처리(Annealing)과정이 필요하며, 게르마늄(Ge) 나노도트의 균일도가 낮고 위치의 분포편차가 큰 문제점이 있었다.

발명의 내용

해결 하고자하는 과제

- <8> 본 발명의 목적은 상기한 바와 같은 종래 기술에서의 문제점을 개선하고자 제안된 것으로, 열처리과정을 생략하여 상온에서 제작함으로써 낮은 결함상태를 가지며 균일한 나노도트크기로 성장시키는 나노도트층을 이용한 반도체소자 및 그의 제조방법을 제공함에 있다.

과제 해결수단

- <9> 상기한 바와 같은 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따르면, 나노도트층을 이용한 반도체소자의 제조방법은 기판을 준비하는 단계; 상기 기판상에 제1 산화막을 증착하는 단계; 상기 제1 산화막상에 나노도트층을 증착하는 단계; 상기 나노도트층상에 제2 산화막을 증착하는 단계; 상기 제2 산화막상에 전극층을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다.

효 과

- <10> 상기 설명한 바와 같이, 본 발명에 따른 나노도트를 이용한 반도체소자 및 그의 제조방법에 의하면, 다른 성장 방법들과는 달리 원하는 위치에 균일한 밀도의 Ge 나노도트를 형성할 수 있는 효과가 있다.
- <11> 또한 상온에서 증착하고 고온열처리 과정을 거치지 않았기 때문에 확산, 내부섞임, 두께 변화등의 문제점을 피할 수 있는 효과가 있다.
- <12> 본 발명에 따른 나노도트를 이용한 반도체소자 및 그의 제조방법에 의하면, 단일한 챔버공정에 의하여 간단한 장치의 조작으로 나노도트층을 성장시킬 수 있는 효과가 있다.

발명의 실시를 위한 구체적인 내용

- <13> 이하 본 발명에 따른 나노도트를 이용한 반도체소자 및 그의 제조방법을 첨부도면을 참조하여 상세히 설명한다.
- <14> 본 발명에서는 결함(defect)이 상대적으로 많은 성장법인 CVD나 Ge 나노도트의 성장제어가 힘든 여타의 방법에 비하여 초고진공(Ultra High Vacuum:UHV)의 청정조건하에서 잘 조절되는(well-control) 이온빔 스퍼터링 증착(ion beam sputtering deposition:IBSD)의 방법을 이용하여 Ge 나노도트를 상온에서 단층 또는 다층으로 성장시켰다. 이와 같이 형성된 Ge 나노도트를 소자의 플로팅 게이트로 이용하여 비휘발성 메모리(nonvolatile memory device)를 제작하고 중간 산화막(middle oxide)의 두께, Ge의 양등을 변화시켜 그 메모리 특성을 규명하였다.
- <15> 도 3은 본 발명에 따른 나노도트층을 이용한 반도체소자 및 그의 제조방법에서 사용된 이온빔 스퍼터링 증착시스템의 개략적인 내부 구성도이고, 도 4는 도 3의 외부형상을 개략적으로 나타낸 사진이다.
- <16> 도 3 및 도 4를 참조하면, 단일챔버 구조의 이온빔 스퍼터링 증착시스템을 볼 수 있다. 타겟에는 실리콘과 게르마늄 시료가 준비되어 있고 DC Gun을 통해 증착과정을 수행한다. 기판(substrate)상에 실리콘 산화막 및 게르마늄 나노도트층이 증착되게 된다. 스퍼터링 시스템의 구체적인 구성은 일반적으로 잘 알려진 스퍼터링 시스템(증착 챔버(deposition chamber), 로드락 챔버(loadlock chamber) 및 분석챔버(analysis chamber)를 포함함)과 거의 유사하므로 자세한 설명을 생략하기로 한다.
- <17> 도 5는 본 발명에 따른 단층 및 다층 나노도트층을 이용한 반도체소자의 측단면도이다.
- <18> 도 5를 참조하면, 편의상 단층 및 다층 나노도트층을 이용한 반도체소자를 함께 표현하였다. 본 발명에 따른 나노도트층을 이용한 반도체소자는 단층구조의 경우에는, 먼저 기판(n-type Si(100))(10)이 준비되고, 그 기판(10)상에 제1 산화막(12)이 증착된다. 이후, 상기 제1 산화막상에 나노도트층(14)이 증착형성된다. 이후 상기 나노도트층(14)상에 제2 산화막이 증착형성된다. 이후 상기 제2 산화막상에 전극층(18)이 형성되어 이루어진다.
- <19> 다층구조에 있어서는, 상기 기판과 제2 산화막사이에 위치한 중간 산화막과 나노도트층이 연속적으로 복수개 형성된다. 편의상 중간 산화막과 나노도트층이 연속형성되는 상태를 주기(period)라는 표현을 사용하면 5주기(5번 연속적으로 증착형성됨)가 형성된 상태를 볼 수 있다. 즉, 제 1 산화막(12)과 제2 산화막(16)사이에 복수개의 나노도트층(14a, 14b, 14c, 14d, 14e)과 복수개의 중간 산화막(13a, 13b, 13c, 13d)이 연속적으로 형성된다.
- <20> 상기 나노도트층(12)의 두께는 1nm이하 인 것을 특징으로 한다.
- <21> 상기 나노도트층(12)의 두께는 18-54ML(mono layer)(게르마늄 원자층)의 범위인 것을 특징한다. 그러나 이에 한정되지는 않으며, 상기 나노도트층(12)의 두께는 72ML(mono layer)이하의 범위(그 이상에서는 나노도트층이 아닌 박막이 형성됨)인 것을 특징으로 한다.
- <22> 본 발명에서, 상기 제 1 산화막(12), 나노도트층(14) 및 중간산화막, 제 2 산화막(16)은 초기 진공조건(base vacuum) 5×10^{-9} torr의 초고진공(UHV:Ultra High Vacuum)상태에서 750eV 및 250mA의 조건에서 이온빔스퍼터링 증착방법에 의해 성장시킨 것을 특징으로 한다.
- <23> 구체적으로 나노도트층인 게르마늄은 9.9×10^{-5} torr, 산화막은 2.0×10^{-4} torr의 조건에서 성장시킨다.
- <24> 상기 제 1 산화막(12)의 3nm, 중간산화막의 두께는 1-3nm이고 제 2 산화막(16)의 두께는 15-20nm인 것을 한다.
- <25> 상기 제 1 산화막(12)은 터널 산화막(tunnel oxide)이라고 하며, 상기 제 2 산화막(16)은 콘트롤 산화막(control oxide)이라고 한다.

- <26> 상기 단일챔버내에서의 증착과정전에 기판은 BOE(Buffered Oxide Etcher) 용액(산화막 제거용 클리닝 용액)에 의해 표면이 세정된다.
- <27> 도 6 및 도 7은 본 발명에 따른 나노도트층을 이용한 반도체소자의 투과전자 현미경 사진을 나타낸 것이다.
- <28> 도 6 및 도 7을 참조하면, 36ML 게르마늄 나노도트 단층의 게르마늄 나노도트(게르마늄 나노도트 밀도 $4.6 \times 10^{12} \text{ cm}^{-2}$) 및 36ML 나노도트/산화막(SiO_2) 2nm 5층(다층)의 투과전자현미경 사진(TEM:Transmission Electron Microscopy)을 나타낸다. 상기 TEM사진에서 게르마늄 나노도트의 크기는 3-4nm이다.
- <29> 도 8은 본 발명에 따른 나노도트층을 포함한 반도체소자와 포함하지 않은 반도체소자의 히스테리시스 윈도우(hysteresis window)의 비교하여 나타낸 그래프이다.
- <30> 도 8을 참조하면, 게르마늄 나노도트가 존재하지 않는 산화막(SiO_2)만을 증착한 시료는 게이트전압을 증가시켜도 히스테리시스 윈도우 폭이 거의 변화가 없다. 게르마늄 나노도트가 존재하는 시료는 게이트전압이 증가함에 따라 리니어(linear)하게 윈도우 폭이 증가하는데, 결과적으로 메모리(memory) 현상은 나노도트에 의한 것이 입증된다.
- <31> 도 9는 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 게르마늄의 양에 따른 나노도트층의 히스테리시스 곡선의 변화를 나타낸 그래프이다.
- <32> 도 9를 참조하면, -15V~+15V전압이 인가된 상태이며, 게르마늄의 양이 증가할수록 히스테리시스 윈도우 폭이 넓어진다. 54ML 시료가 18.5V의 가장 큰 히스테리시스 윈도우 폭을 보였다.
- <33> 도 10은 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 다층 나노도트층들의 히스테리시스 곡선의 변화를 나타낸 그래프이다.
- <34> 도 10을 참조하면, 게르마늄/산화막(SiO_2) 주기(period)가 늘어날수록 히스테리시스 윈도우 폭이 증가하며 3주기까지 증가하다가 4,5주기에서 포화(saturation)되는 현상을 보인다. 중간 산화막(middle oxide)이 장벽(barrier)역할을 하기 때문에 1~3주기까지가 주요 전하저장층으로 작용하고 더 깊은 4~5주기까지는 전하가 도달하지 않는 것으로 보인다.
- <35> 도 11 및 도 12는 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 다층 나노도트층의 중간 산화막 두께변화에 따른 히스테리시스 윈도우의 변화를 나타낸 그래프들이다.
- <36> 도 11 및 도 12를 참조하면, 중간 산화막(다층구조에서) 두께가 증가함에 따라 히스테리시스윈도우 폭이 감소하는데 이는 중간 산화막의 두께가 증가하면 전하의 터널링 확률이 감소되어 터널 산화막(즉 제1 산화막)에 가까운 나노도트에만 전하가 저장되기 때문인 것으로 여겨진다.
- <37> 도 13 및 도 14는 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 단층 나노도트층에 인가한 각 전압에서의 펄스타임에 따른 프로그래밍/삭제(programming/erasing) 속력의 변화(납작띠 전압(flat-band voltage)의 변화로 표시)를 나타낸 그래프들이다.
- <38> 도 13 및 도 14를 참조하면, 풀 프로그래밍/풀 삭제(full programming/full erasing) 전압이 각각 -10V와 +10V, 펄스 시간은 1s의 조건에서 프로그래밍 속력보다 삭제(erasng)속력이 다소 느린 경향을 보인다.
- <39> 도 15 및 도 16은 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 다층(3주기) 나노도트층에 인가한 각 전압에서의 펄스타임에 따른 프로그래밍/삭제(programming/erasing) 속력의 변화를 나타낸 그래프들이다.
- <40> 도 15 및 도 16을 참조하면, 3주기(즉 다층구조) 나노도트층의 경우 1주기 시료와 비슷한 경향을 보이나 삭제(erasng)속력이 약간 더 느리다.
- <41> 도 17 및 도 18은 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 다층(5주기) 나노도트층에 인가한 각 전압에서의 펄스타임에 따른 프로그래밍/삭제(programming/erasing) 속력의 변화를 나타낸 그래프들이다.
- <42> 도 17 및 도 18을 참조하면, 주기가 늘어날수록 삭제(erasng)속도가 느려지는 경향을 보인다. 게르마늄 도트의 양이 많아 전하가 빠져 나오는데 시간이 더 걸리는 것으로 보이며 프로그래밍 속도는 주기가 늘어날수록 빨라지는 경향을 보인다.도 19는 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 단층 및 다층 나노도트층 반도체소자의 보유시간(retention time)의 측정결과를 나타낸 그래프이다.

- <43> 도 19를 참조하면, 5주기 시료(다층구조)는 단층시료보다 안정적인 보유(retention)특성을 보인다. 5주기 시료는 단층시료에 비해 중간 산화막이 존재하여 전자에 대한 에너지 장벽 역할을 하기 때문에 저장된 전자들이 잘 빠져 나오기 때문인 것으로 보인다.
- <44> 도 20은 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 단층 나노도트층 반도체소자의 게르마늄의 양의 변화에 따른 보유시간의 측정결과를 나타낸 그래프이다.
- <45> 도 20을 참조하면, 게르마늄의 양이 많을수록 전하저장이 더욱 안정적인 것을 알 수 있는데, 이는 나노도트의 크기가 크거나 그 밀도가 크기 때문일 수 있다.

도면의 간단한 설명

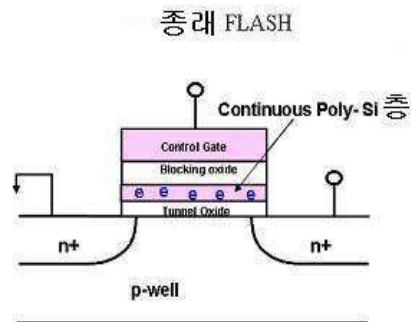
- <46> 도 1은 종래 기술에 따른 폴리실리콘 플로팅 게이트 메모리 반도체소자의 개략적인 측단면도이다.
- <47> 도 2는 종래 기술에 따른 나노크리스탈 메모리 반도체소자의 기술적 문제점에 따른 나노크리스탈 메모리 반도체소자의 필요성을 나타내는 그래프이다.
- <48> 도 3은 본 발명에 따른 나노도트층을 이용한 반도체소자 및 그의 제조방법에서 사용된 이온빔 스퍼터링 증착시스템의 개략적인 내부 구성도이다.
- <49> 도 4는 도 3의 외부형상을 개략적으로 나타낸 사진이다.
- <50> 도 5는 본 발명에 따른 단층 및 다층 나노도트층을 이용한 반도체소자의 측단면도이다.
- <51> 도 6 및 도 7은 본 발명에 따른 나노도트층을 이용한 반도체소자의 투과전자 현미경 사진을 나타낸 것이다.
- <52> 도 8은 본 발명에 따른 나노도트층을 포함한 반도체소자와 포함하지 않은 반도체소자의 히스테리시스 윈도우(hysteresis window)의 비교하여 나타낸 그래프이다.
- <53> 도 9는 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 게르마늄의 양에 따른 나노도트층의 히스테리시스 곡선의 변화를 나타낸 그래프이다.
- <54> 도 10은 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 다층 나노도트층들의 히스테리시스 곡선의 변화를 나타낸 그래프이다.
- <55> 도 11 및 도 12는 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 다층 나노도트층의 중간 산화막 두께변화에 따른 히스테리시스 윈도우의 변화를 나타낸 그래프들이다.
- <56> 도 13 및 도 14는 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 단층 나노도트층에 인가한 각 전압에서의 펄스타임에 따른 프로그래밍/삭제(programming/erasing) 속력의 변화(납작띠 전압(flat-band voltage)의 변화로 표시)를 나타낸 그래프들이다.
- <57> 도 15 및 도 16은 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 다층 나노도트층에 인가한 각 전압에서의 펄스타임에 따른 프로그래밍/삭제(programming/erasing) 속력의 변화를 나타낸 그래프들이다.
- <58> 도 17 및 도 18은 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 다층(5주기) 나노도트층에 인가한 각 전압에서의 펄스타임에 따른 프로그래밍/삭제(programming/erasing) 속력의 변화를 나타낸 그래프들이다.
- <59> 도 19는 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 단층 및 다층 나노도트층 반도체소자의 보유시간(retention time)의 측정결과를 나타낸 그래프이다.
- <60> 도 20은 본 발명에 따른 나노도트층을 포함한 반도체소자에 있어서 단층 나노도트층 반도체소자의 게르마늄의 양의 변화에 따른 보유시간의 측정결과를 나타낸 그래프이다.
- <61> * 도면의 주요부분에 대한 부호의 설명 *
- <62> 10: 기판
- <63> 12: 제1 산화막(터널 산화막)
- <64> 13a, 13b, 13c, 13d: 중간 산화막
- <65> 14: 나노도트층

<66> 16: 제2 산화막(콘트롤 산화막)

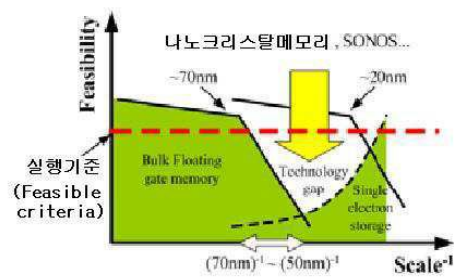
<67> 18: 전극층

도면

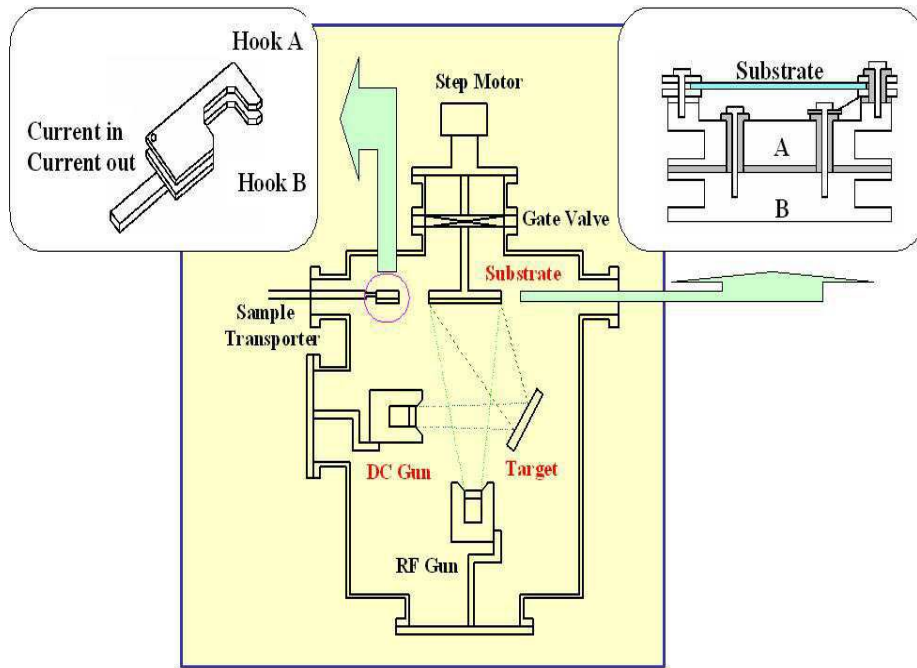
도면1



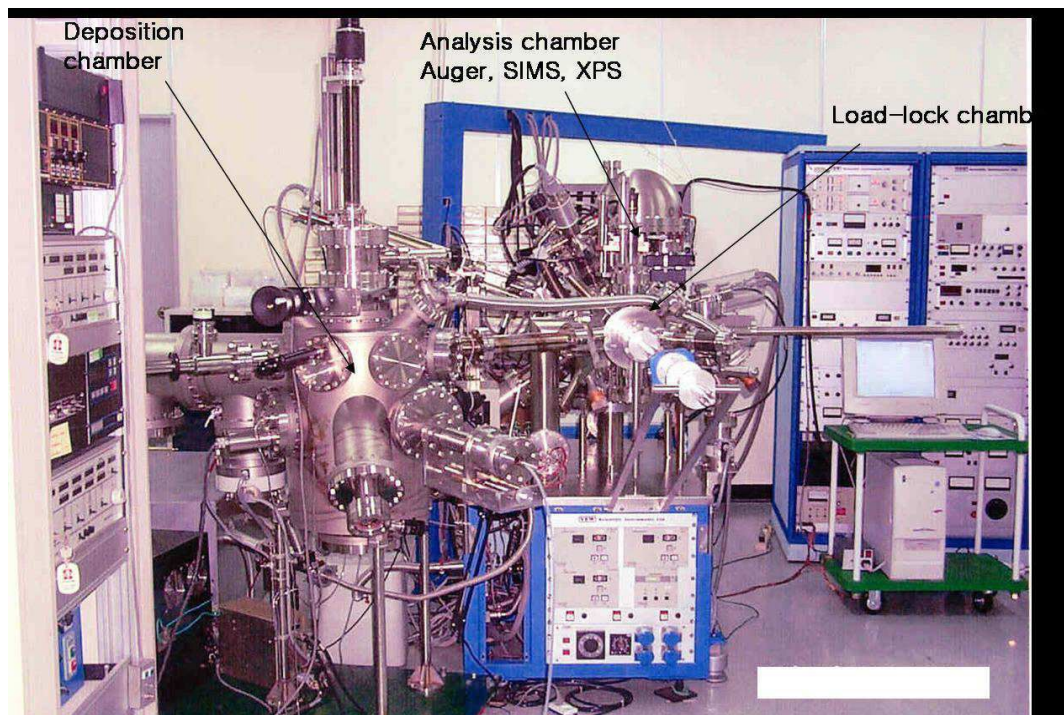
도면2



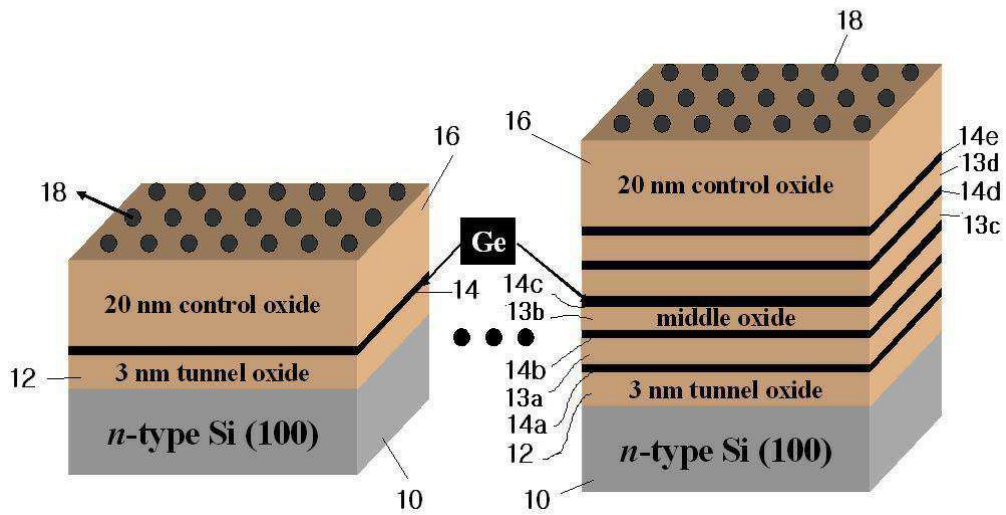
도면3



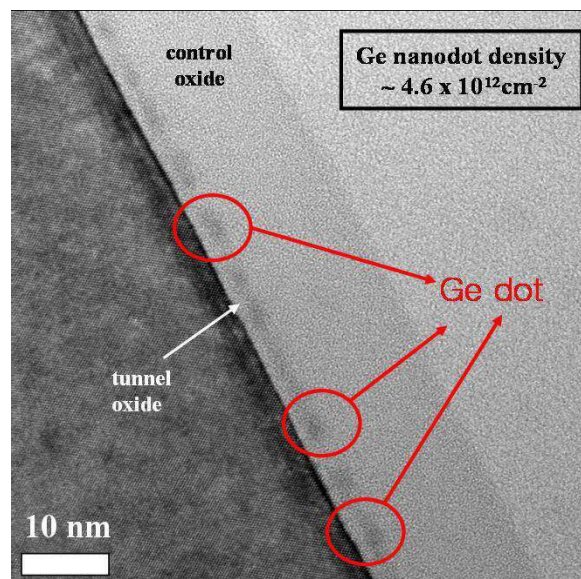
도면4



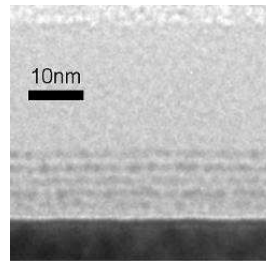
도면5



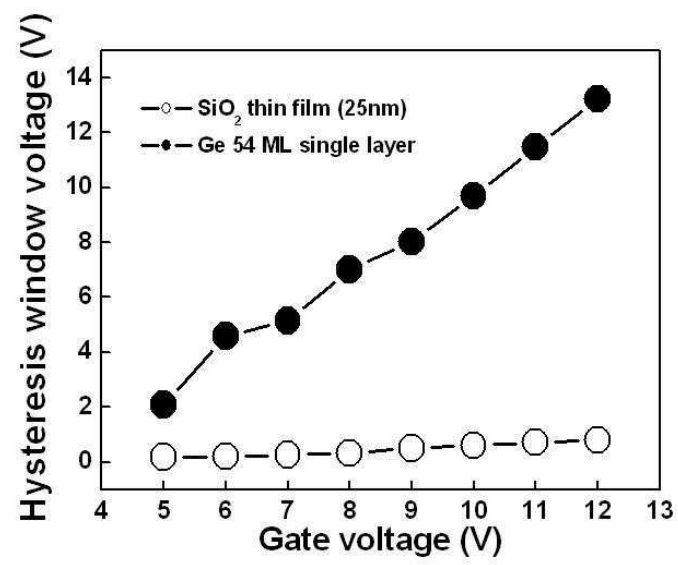
도면6



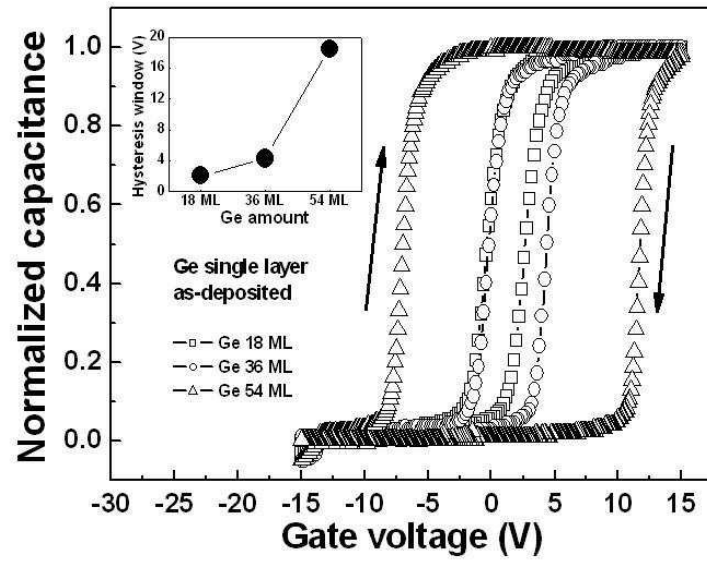
도면7



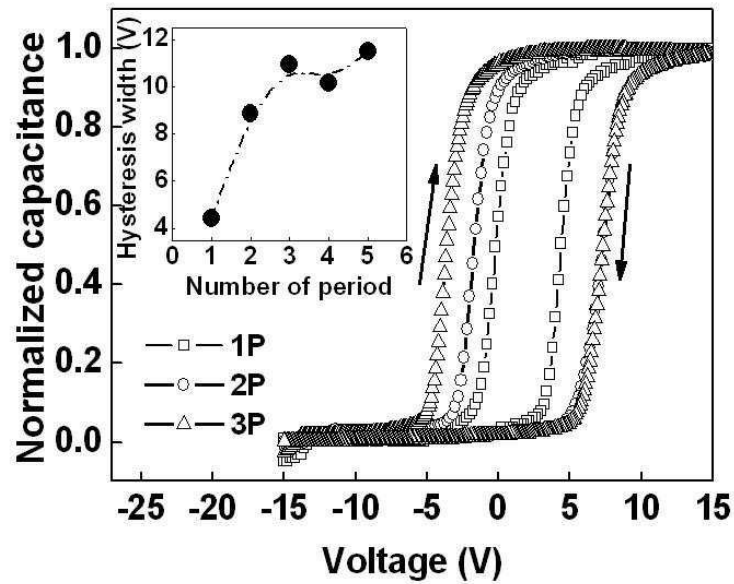
도면8



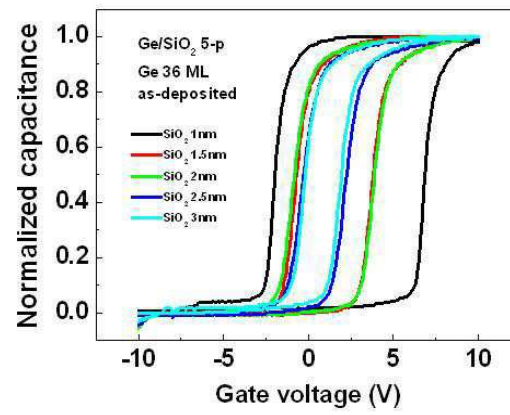
도면9



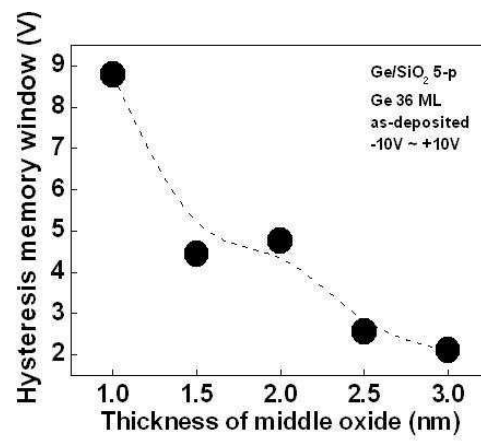
도면10



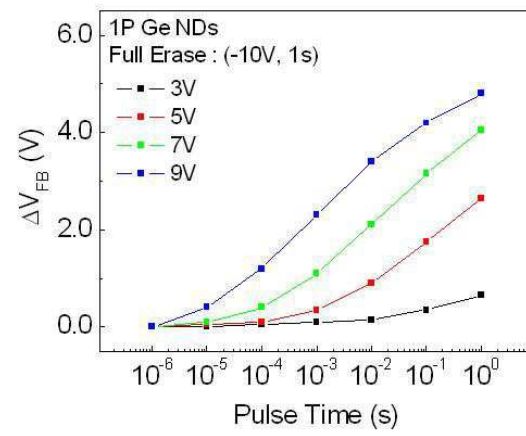
도면11



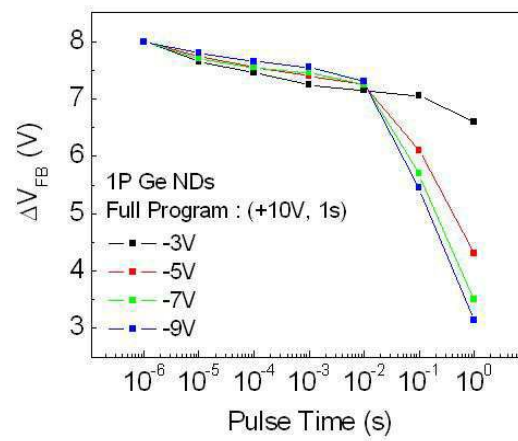
도면12



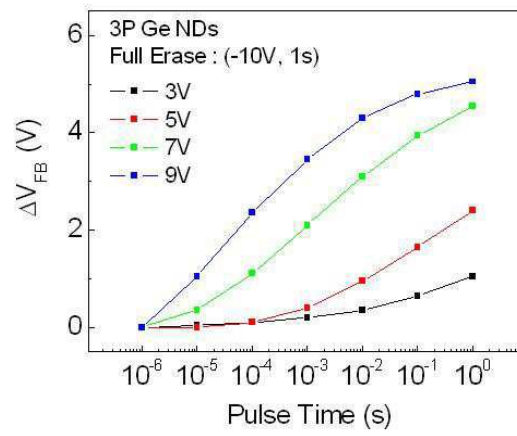
도면13



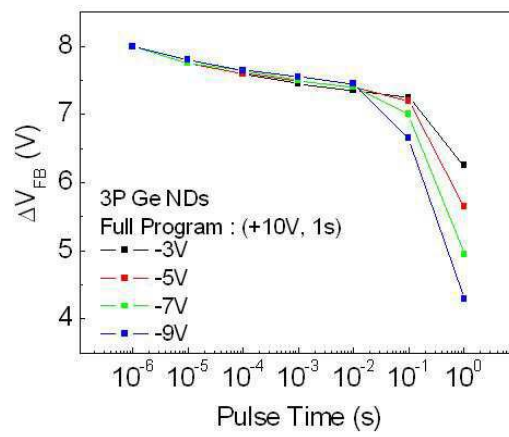
도면14



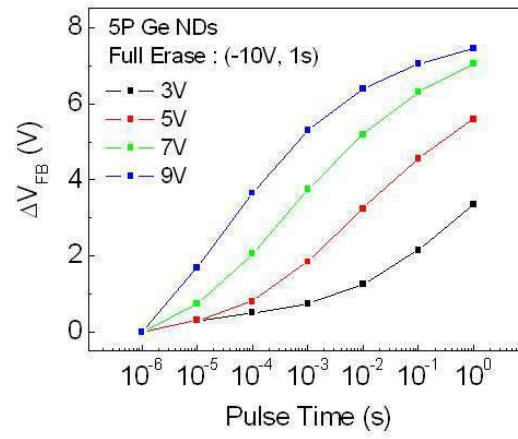
도면15



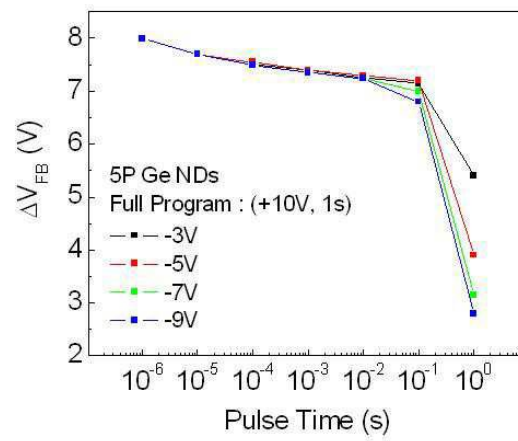
도면16



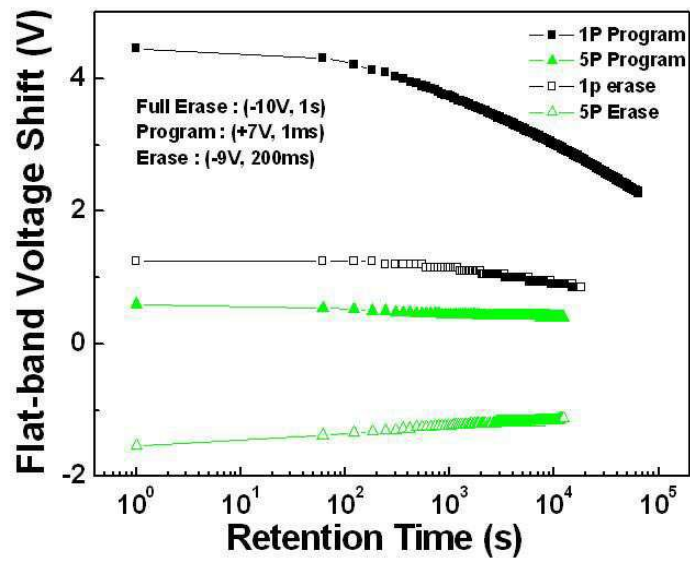
도면17



도면18



도면19



도면20

