

(21)申請案號：100120365

(22)申請日：中華民國 100 (2011) 年 06 月 10 日

(51)Int. Cl. : **H01L23/52 (2006.01)**

(71)申請人：國立交通大學(中華民國) NATIONAL CHIAO TUNG UNIVERSITY (TW)

新竹市大學路 1001 號

(72)發明人：張翼 CHANG, YI (TW)；張嘉華 CHANG, CHIA HUA (TW)；林岳欽 LIN, YUEH

CHIN (TW)；陳宥綱 CHEN, YU KONG (TW)；謝廷恩 SHIE, TING EN (TW)

(74)代理人：高玉駿；楊祺雄

申請實體審查：有 申請專利範圍項數：4 項 圖式數：3 共 19 頁

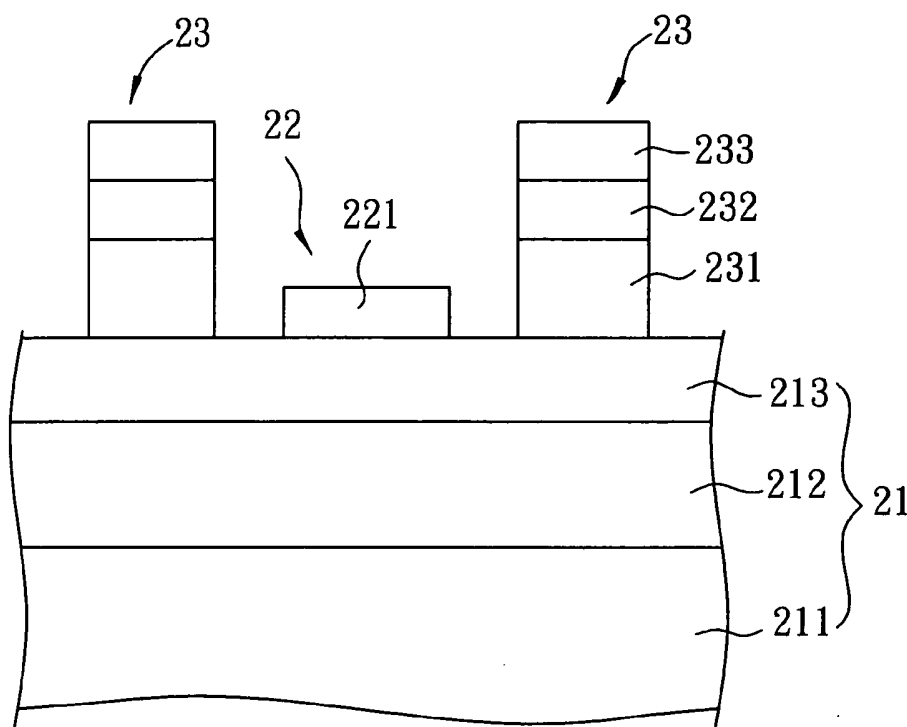
(54)名稱

適用於銅製程的半導體裝置

SEMICONDUCTOR DEVICE APPLY TO COPPER PLATING PROCESS

(57)摘要

一種適用於銅製程的半導體裝置，包含本體，及至少一電極結構，本體以氮化鎵系半導體為主要材料所構成；電極結構與外部電路電連接並包括形成於本體上並與本體歐姆接觸的歐姆接觸層、形成於歐姆接觸層上的抑制層，及形成於抑制層上且以銅為主成分的導線層，歐姆接觸層以選自鈦、鋁、鎳，及至少包含此等元素其中之一所成的合金為材料所構成，抑制層以選自鈦、鎢、氮，及其中之至少一為主成分構成的材料所構成；本發明以歐姆接觸層及抑制層搭配本體以阻擋導線層中的銅擴散進入本體中，而維持半導體裝置穩定的電特性及可靠度。



21：本體

22：閘極結構

23：電極結構

211：基材

212：第一膜層

213：第二膜層

221：介電材

231：歐姆接觸層

232：抑制層

233：導線層

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體裝置，特別是指一種適用於銅製程的半導體裝置。

【先前技術】

在目前以高電子遷移率電晶體等電元件為主的積體電路製造領域中，由於金（Au）與鋁（Al）的導電性佳，因此金與鋁通常作為電連接積體電路中各電元件而為各電元件中的電極結構的主要部份。其中，金雖然導電性與導熱性佳，但產量相對鋁等其他金屬的產量顯得非常稀有因此價格高，只有降低使用金的比例才可有效地降低所製造出的積體電路的成本；而鋁雖然便宜，但是電阻值及導熱性不夠優良，在積體電路自微米尺寸趨向奈米尺寸而日漸需要輕、薄、短、小的時代中，若未來在小尺寸的產品上繼續使用鋁，必會造成產品過熱或是耗電量過高而使產品提早老化或是電池蓄航力不足。因此，發展較金或鋁更適合作為連接積體電路中各電元件的電極結構材料一直是本領域的研究目的。

近年來，研究人員與業界發現銅的導電性高、導熱性佳且價格不貴，在成本及電特性的皆需兼顧的考量下，銅適合作為電極結構的主成分，因此，在高電子遷移率電晶體為主要電元件的積體電路領域中，導入銅製程是繼續發展的目標。

參閱圖 1，目前嘗試發展銅製程的以氮化鎳作為主要半

導體材料的半導體裝置，例如於高電子遷移率電晶體，包括一基材 111、一本體 11、一閘極結構 12，及二電極結構 13。

該本體 11 形成於該基材 111 上，且包括一以氮化鎵為主要成分的第一膜層 112，及一形成於該第一膜層 112 上並以氮化鋁鎵為主要成分的第二膜層 113。

該閘極結構 12 形成於該本體 11 的第二膜層 113 遠離該第一膜層 112 的表面，並包括一與該第二膜層 113 連結導電材 121。該導電材 121 通常是金屬構成而可導電。

該等電極結構 13 與該閘極結構 12 間隔地設置於該第二膜層 113 的表面，並包括一歐姆接觸層 131，及一導線層 132，該歐姆接觸層 131 是以鈦、鋁、鎳為主的合金構成，該導線層 132 的主成分是銅，用以和例如導線等鐸黏而與外部電路形成電連接。

以電性結構而言，通道 (channel) 是本體 11 中的第二膜層 113 的頂部，其中一個電極結構 13 是汲極 (drain)，其中另一個電極結構 13 是源極 (source)，而該閘極結構 12 是閘極 (gate)。

在理想狀態下，當外部電路經由導線分別給予閘極及汲極電壓，閘極對本體 11 及汲極對源極形成電壓差，此時電流可自汲極經通道往源極流動，供半導體裝置正常作動。

然而，由於銅的活性大，因此，該半導體裝置的電極結構 13 在製作，及/或經外部電路供電而作動時，導線層

132 的銅原子會很容易通過歐姆接觸層 131 且擴散進入該本體 11 的第一膜層 112 甚或是第二膜層 113 中，造成半導體裝置電特性失常及可靠度不佳，因此，繼續研究、改善以銅製程為主的高電子遷移率的半導體裝置並提高其可靠度，是本領域研發人員的目標。

【發明內容】

因此，本發明之目的，即在提供一種適用於銅製程並具有高可靠度的半導體裝置。

於是，本發明適用於銅製程的半導體裝置，包含一本體、及至少一電極結構。

該本體以氮化鎵系半導體為主要材料所構成，該電極結構與外部電路電連接並包括一形成於該本體上並與該本體形成歐姆接觸的歐姆接觸層、一形成於該歐姆接觸層上的抑制層，及一形成於該抑制層上且以銅為主成分的導線層，該歐姆接觸層選自鈦、鋁、鎳，及至少包含此等元素其中之一所成的合金為材料所構成，該抑制層以選自鈦、鎢、氮化鈦、氮化鎢，及其中之一組合為主成分構成的材料所構成。。本發明之功效：透過配合以氮化鎵系半導體為主要材料構成的本體的電極結構的歐姆接觸層與抑制層間相互搭配，阻擋電極結構的導線層中的銅在製程或是作動中擴散進入本體，以維持該半導體裝置的可靠度。

【實施方式】

有關本發明之前述及其他技術內容、特點與功效，在以下配合參考圖式之一個較佳實施例的詳細說明中，將可

清楚的呈現。

在本發明被詳細描述之前，要注意的是，在以下的說明內容中，類似的元件是以相同的編號來表示。

參閱圖 2，本發明適用於銅製程的半導體裝置的較佳實施例包含一基材 211、一本體 21、一閘極結構 22，及二電極結構 23。

該本體 21 設置於該基材 211 上，並包括一形成於該基材 211 上且以氮化鎵 (GaN) 為主成分的第一膜層 212，及一自該第一膜層 212 的頂面繼續往上延伸的第二膜層 213，該第二膜層 213 的主成分是氮化鋁鎵 (AlGaN)，構成該本體 21 的氮化鎵及氮化鋁鎵都是半導體材料，所以該本體 21 具備半導體性質。

該閘極結構 22 形成於該本體 21 的第二膜層 213 頂面，由於該較佳實施例是高電子遷移率電晶體，該閘極結構 22 以包括一以導電材料構成並與該本體 21 的第二膜層 213 頂面連接的導電材 221 作說明。需說明的是，該閘極結構 22 也可視電晶體的種類微調型態，例如包括一以絕緣材料構成的介電材 (圖未示)，及一以導電材料構成的導電材 221，且該導電材 221 藉由該介電材而與該本體 21 間隔。

該等電極結構 23 同樣地形成於該本體 21 的第二膜層 213 的頂面，且彼此間隔並分別與該閘極結構 22 具有預定間距地相鄰，若以如圖 2 的剖視示意圖為例，排列順序是「其中之一電極結構 23—閘極結構 22—其中之一另一電極結構 23」。每一電極結構 23 包括一連結於該第二膜層 213 頂

面的歐姆接觸層 231、一形成於該歐姆接觸層 231 遠離該第二膜層 213 的表面抑制層 232，及一形成於該抑制層 232 中遠離該第二膜層 213 的表面的導線層 233。

該歐姆接觸層 231 選自鈦、鋁、鎳，及至少包含此等元素其中之一所成的合金為材料。在該較佳實施例中，該歐姆接觸層 231 的材料是先將鈦、鋁，及鎳以濺鍍或是蒸鍍的方式自鄰近而遠離依序沉積在該第二膜層 213 的表面，再經高溫退火後所形成設置於該本體 21 的氮化鋁鎳表面的合金。當該歐姆接觸層 231 的厚度太薄時，電流於該歐姆接觸層 231 本身無法順利地流動，則電阻值會偏高，當該歐姆接觸層 231 太厚時，由於現實狀況的金屬無法成為理想導體的狀態，仍無法達到低的電阻值，因此較佳地，該歐姆接觸層的厚度是 165nm~330nm。該歐姆接觸層 231 的作用在於形成低阻值的電流傳導路徑。

該抑制層 232 選自鈦、氮化鈦、鎢、氮化鎢，及其中之一組合為材料所構成，在該較佳實施例中，是以鈦作為該抑制層 232，並可使用濺鍍、蒸鍍，或化學氣相沉積的方式將該抑制層 232 形成於該歐姆接觸層 231 表面。

該導線層 233 連結於該抑制層 232 的表面，可與外界電連接而可接受外界所提供的電能，且為達到導電性佳及確實與外界電連接的功用。該導線層 233 以銅為主成分。較佳地，該導線層 233 的厚度為 50nm~150nm，而可配合該本體 21、該歐姆接觸層 231，及該抑制層 232 而具備較佳的電傳輸效率。

以電性結構而言，該本體 21、該閘極結構 22，及此二電極結構 23 可構成半導體裝置中具有高電子遷移率的電晶體，該本體 21 中的第二膜層 213 的頂部是通道（channel），其中的一個電極結構 23 作為汲極（drain），其中的另一個電極結構 23 作為源極（source），而該閘極結構 22 是閘極（gate）。

當分別給予該閘極結構 22 及其中之一電極結構 23 預定電壓，即在電性來說，是形成閘極對本體 21 及汲極對源極預定電壓差，此時，對應於閘極結構 22 下之本體 21 的第二膜層 213 中的通道供電流自汲極經通道往源極流動，則半導體裝置正常作動而處於開啟的狀態；當閘極對本體 21 或汲極對源極不具有電壓差時，元件處於關閉的狀態。

由於該等電極結構 23 是因應以氮化鎵系化合物為主要材料的本體 21，再與該歐姆接觸層 231、該抑制層 232 以及該以銅為主成分的導線層 233 對應地配合形成，再利用該抑制層 232 阻擋該導線層 233 中銅原子的擴散，進而可限制導線層 233 的銅原子在元件處於作動狀態或關閉狀態時，都不會擴散進入該本體 21，而可維持該本體 21 的半導體特性，則半導體裝置在作動時可準確計算半導體裝置的電性元件的電流值、所需的功率、等效電阻值，及電導值等電晶體所需考量的數據，且無論在作動或非作動狀態都由於銅原子不會擴散流竄至該本體 21 而使半導體裝置具備高可靠度。

上述本發明半導體裝置的該較佳實施例，在配合以下

具體例的說明後，當可更加清楚明白。

<具體例>

首先，先在一基材 311 上設置一以氮化鎵為材料構成的第一膜層 212，再於該第一膜層 212 頂面設置一以氮化鋁鎵為材料構成的第二膜層 213；再來，於該第二膜層 213 頂面形成該閘極結構 22；繼續，以濺鍍的方式在該第二膜層 213 頂面依序沉積鈦 20nm、鋁 25nm，及鎳 120nm；接著，在高溫爐管對該鈦、鋁，及鎳進行 800℃ 高溫退火形成合金，而構成厚度為 165nm 的歐姆接觸層 231；再來，於該歐姆接觸層 231 頂面以濺鍍的方式形成一以鈦為主要構成材料抑制層 232；最後，在該抑制層 232 頂面以濺鍍的方式形成該導線層 233，以構成兩間隔的電極結構 23 而作為電晶體的汲極及源極，製得該具體例。

<比較例>

先在一基材 311 上設置一以氮化鎵為材料構成的第一膜層 212，再於該第一膜層 212 頂面設置一以氮化鋁鎵為材料構成的第二膜層 213；再來，於該第二膜層 213 頂面形成該閘極結構 22；再來，於該第二膜層 213 頂面以與該具體例相同的沉積方式依序形成該歐姆接觸層及以銅構成的導電層，以構成兩間隔的電極結構 23 以作為電晶體的汲極及源極，製得該比較例。

<可靠度測試>

一般以氮化鎵系化合物作為半導體的高電子遷移率電晶體在作動狀態時元件的溫度至多升高至 300℃。

為模擬元件作動時的溫度，甚或是較元件作動時更為嚴苛的環境，因此，先將該具體例及比較例置放於高溫爐管中，供該具體例及比較例在相同的環境中以高於一般元件作動狀態 500°C 的 800°C 進行烘烤預定時間 10 分鐘。

之後，再以傳輸線量測方式（Transmission line measurement, 簡稱 TLM）量測該具體例及該比較例的歐姆接觸特性，以判斷半導體裝置的可靠度。

先分別在其中一電極結構 23 電連接直流電源供應器的正極，再將電源供應器的負極與其中另一電極結構 23 電連接；當該電源供應器對該具體例施予預定電壓時，此具體例的兩電極結構 23 即兩電阻，而兩電極結構 23 間的第二膜層 213 為一電阻，且位於兩電極結構 23 所形成的電阻間，則所構成的等效電路為“其中一電極結構 23 形成的等效電阻—兩電極結構 23 間的第二膜層 213 形成的等效電阻—其中另一電極結構 23 形成的等效電阻”，共有三電阻串聯；且兩電極結構 23 相同，所以若可得到該第二膜層 213 的電阻，即可計算出電極結構 23 的等效電阻。

完成電源供應器的連接後，再測試兩電極結構 23 間的第二膜層 213 的長度改變時，三電阻的總電阻值的變化，而可計算出第二膜層 213 的電阻率與截面積間的比例，再藉由電阻定義：電阻率與截面積間的比例固定時，電阻值與物體的長度成正比（ $R=\rho (l/A)$ ），而扣除第二膜層 213 的等效電阻後，可計算出電極結構 23 的等效電阻。若第二膜層 213 未摻有銅原子，則可將第二膜層 213 的等效電阻

視為一般阻抗，電阻率與截面積間的比例固定；若銅原子擴散進入第二膜層 213，電阻率與截面積間的比例不穩定而會在第二膜層 213 的長度增加時，電阻率往上快速增加。

參閱圖 3，在改變第二膜層 213 的長度時，所測得的電阻值的散佈圖大致呈現斜直線，即該具體例的電阻值與長度成正比，而電極結構 23 的接觸電阻固定是 $7 \times 10^{-5} \Omega \text{ cm}^2$ ，表示該具體例具有良好的可靠度；而該比較例的電阻率不穩定，表示銅原子已擴散進入以氮化鋁鎵構成的第二膜層 213。

值得一提的是，該較佳實施例是以包含一個電晶體做說明。當然，若本發明半導體裝置具有多數電極結構 23，及/或閘極結構 22，則可形成多數個電晶體；若本發明半導體裝置具有一個或多數電極結構 23，也可成為其他種類的電晶體，或其他等效成為如電容、電阻等的電元件。

綜上所述，本發明半導體裝置是因應氮化鎵構成的第一膜層 212 與氮化鋁鎵構成的第二膜層 213 共同形成的本體 21，並在適用於銅製程而存在有電極結構 23 的導線層 233 的限制下，用電極結構 23 的歐姆接觸層 231、抑制層 232 的組成成分、厚度、彼此連接處的原子結構等等的交互設計機制，同時配合本體 21 和歐姆接觸層 231 連接處的晶體結構的相互影響，而可在以銅作為導線層 233 的主要組成以降低製作成本及具備高導電性的同時，避免銅擴散進入該本體 21 的第一、二膜層 211、212 導致半導體裝置電特性失常的問題，進而使半導體裝置具備好的可靠度，確實

達成本發明之目的。

惟以上所述者，僅為本發明之較佳實施例而已，當不能以此限定本發明實施之範圍，即大凡依本發明申請專利範圍及發明說明內容所作之簡單的等效變化與修飾，皆仍屬本發明專利涵蓋之範圍內。

【圖式簡單說明】

圖 1 是一剖視示意圖，說明習知一半導體裝置；

圖 2 是一剖視示意圖，說明本發明適用於銅製程的半導體裝置的一較佳實施例；及

圖 3 是一半導體裝置的傳輸線量測圖。

【主要元件符號說明】

21·····	本體	221·····	導電材
211·····	基材	23·····	電極結構
212·····	第一膜層	231·····	歐姆接觸層
213·····	第二膜層	232·····	抑制層
22·····	閘極結構	233·····	導線層

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100120365

※申請日：

※IPC 分類：

H01L 23/52 2006.01

一、發明名稱：(中文/英文)

適用於銅製程的半導體裝置/Semiconductor device apply to copper plating process

二、中文發明摘要：

一種適用於銅製程的半導體裝置，包含本體，及至少一電極結構，本體以氮化鎵系半導體為主要材料所構成；電極結構與外部電路電連接並包括形成於本體上並與本體歐姆接觸的歐姆接觸層、形成於歐姆接觸層上的抑制層，及形成於抑制層上且以銅為主成分的導線層，歐姆接觸層以選自鈦、鋁、鎳，及至少包含此等元素其中之一所成的合金為材料所構成，抑制層以選自鈦、鎢、氮，及其中之至少一為主成分構成的材料所構成；本發明以歐姆接觸層及抑制層搭配本體以阻擋導線層中的銅擴散進入本體中，而維持半導體裝置穩定的電特性及可靠度。

三、英文發明摘要：

A semiconductor device apply to copper plating process is including a substance and at least one electrode unit. Said substance is made of GaN-base semiconductor and said electrode unit is electro-connecting with an outside circuit comprising an ohmic-contact layer which forms ohmic contact with said substance, a restrain layer and a conduct layer formed on said restrain layer. The constituting

materials of ohmic-contact layer is select from titanium, aluminum, nickel and alloy comprising forgoing elements, the constituting materials of said restrain layer is select at least one element from titanium, aluminum, nickel and alloy and the main constituting materials of said conduct layer is select from copper. This invention by forming said ohmic-contact layer and restrain layer on said substance to prevent the copper element of conduct layer diffuse into said substance and maintain the reliability and electrical properties of said semiconductor device.

七、申請專利範圍：

1. 一種適用於銅製程的半導體裝置，包含：

一本體，以氮化鎵系半導體為主要材料所構成；及
至少一電極結構，與外部電路電連接並包括一形成於該本體上並與該本體形成歐姆接觸的歐姆接觸層、一形成於該歐姆接觸層上的抑制層，及一形成於該抑制層上且以銅為主成分的導線層，該歐姆接觸層選自鈦、鋁、鎳，及至少包含此等元素其中之一所成的合金為材料所構成，該抑制層以選自鈦、鎢、氮化鈦、氮化鎢，及其中之一組合為主成分構成的材料所構成。

2. 依據申請專利範圍第 1 項所述之適用於銅製程的半導體裝置，包含二電極結構，及一閘極結構，該閘極結構包括一形成於該本體上的導電材。

3. 依據申請專利範圍第 2 項所述之適用於銅製程的半導體裝置，其中，該歐姆接觸層的厚度是 165nm~330nm，該抑制層的厚度是 10nm~30nm，該導線層由銅所構成，且厚度是 50nm~150nm。

4. 依據申請專利範圍第 3 項所述之適用於銅製程的半導體裝置，其中，該本體包括一以氮化鎵為主成分的第一膜層，及一以氮化鋁鎵為主成分形成於該第一膜層上的第二膜層，該第二膜層與該電極結構的歐姆接觸層連接並相歐姆接觸。

八、圖式：

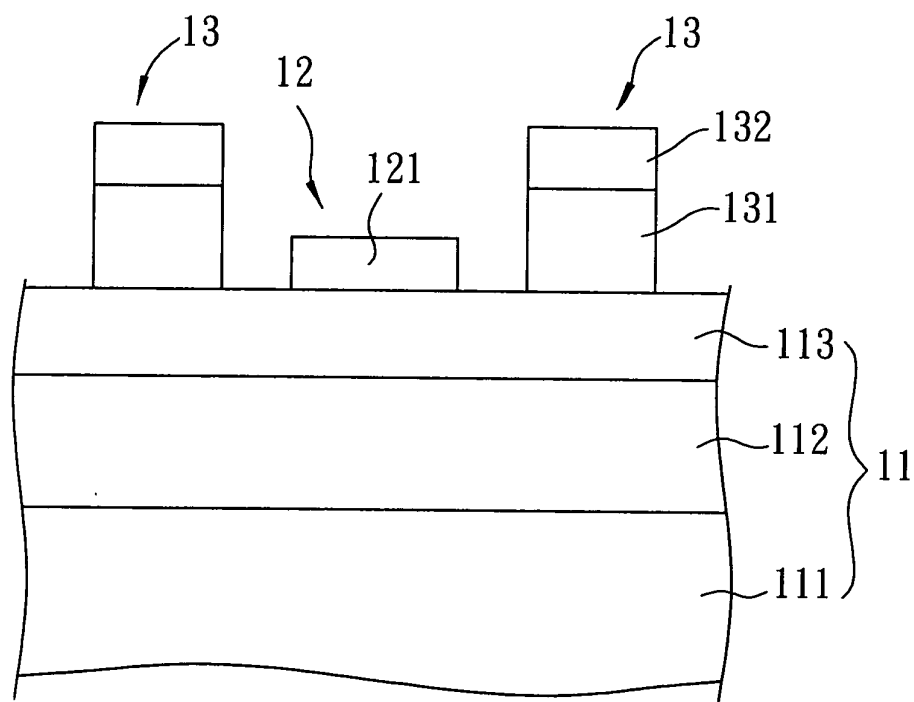


圖 1

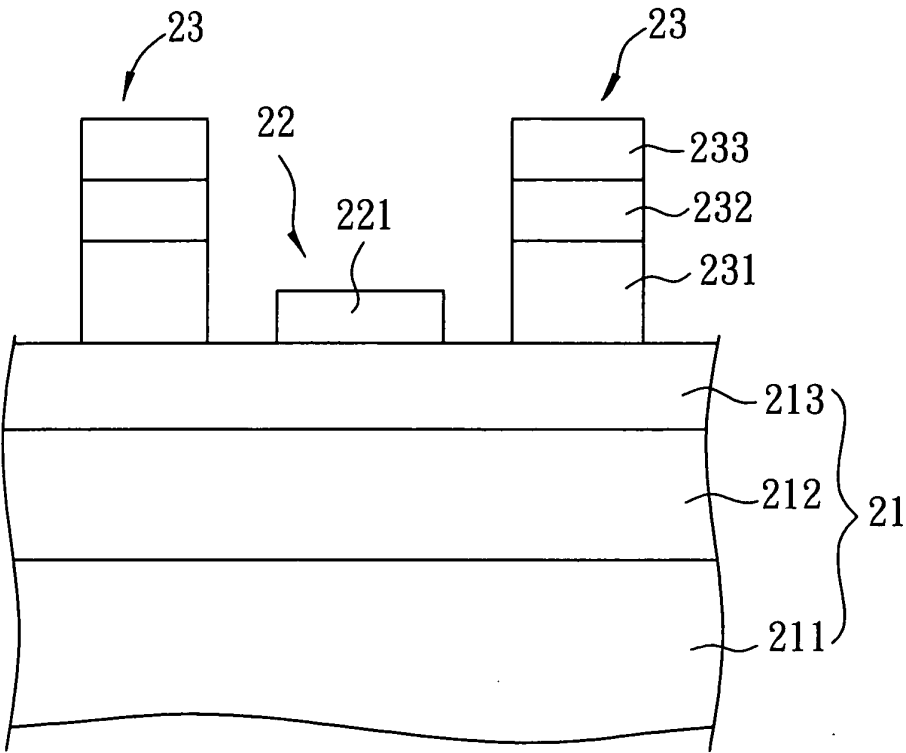


圖2

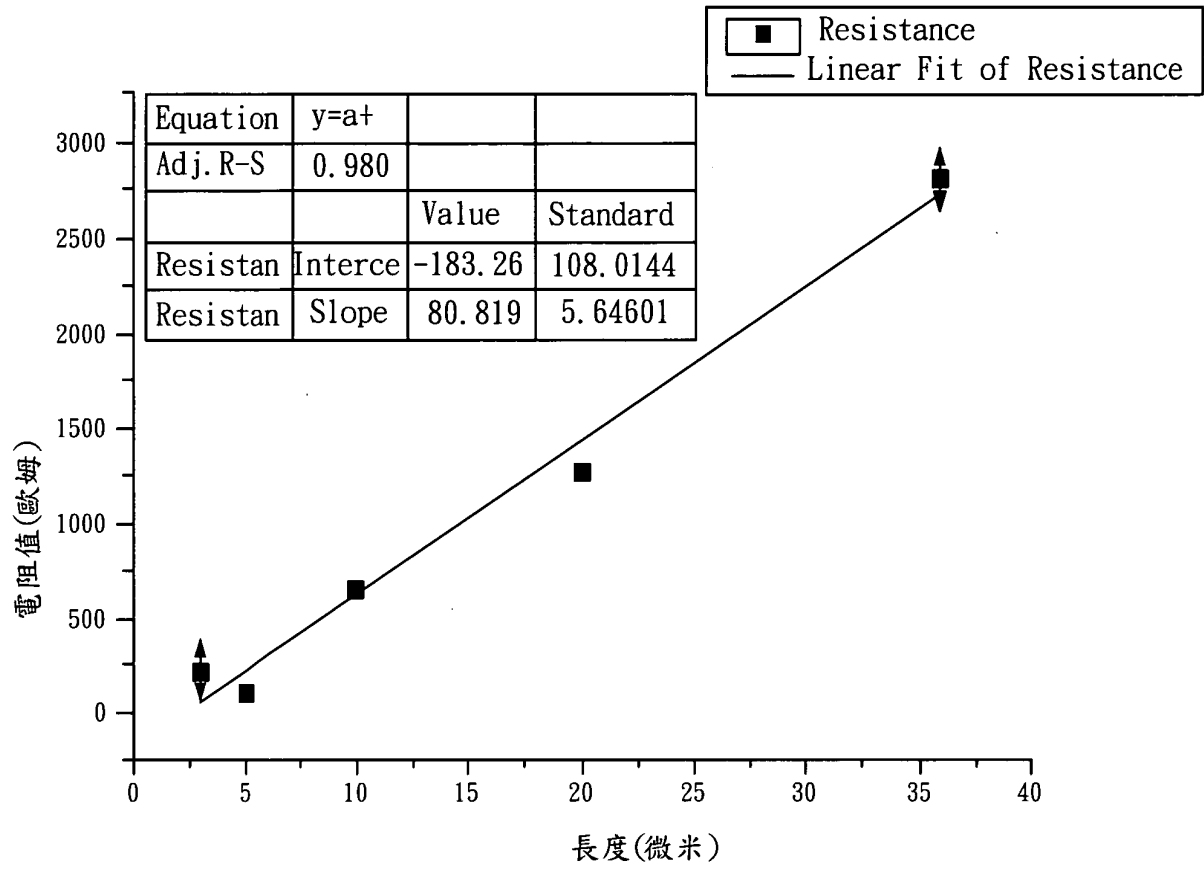


圖3

四、指定代表圖：

(一)本案指定代表圖為：圖 (2)。

(二)本代表圖之元件符號簡單說明：

21 …… 本體	222 …… 導電材
211 …… 基材	23 …… 電極結構
212 …… 第一膜層	231 …… 歐姆接觸層
213 …… 第二膜層	232 …… 抑制層
22 …… 閘極結構	233 …… 導線層
221 …… 介電材	

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明是有關於一種半導體裝置，特別是指一種適用於銅製程的半導體裝置。

【先前技術】

在目前以高電子遷移率電晶體等電元件為主的積體電路製造領域中，由於金（Au）與鋁（Al）的導電性佳，因此金與鋁通常作為電連接積體電路中各電元件而為各電元件中的電極結構的主要部份。其中，金雖然導電性與導熱性佳，但產量相對鋁等其他金屬的產量顯得非常稀有因此價格高，只有降低使用金的比例才可有效地降低所製造出的積體電路的成本；而鋁雖然便宜，但是電阻值及導熱性不夠優良，在積體電路自微米尺寸趨向奈米尺寸而日漸需要輕、薄、短、小的時代中，若未來在小尺寸的產品上繼續使用鋁，必會造成產品過熱或是耗電量過高而使產品提早老化或是電池蓄航力不足。因此，發展較金或鋁更適合作為連接積體電路中各電元件的電極結構材料一直是本領域的研究目的。

近年來，研究人員與業界發現銅的導電性高、導熱性佳且價格不貴，在成本及電特性的皆需兼顧的考量下，銅適合作為電極結構的主成分，因此，在高電子遷移率電晶體為主要電元件的積體電路領域中，導入銅製程是繼續發展的目標。

參閱圖 1，目前嘗試發展銅製程的以氮化鎵作為主要半

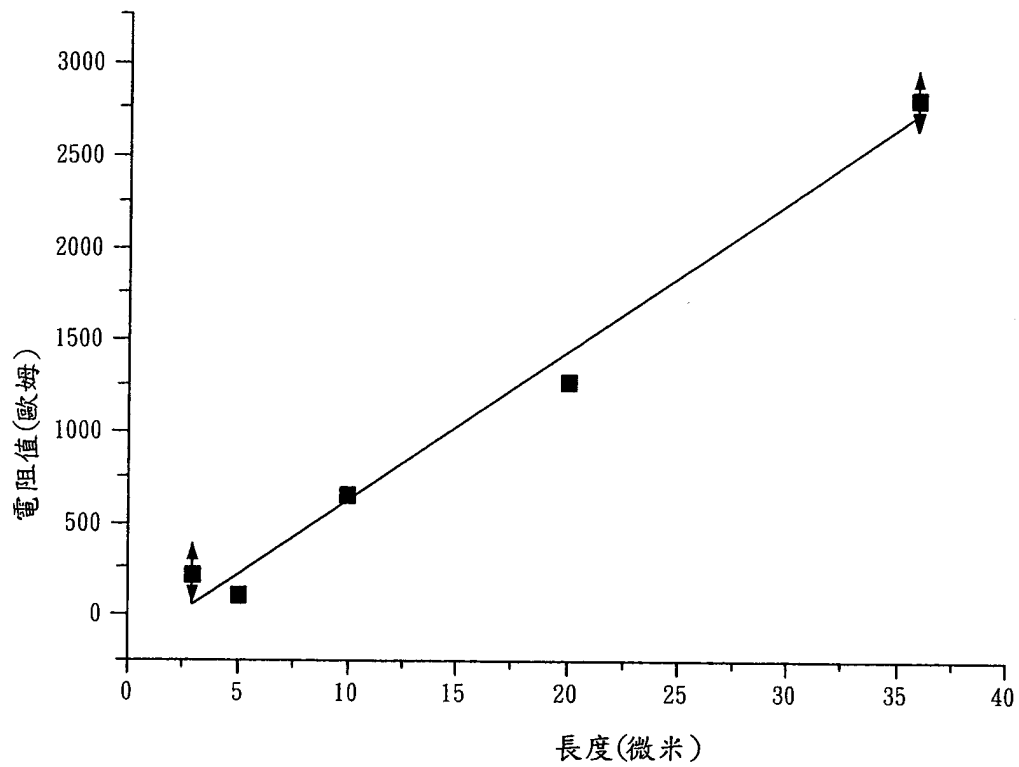


圖3

四、指定代表圖：

(一)本案指定代表圖為：圖 (2)。

(二)本代表圖之元件符號簡單說明：

21	本體	221	介電材
211	基材	23	電極結構
212	第一膜層	231	歐姆接觸層
213	第二膜層	232	抑制層
22	閘極結構	233	導線層

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：