

捌、聲明事項

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為：_____

☐ 本案已向下列國家（地區）申請專利，申請日期及案號資料如下：

【格式請依：申請國家（地區）；申請日期；申請案號 順序註記】

1. _____
2. _____
3. _____

☒ 主張專利法第二十四條第一項優先權：

【格式請依：受理國家（地區）；日期；案號 順序註記】

1. 美國；2001.12.07；10/008,710
2. _____
3. _____
4. _____
5. _____
6. _____
7. _____
8. _____
9. _____
10. _____

☐ 主張專利法第二十五條之一第一項優先權：

【格式請依：申請日；申請案號 順序註記】

1. _____
2. _____
3. _____

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

1. _____
2. _____
3. _____

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明

【發明所屬之技術領域】

本發明係針對記憶元件，以及更特別地係針對用於讀取資訊進入及離開記憶元件之方法及電路。

【先前技術】

電腦設計者係一直尋找可允許更快速電腦之設計之更快速的記憶元件。在一電腦之運算速度上之重要限制是所需要傳送介於一處理器和一記憶電路間之資料的時間，該傳送比如為一資料讀出或是寫入之傳送。記憶元件，比如：動態隨機存取記憶體(DRAM)，同步動態隨機存取記憶體(SDRAM)，快閃(flash)記憶體等，基本上係包括記憶單元且該單元係安排成一或是更多陣列，又每一陣列係由列及行所組成。每一記憶單元可提供該處理器能夠儲存以及取回一位元資料之一處，有時該一位元資料稱為一記憶位元或是 m-位元。該處理器若能更快取得在該記憶單元內之資料，則該處理器能更快地使用該資料來完成一計算或是執行一程式。

圖 1 係部份地揭示一典型電腦系統架構。一中央處理單元(CPU)或是處理器 10 係連接至一處理器匯流排 12，且該匯流排接著連接至一系統或是一記憶體控制器 14。該記憶體控制器 14 可以連接至一擴展匯流排 16。該記憶體控制器 14 係做為介於該處理器 10 與一記憶元件 18 間之介面電路。該處理器 10 發出可由記憶體控制器 14 接收並且翻譯

之一命令及一位址。該記憶體控制器 14 在多個命令線 20 上施加該翻譯後命令訊號以及在多個位址線 22 上施加翻譯後位址訊號至該記憶元件 18。這些命令訊號在業界乃廣為所知並且，在一 DRAM 之情況下，係包括 RAS(選通列位址)，CAS(選通行位址)，WE(寫致能)及 OE(輸出致能)，和其他者之訊號。一時脈訊號亦提供在 CLK 線 24 上。對應於由該處理器發出之命令及位址，資料則係經由資料路徑線 26 而傳送在介於該控制器 14 與該記憶體 18 之間。

現存之方法係可使記憶元件，比如 DRAM 記憶體 18，對於外部元件而言，能以比起記憶元件自該陣列取回資料所花費時間更為快速運作。這些方法包括運算之管線及預取(prefetch)方法。該管線方法將內部處理分割為多個階段，並且經由每一階段依序地處理相關於一單位資料之信息。在每一階段中之處理係同時地並行完成，以使得資料自該記憶元件輸出之速率可以大於資料自該陣列取回之速率。在該預取方法中，所有內部處理係並行地完成，並且平行至串聯之轉換係在該輸入／輸出部份完成。

該管線及預取方法兩者係能用來支持例如一運算之脈衝群模式。該運算之脈衝群模式乃係用於一資料串之起始位址提供至該記憶元件之一運算模式。將自該記憶體讀出或是寫入該記憶體之資料串係接著以一時脈訊號分別地同步輸出或是輸入。

同步 DRAM 在過去已支持一交替及一順序脈衝群之運算模式兩者。先進 DRAM 技術標準係正以一 8-位元外部預

取及可支持一 4-位元或 8-位元內部預取之能力而加以定義。該順序讀出或寫入以一 4-位元內部預取而跨過一邊界，並且因而如在下面表 1 所解說地難以實作。

表 1

起始 位址	內部位元 〔 0 1 2 3 〕	內部位元 〔 4 5 6 7 〕
0	0 1 2 3	4 5 6 7
1	1 2 3 4	5 6 7 0
2	2 3 4 5	6 7 0 1
3	3 4 5 6	7 0 1 2
4	4 5 6 7	0 1 2 3
5	5 6 7 0	1 2 3 4
6	6 7 0 1	2 3 4 5
7	7 0 1 2	3 4 5 6

就如可在表 1 中所視出，該順序脈衝群除了在起始位址 0 以及 4 外，若無一 8-位元內部脈衝群(其增加成本)或是增加等待時間之一雙預取則無法執行。

該現存之交替脈衝群模式係支持一 4-位元內部預取，但是一些應用仍然使用一順序型態之存取脈衝群模式。一解決方法係總是在指數 0 處起動該讀取脈衝群以及依序穿過該資料。此一方法係僅當儲存在指數 0 處之字為下一個關鍵字時方可接受。如果該關鍵字係被索引在其他位置時，則將引入等待時間。

因此，便存在一種方法及裝置之需求，其可致能新架

構之 8-位元及 4-位元內部預取二者，而不增加該新架構之成本或是等待時間。

【發明內容】

本發明係針對一記憶元件，其包括多個記憶單元之陣列，以及用於自該記憶單元讀出信息及寫入信息至該記憶單元之週邊元件。該週邊元件係包括一解碼電路，其反應於用於辨識一位址之位址信息的第一部份，及更進而反應於用於辨識一次序之該位址信息的第二部份。該位址可以是一讀出位址或是一寫入位址，以及該次序可以分別為讀出資料或寫入資料之次序。

本發明亦包括一讀出定序器電路或一寫入定序器電路和讀出定序器電路兩者，以用於(如在情況之允許下)將要自該記憶器讀出或寫入之位元予以再排序，來反應於該位址信息之另一部份。該所需之位址信息係藉由一位址定序器而定路至該定序器電路。

本發明亦針對自一記憶陣列以至少二個預取運作來讀出一字之方法，其中該預取運作之次序係由一位址位元所控制，或針對在該位元位址之控制下以兩 n -位元之位元組方式寫入一字之方法。

在本發明之一實作中，該新脈衝群順序將例如一 8-位元脈衝群分開為在每一脈衝群順序內具有一順序交替之二個 4-位元脈衝群。如此使每一 4-位元脈衝群能夠在該 8-位元脈衝群被要求自該記憶元件輸出之前自一記憶陣列輸出

。爲了實現該運作，最重要行位址位元(例如 CA3-CAi)將辨識那一 8-位元脈衝群要被選擇。那些位址位元可稱爲該位址信息之第一部份。稱爲該位址信息之第二部份之位址位元 CA2 將辨識那兩 4-位元脈衝群何者首先自該記憶陣列取回。CA0 及 CA1 可以接著用來辨識那預取之 4-位元將何者首先要被持用，且剩餘 3 位元以順向次序自該第一位元輸出。

本發明可允許順序型態之交替，以用於需要該型態之應用，並且可提供首先取得最關鍵字而不需要增加該系統任何等待時間。自以下之較佳實施例的詳細敘述可使本發明之那些和其他的優點將更爲明顯。

【實施方式】

先進 DRAM 技術(ADT)限定一 8-位元外部預取並且支持一 4 或 8-位元內部預取之任一者。典型 DRAM 支持一順序及一交替脈衝群模式之運作。然而，一順序交替並不與一具有雙抽取 4-位元內部預取 DRAM 架構之 DRAM 相容。本發明可允許一新的脈衝群排序順序，來支持一用於需要類似順序脈衝群順序的應用之多內部預取架構。本發明亦允許順序型態之交替，以用於在需要它們之用途，且本發明提供首先取得該最關鍵的字。

請回至圖 2，圖 2 解說一能夠使用本發明之 DRAM 架構之簡化方塊圖。該 DRAM 記憶元件 29 係由一反應於一命令匯流排或命令線位址以及一位址匯流排或位址線之命令

／位址輸入緩衝器 30 所組成。一命令解碼器及定序器 32 和位址定序器 34 係各反應於該命令／位址輸入緩衝器 30。

一組位址解碼器 36 係反應於該位址定序器 34，同時組控制邏輯 38 係反應於組位址解碼器 36。一串之列門／解碼器／驅動器 40 係反應於該組控制邏輯 38 以及該位址定序器 34。一系列門／解碼器／驅動器 40 係提供給每一記憶器陣列 42。在圖 2 中所揭示為四個記憶器陣列，其標號為組 0 至組 3。所以，便有四個列門／解碼器／驅動器 40，其中一者係提供於組 0 至組 3 之每一個。

一行門／解碼電路 44 係反應於該位址定序器 34。該行門／解碼電路 44 接收該行位址 CA3-CA_i 中之最關鍵位元，其中在本例子之 "i" 係等於 9。最關鍵位元 CA3-CA_i 可想為該位址之一第一部份，並且係用來辨識將要讀出之字。該行門／解碼電路 44 亦接收最不關鍵之行位址位元 CA0-CA2 中之一個；在本例子中，該行門／解碼電路 44 係接收該行位址位元 CA2，其可稱為該位址之一第二部份。將要讀出之識別字可以是例如一 8-位元字。該字將以二個 4-位元位元組來讀出，並且該位址之第二部份辨識第一或是第二 n-位元位元組那一個將首先讀出。

一輸入／輸出(I/O)閘電路 46 係反應於該行門／解碼電路 44，並且耦合於每一記憶陣列 42 內之感測放大器。

該 DRAM 29 可以經由多個資料墊 48 做一寫入運作或一讀出運作而予以存取。對於一寫入運作而言，在資料墊 48 上之資料係由接收器 50 接收並傳送至輸入暫存器 52。

一寫入定序器電路 54 排序包括每一 8-位元位元組之二個 4-位元位元組，以反應於例如行位址位元 CA0-CA1。排序後之位元組係接著輸入到一寫入門以及驅動電路 56，以便經由該 I/O 閘電路 46 而輸入至該記憶器陣列 42。要自該記憶器陣列 42 讀出之資料係經由該 I/O 閘電路 46 輸出至一讀出門 58。信息自該讀出門 58 輸入至一讀出定序器電路 60，其排序所讀出資料以反應於例如行位址位元 CA0-CA1。該排序後之資料係接著輸出至一輸出多工器(mux)62，並且再經由驅動器 64 至該資料墊 48 上。

該命令／位址輸入緩衝器 30，命令解碼器及定序器 32，位址定序器 34，組位址解碼器 36，組控制邏輯 38，列門／解碼器／驅動器 40，行門／解碼電路 44，I/O 閘電路 46，接收器 50，輸入暫存器 52，寫入定序器電路 60，輸出多工器 62 及驅動器 64 皆認為是用於自該記憶單元陣列讀出信息及寫入信息之多個週邊元件。前述做為多個週邊元件之敘述係用來提供本較佳實施例之敘述，並且不是要限制本發明之範疇於所引述的元件。熟悉本行業者可認知到元件之其他組合可用來做為多個週邊元件之應用，尤其是使用在其他記憶器架構之處。

一般言之，該讀出定序器電路 60 的目的係再排序讀出字的預取部份，以反應於特定最不關鍵位址位元 CA0-CA2；在本例子係使用 CA0 及 CA1。

下表示範說明根據一實施例，在順序脈衝群運算模式的一字之諸部份的排序，以及每一預取部份(或群)之位元的

排序。第一 N-位元預取(在此例子中，第一 4-位元預取係由 CA2 所辨識)係根據如下進一步由 CA0 及 CA1 所辨識之起始位址而予以再排序：

CA2	CA1	CA0	起始 位址	第一 n-位元 預取內部位元	第二 n-位元 預取內部位元
0	0	0	0	0123	4567
0	0	1	1	1230	5674
0	1	0	2	2301	6745
0	1	1	3	3012	7456
1	0	0	4	4567	0123
1	0	1	5	5674	1230
1	1	0	6	6745	2301
1	1	1	7	7456	3012

在運作中，當接收一讀出命令時，在該組位址輸入 BA0 及 BA1(組 0-1)上之值乃選擇該記憶器陣列 42 之一者。接著接收位址信息，其可辨識在每一陣列 42 內之一列或數列。在輸入 CA3 至 CAi(其中"i"在本例子中係等於 9)上所提供之位址乃選擇起始行位置。請參考圖 2，CA3 至 CA9 係輸入至該行門／解碼電路 44 以辨識要讀出之字。CA2 亦輸入至該行門／解碼電路 44，以達到辨識該字那一部份首先要讀出之目的。舉例而言，當 CA2 設為零(0)時，第一 n-位元預取包含內部位元 0,1,2,3，而第二 n-位元預取包含內部位元 4,5,6,7。當 CA2 設為一(1)時，第一 n-位元預取包含內部位元 4,5,6,7，而第二 n-位元預取包含內部位元 0,1,2,3。該位元 CA0 以及 CA1 係輸入至該讀出定序器電路 60。該信

息辨識該起始位址，以使得該位元可再排序，因而使最關鍵字能首先由該多工器 62 輸出。舉例而言，當 CA2 設為零(0),CA1 設為零(0)且 CA0 設為零(0)時(亦即在起始位址 0)，第一 n-位元預取的內部位元順序為 0,1,2,3，第二 n-位元預取的內部位元順序為 4,5,6,7。而當 CA2 設為零(0),CA1 設為一(1)且 CA0 設為零(0)時(亦即在起始位址 2)，第一 n-位元預取的內部位元順序為 2,3,0,1，第二 n-位元預取的內部位元順序為 6,7,4,5。

對於一寫入運作而言，該組係以如同讀出運作般之方式而被辨識。類似地，該起始行位址係以相同方式辨識。在輸入 CA0-CA1 上之訊號係輸入至前述可再排序位元之寫入定序器 54。雖然圖 2 揭示一寫入定序器電路 54 以及讀出定序器電路 60 兩者，該記憶器可僅以讀出定序器電路 60 運作。

圖 3A 揭示使用一 4-位元內部預取之 8-位元外部預取之時態圖。就如在該圖可視出，在經讀出等待時間周期後，在該輸出墊處可獲得之資料係出現為 8-位元，雖然該字係從二個 4-位元位元組所建構的。當該第一 8-位元位元組係可在該資料墊處獲得時，下一個 8-位元位元組就如在圖中所揭示之可以二個 4-位元預取而做內部處理。相對地，在圖 3B 中，該 8-位元位元組係以一步驟自該記憶器預取出。

揭示在圖 3A 中之時態圖係用於一 4-位元雙抽出陣列之時態圖。該陣列係以該 I/O 頻率之 1/4 的頻率來運作。因為

在該記憶元件輸出資料至該外部資料墊之前並非所有 8-位元資料都可以作資料變頻(data scramble)，故一資料變頻(也就是再排序)必須在 4-位元邊界處完成。如此便在可支持之最大資料頻率產生一極限。

揭示在圖 3B 中之時態圖說明一 8-位元單一抽出後陣列。該陣列係以該 I/O 頻率之 $1/8$ 的頻率來運作。在輸出資料至該資料墊之前，所有 8-位元可以做資料變頻，故該輸出變頻可在一 8-位元位元組上完成。該最大資料頻率在以晶粒尺寸為代價下係可改變的(該核心係非一限制因子)。

本發明之優點係包括以低成本且不增加元件等待時間來支持 4-位元內部預取之能力，系統所需關鍵字可首先輸出，以及可以使用一順序型態之脈衝群在非支持交替脈衝群之應用中。

本發明亦針對於一以至少二個預取運作自一記憶器陣列讀出一字之方法，其中該預取運作之次序係由至少一位址位元所控制。本發明亦針對於一以二個 $1/2n$ -位元預取步驟自多個記憶器陣列輸出一 n -位元字以反應於一位址位元之方法。本發明亦針對於一方法，其包括以由一位址位元所決定之次序，自一記憶器陣列預取一字之第一部份，及自該記憶器陣列位址預取該字之第二部份。

圖 4 可以使用本發明之一電腦系統 110 之一例子的方塊圖。該電腦系統 110 係包括一處理器或中央處理單元(CPU)112，一記憶器次系統 114，以及一擴展匯流排控制器 116。該記憶器次系統 114 以及擴展匯流排控制器 116 經由

一局部匯流排 118 而耦合至該處理器 112。該擴展匯流排控制器 116 亦耦至至少一擴展匯流排 120，又各種週邊元件 121-123 比如大量儲存元件，鍵盤，滑鼠，畫圖轉接器，以及多媒體轉接器可連接至該擴展匯流 120。處理器 112 及記憶器次系統 114 可整合在一單一晶片上。

該記憶器次系統 114 包括一記憶器控制器 124，其係經由多個訊號線 129,130,129a,130a,129b,130b,129c 及 130c 而耦合至多個記憶器模組 125,126。該多個資料訊號線 129,129a,129b,129c 係由該記憶器控制器 124 及該記憶器模組 125,126 所使用，以交換資料 DATA。位址 ADDR 係多個位址訊號線 132 上之訊號，時脈訊號 CLK 係施加於時脈線 130,130a,130b,130c 及 133 上，及命令 CMD 係多個命令訊號線 134 上之訊號。該記憶器模組 125,126 係分別包括多個記憶元件 136-139,136'-139'以及一暫存器 141,141'。每一記憶元件 136-139,136'-139'可以是高速率同步記憶元件。雖然僅有兩個記憶器模組 125,126 及相連訊號線 129-129c,130-130c 係揭示在圖 4 中，但應注意到任何數目之記憶器模組皆可使用。

將該記憶器模組 125,126 耦合至該記憶器控制器 124 之多個訊號線 129-129c,130-130c,132,133,134 係習知為該記憶器匯流排 143。該記憶器匯流排 143 可具有另外本行業者所習知之訊號線，例如晶片選擇線，其為了簡單化並未畫出。跨過記憶器匯流排 143 之每一行之記憶元件 136-139,136'-139'係稱為一組記憶器。一般而言，單側記憶器模組，比如

在圖 4 中所揭示者，係包含一單一組記憶器。然而，包含二組記憶器之雙側記憶器模組亦可使用。

讀出資料係串列同步地輸出至該時脈訊號 CLK，其係被驅動跨過多個時脈訊號線 130,130a,130b,130c。寫入資料係串列同步地輸入至該時脈訊號 CLK，其係藉該記憶器控制器 124 而被驅動跨過多個時脈訊號線 130,130a,130b,130c。命令以及位址亦係藉由使用該時脈訊號 CLK 而時序化至一終端器 148，且該時脈訊號 CLK 係由該記憶器控制器 124 驅動而分別跨過該記憶器模組 125,126 之暫存器 141,141'。該命令，位址，以及時脈訊號線 134,132,133 係分別直接耦合至該記憶器模組 125,126 之暫存器 141,141'。該暫存器 141,141'係在訊號分別分配至該記憶器模組 125,126 之記憶元件 136-139,136'-139'之前將該訊號緩衝。

雖然本發明已併合其較佳實施例而予以敘述，熟悉本行業者將認知到許多修正及變化亦是可能的。由下面之申請專利範圍所限制之此種修正及變化係落在本發明之範疇。

【圖式簡單說明】

（一）圖式部分

爲了使本發明易於了解及很快實施，爲了解說目的及不做任何限制，本發明併合下面之圖式予以敘述，其中：

圖 1 爲一典型電腦系統架構之功能方塊圖；

圖 2 爲能夠使用本發明之 DRAM 的架構之簡化方塊圖

；

圖 3A 及 3B 分別為使用 4-位元內部預取所完成的 8-位元外部預取之時態圖和使用 8-位元內部預取所完成的 8-位元外部預取之時態圖；以及

圖 4 為可使用本發明之一電腦系統之簡化方塊圖。

(二) 元件代表符號

中央處理單元(或處理器)10

處理器匯流排 12

記憶器控制器 14

擴展匯流排 16

記憶元件 18

命令線 20

位址線 22

時脈線 24

資料路徑線 26

記憶元件 29

命令／位址輸入緩衝器 30

命令解碼器及定序器 32

位址定序器 34

組位址解碼器 36

組控制邏輯 38

列門／解碼器／驅動器 40

記憶器陣列 42

行門／解碼電路 44

I/O 閘電路 46

資料墊 48

接收器 50

輸入暫存器 52

寫入定序器電路 54

寫入門以及驅動電路 56

讀出門 58

讀出定序器電路 60

輸出多工器 62

驅動器 64

電腦系統 110

中央處理單元(或處理器)112

記憶器次系統 114

擴展匯流排控制器 116

局部匯流排 118

擴展匯流排 120

週邊元件 121,122,123

記憶器控制器 124

記憶器模組 125,126

訊號線 129,130,129a,130a,129b,130b,129c,130c

時脈訊號線 130,130a,130b,130c

位址訊號線 132

時脈線 133

命令訊號線 134

記憶元件 136,137,138,139,136',137',138',139'

I226535

暫存器 141,141'

記憶器匯流排 143

終端器 148

肆、中文發明摘要

一記憶元件係由多個記憶單元陣列以及用於自該記憶單元讀寫信息至該記憶單元之週邊元件所組成。該週邊元件係包括一解碼電路，其反應於用於辨識一位址之位址信息的第一部份，及更進而反應於用於辨識一次序之該位址信息的第二部份。該位址可以是一讀出位址或是一寫入位址，以及該次序可以分別為讀出資料或寫入資料之次序。該週邊元件也可以包括一讀出定序器電路或一寫入定序器電路和讀出定序器電路兩者，以用於將要讀出或寫入之位元予以再排序，來反應於該位址信息之另一部份。同時也揭示操作此種記憶元件的方法，包括在兩個預取步驟或運作中由記憶陣列輸出或讀取一字。

伍、英文發明摘要

A memory device is comprised of a plurality of arrays of memory cells and peripheral devices for reading and writing information to the memory cells. The peripheral devices include a decode circuit responsive to a first portion of address information for identifying an address and is further responsive to a second portion of the address information for identifying an order. The address may be a read address or a write address, and the order may be the order for reading data or writing data, respectively. The peripheral devices may also include a read sequencer circuit or both a write sequencer circuit and a read

sequencer circuit for reordering bits to be read or written in response to another portion of the address information. Methods of operating such a memory device including outputting or reading a word from a memory array in two prefetch steps or operations are also disclosed.

陸、(一)、本案指定代表圖爲：第 2 圖

(二)、本代表圖之元件代表符號簡單說明：

記憶元件 29

命令／位址輸入緩衝器 30

命令解碼器及定序器 32

位址定序器 34

組位址解碼器 36

組控制邏輯 38

列門／解碼器／驅動器 40

記憶器陣列 42

行門／解碼電路 44

I/O 閘電路 46

資料墊 48

接收器 50

輸入暫存器 52

寫入定序器電路 54

寫入門以及驅動電路 56

讀出門 58

讀出定序器電路 60

輸出多工器 62

驅動器 64

柒、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

拾、申請專利範圍

1.一種記憶元件，其包括：

多個記憶單元陣列；以及

用於自該記憶單元讀出信息及寫入信息至該記憶單元之多個週邊元件，該多個週邊元件係包括：

解碼電路，其係反應於位址信息之第一部份以辨識一要讀自或寫入該記憶單元之字，該解碼電路更進而反應於該位址信息之第二部份以辨識一該辨識字之一或多個部分要被讀出或寫入的次序，其中每個該部份是由多個資料位元所組成，並且對於順序脈衝群運算模式而言每個部份是由特定一群資料位元所組成；

用於將該位址信息之至少一位元定路之位址定序器；以及

反應於該位址定序器之定序器電路，以排序該辨識字之每個部份裡的多個資料位元。

2.如申請專利範圍第 1 項所述之記憶元件，其中該定序器電路係包括讀出定序器電路和寫入定序器電路當中至少一者。

3.如申請專利範圍第 2 項所述之記憶元件，其中該辨識字之第一部份裡的特定一群資料位元的次序係相同於該辨識字之第二部份裡的特定一群資料位元的次序。

4.如申請專利範圍第 1 項所述之記憶元件，其中該位址定序器將 行位址位元 CA0 及 CA1 定路至該定序器電路。

5.如申請專利範圍第 1 項所述之記憶元件，其中該解碼

電路係反應於行位址位元 CA3 至 CAi 以辨識該字，並且亦反應於行位址位元 CA2 以辨識該辨識字之一或多個部分要被讀出或寫入的次序。

6.如申請專利範圍第 1 項所述之記憶元件，其中該記憶元件係包括動態隨機存取記憶體(DRAM)。

7.一種記憶元件，其包括：

多個記憶單元陣列；以及

用於自該記憶單元讀出信息及寫入信息至該記憶單元之多個週邊元件，該多個週邊元件係包括：

解碼電路，其係反應於位址信息之第一部份以辨識一要讀出之字，該解碼電路更進而反應於該位址信息之第二部份以辨識該字各部份要讀出之次序，其中每個該部份是由多個資料位元所組成，並且對於順序脈衝群運算模式而言每個部份是由特定一群資料位元所組成；

用於將該位址信息之至少一位元定路之位址定序器；以及

用於將自多個該陣列所接收之多個該資料位元予以排序以反應於該位址定序器之讀出定序器。

8.如申請專利範圍第 7 項所述之記憶元件，其中該位址定序器將 行位址位元 CA0 及 CA1 定路至該定序器電路。

9.如申請專利範圍第 7 項所述之記憶元件，其中該解碼電路係反應於行位址位元 CA3 至 CAi 以辨識要讀出之字，並且亦反應於行位址位元 CA2 以辨識該字各部份要讀出

之次序。

10.如申請專利範圍第 9 項所述之記憶元件，其中該字係以 n -位元位元組讀出，且 n 等於 4。

11.如申請專利範圍第 7 項所述之記憶元件，其另外包括一寫入定序器電路以反應於該位址定序器。

12.如申請專利範圍第 7 項所述之記憶元件，其中該記憶元件係包括動態隨機存取記憶體(DRAM)。

13.一種從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其包括：

處理器；

反應於該處理器之記憶體控制器；

第一匯流排，其連接該處理器及該記憶體控制器；

多個記憶元件；以及

第二匯流排，其連接該記憶體控制器與該多個記憶元件，每一記憶元件係包括：

多個記憶單元陣列；以及

用於自該記憶單元讀出信息及寫入信息至該記憶單元之多個週邊元件，該多個週邊元件係包括：

解碼電路，其係反應於位址信息之第一部份以辨識一要讀自或寫入該記憶單元之字，該解碼電路更進而反應於該位址信息之第二部份以辨識一該辨識字之一或多個部分要被讀出或寫入的次序，其中每個該部份是由多個資料位元所組成，並且對於順序脈衝群運算模式而言每個部份是由

特定一群資料位元所組成；

用於將該位址信息之至少一位元定路之位址定序器；以及

反應於該位址定序器之定序器電路，以排序該辨識字之每個部份裡的多個資料位元。

14.如申請專利範圍第 13 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其中該定序器電路包括讀出定序器電路和寫入定序器電路當中至少一者。

15.如申請專利範圍第 14 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其中該辨識字之第一部份裡的特定一群資料位元的次序係相同於該辨識字之第二部份裡的特定一群資料位元的次序。

16.如申請專利範圍第 13 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其中該位址定序器將行位址位元 CA0 及 CA1 定路至該定序器電路。

17.如申請專利範圍第 13 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其中該解碼電路係反應於行位址位元 CA3 至 CAi 以辨識該字，並且反應於行位址位元 CA2 以辨識該辨識字之一或多個部分要被讀出或寫入的次序。

18.如申請專利範圍第 13 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其中該多個記憶元件係包括多個動態隨機存取記憶體(DRAMs)。

19.一種從記憶陣列讀出資料和寫入資料至記憶陣列之

系統，其包括：

處理器；

反應於該處理器之記憶體控制器；

第一匯流排，其連接該處理器及該記憶體控制器；

多個記憶元件；以及

第二匯流排，其連接該記憶體控制器與該多個記憶元件，每一記憶元件係包括：

多個記憶單元陣列；以及

用於自該記憶單元讀出信息及寫入信息至該記憶單元之多個週邊元件，該多個週邊元件係包括：

解碼電路，其係反應於位址信息之第一部份以辨識要讀出之一字，該解碼電路更進而反應於該位址信息之第二部份以辨識該字各部分要讀出之次序，其中每個該部份是由多個資料位元所組成，並且對於順序脈衝群運算模式而言每個部份是由特定一群資料位元所組成；

用於將該位址信息之至少一位元定路之位址定序器；以及

用於將自多個該陣列所接收之多個資料位元予以排序以反應於該位址定序器之讀出定序器。

20.如申請專利範圍第 19 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其中該位址定序器將 行位址位元 CA0 及 CA1 予以定路至該讀出定序器。

21.如申請專利範圍第 19 項所述之從記憶陣列讀出資料

和寫入資料至記憶陣列之系統，其中該解碼電路係反應於行位址位元 CA3 至 CAi 以辨識要讀出之字，並且亦反應於行位址位元 CA2 以辨識該字各部份要讀出之次序。

22.如申請專利範圍第 21 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其中該字係以 n -位元位元組讀出，且 n 等於 4。

23.如申請專利範圍第 19 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其另外包括寫入定序器電路以反應於該位址定序器。

24.如申請專利範圍第 19 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之系統，其中該多個記憶元件係包括多個動態隨機存取記憶體(DRAMs)。

25.一種從記憶陣列讀出資料和寫入資料至記憶陣列之方法，其包括：

以兩個 $1/2n$ 位元預取步驟而自多個記憶陣列輸出一 n -位元字以反應於一位址位元。

26.如申請專利範圍第 25 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之方法，其另外包括將每一 $1/2n$ 位元預取之位元再排序以反應於其他位址位元之步驟。

27.如申請專利範圍第 26 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之方法，其中該位址位元以及其他位址位元係包括任何最不關鍵之行位址位元。

28.如申請專利範圍第 25 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之方法，其另外包括將一 n -位元字

寫入多個記憶陣列中之一者以反應於該位址位元之步驟。

29.一種從記憶陣列讀出資料和寫入資料至記憶陣列之方法。其包括：

自一記憶陣列預取一字之第一部份；以及

自該記憶陣列預取該字之第二部份，該第一以及第二部份係由一位址位元所決定。

30.如申請專利範圍第 29 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之方法，其另外包括將每一個第一及第二部份之位元再排序以反應於其他位址位元之步驟。

31.如申請專利範圍第 30 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之方法，其中該位址位元以及其他位址位元包括行位址位元 CA0 至 CA2 中之任一者。

32.如申請專利範圍第 29 項所述之從記憶陣列讀出資料和寫入資料至記憶陣列之方法，其另外包括將一 n-位元字寫入該記憶陣列以反應於該位址位元之步驟。

33.一種從記憶陣列讀出資料之方法，其包括：

以至少兩個預取運作而自一記憶陣列讀出一字，其中該預取運作之次序係由一位址位元所控制。

拾壹、圖式

如次頁



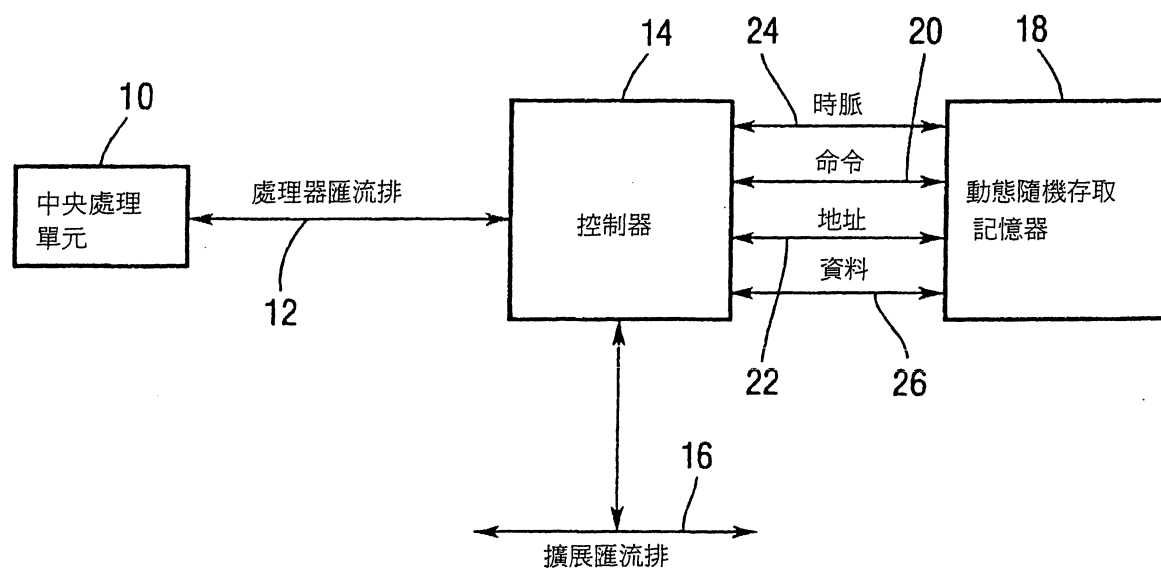


圖1

先前技藝

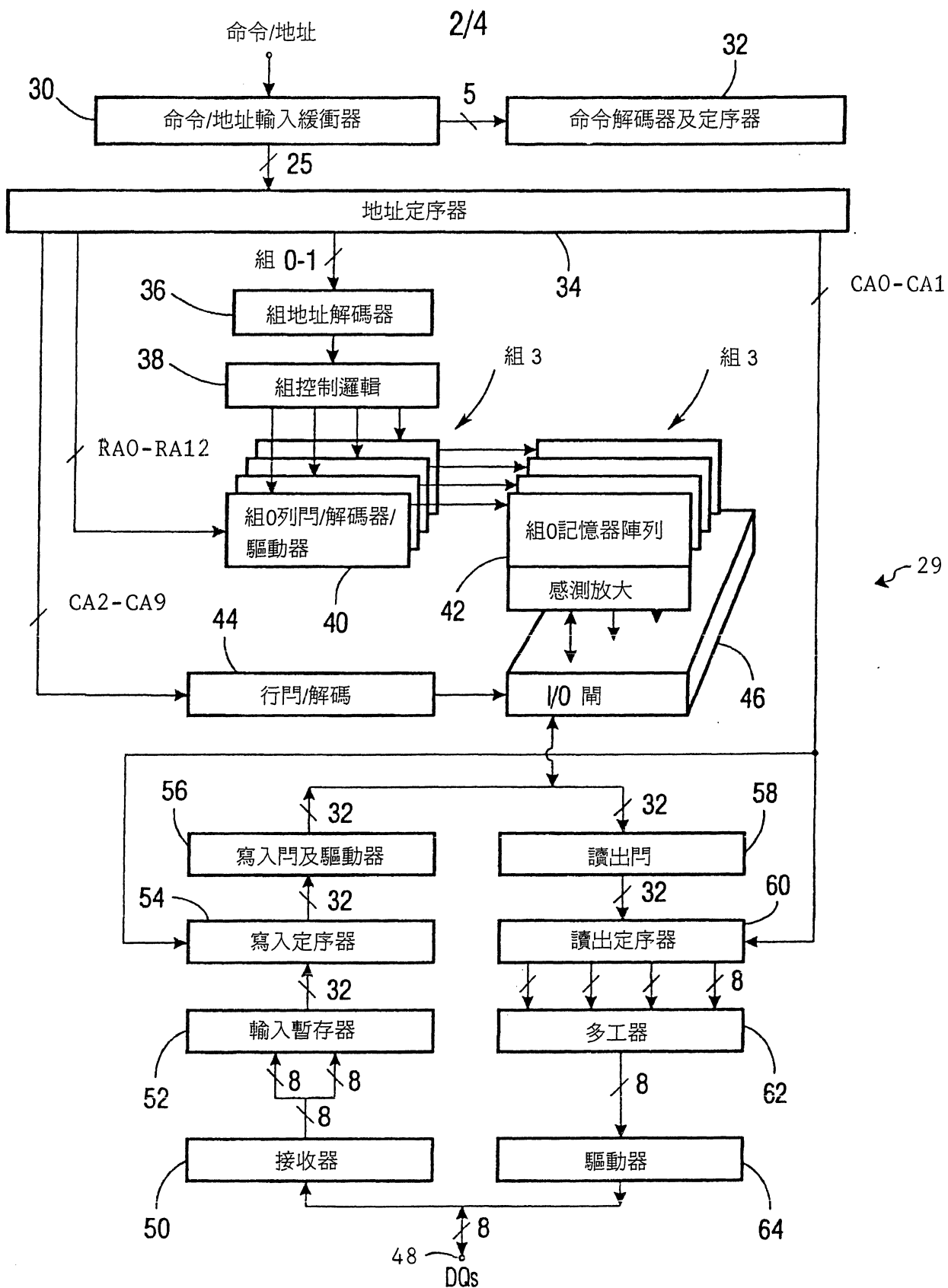
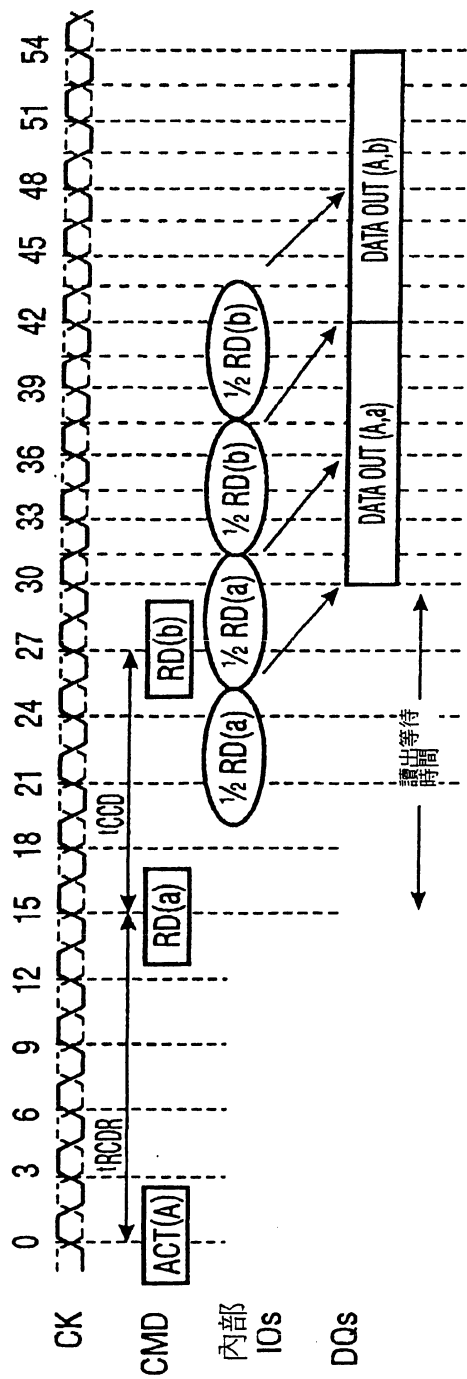
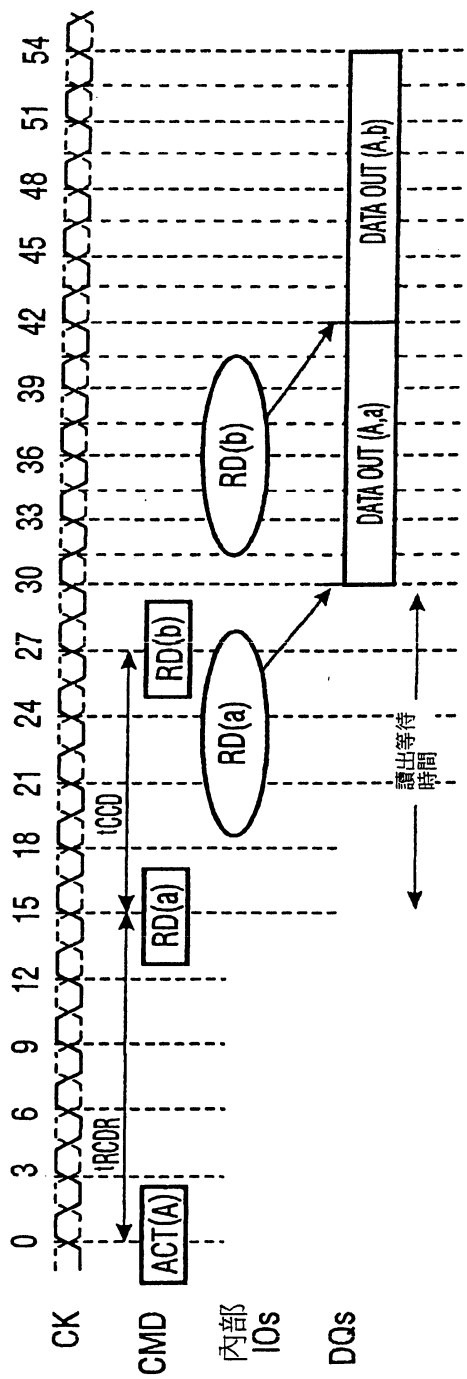


圖 2



以800MT/s資料速率,內部IO將以200MHz運算

圖 3A



以800MT/s資料速率,內部IO將以100MHz運算

圖 3B



發明專利說明書

I226535

(填寫本書件時請先行詳閱申請書後之申請須知，作※記號部分請勿填寫)

※ 申請案號：91135016 ※IPC分類：G06F^{12/00} G06F^{13/16}※ 申請日期：91-12-03

壹、發明名稱

(中文) 排序資料之順序半字節短脈衝群

(英文) Sequential Nibble Burst Ordering for Data

貳、發明人(共1人)發明人 1 (如發明人超過一人，請填說明書發明人續頁)

姓名：(中文)傑佛瑞 W.簡曾

(英文)Janzen, Jeffery W.

住居所地址：(中文)美國愛達荷州 83642 梅瑞狄恩 北銀葉路 2727 號

(英文)2727 N. Silverleaf Way Meridian, ID 83642 U.S.A.

國籍：(中文)美國

(英文)USA

參、申請人(共1人)申請人 1 (如發明人超過一人，請填說明書申請人續頁)

姓名或名稱：(中文)麥克隆科技公司

(英文)Micron Technology, Inc.

住居所或營業所地址：(中文)美國愛達荷州 83707-0006 波思市南聯邦路
8000 號(英文)8000 South Federal Way Boise, ID 83707-0006
U.S.A.

國籍：(中文)美國

(英文)USA

代表人：(中文)麥可.林屈

(英文)Lynch, Michael

☐ 續發明人或申請人續頁 (發明人或申請人欄位不敷使用時，請註記並使用續頁)